

AC601-10LP40 FPGA核心板硬件用户手册

硬件版本：V1.2

文档版本：V1.0

发布日期：2026-07-16

编制：武汉芯路恒科技有限公司 / 小梅哥

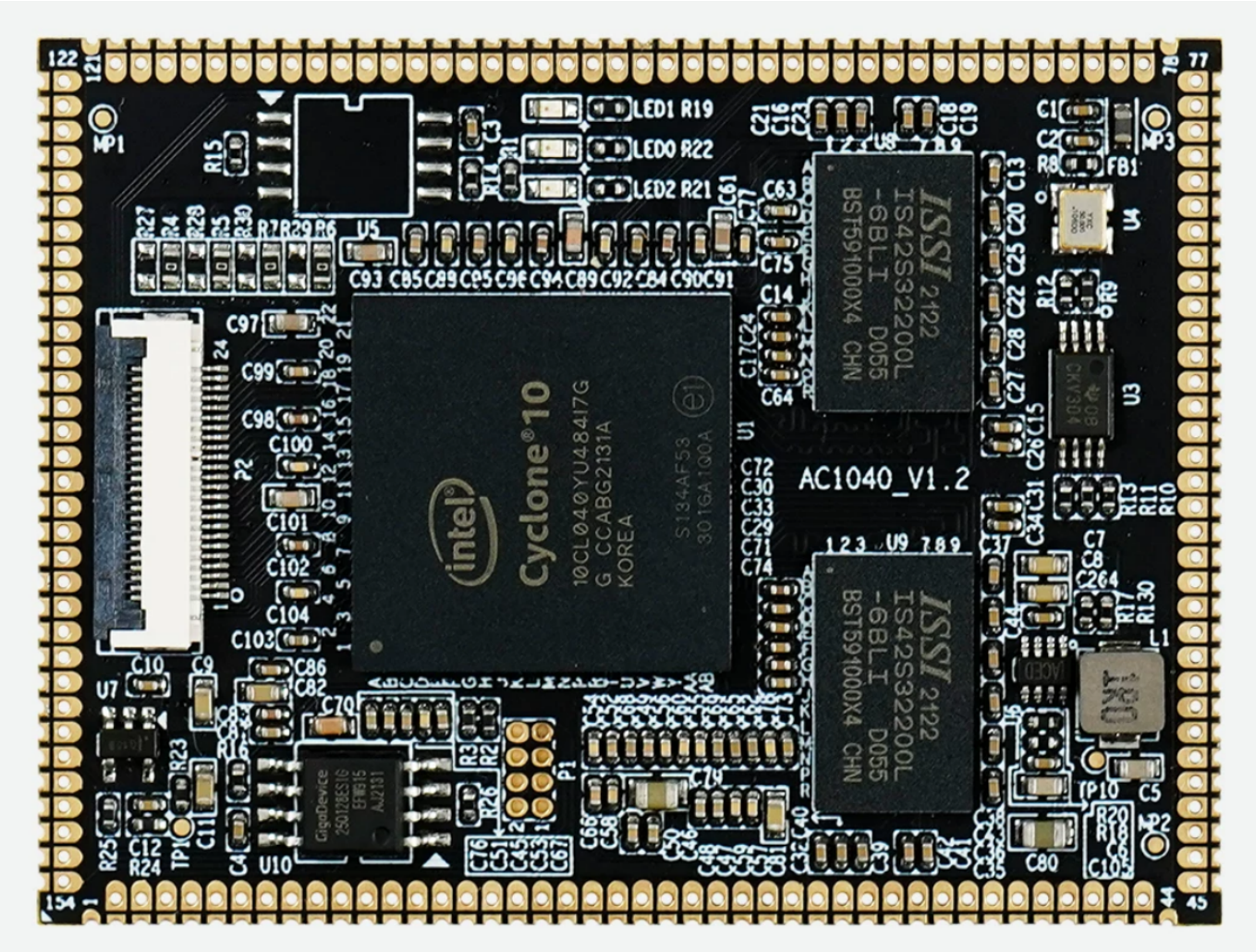


图0-1 AC601-10LP40 核心板正面

© 2026 武汉芯路恒科技有限公司。保留所有权利。

本文档用于帮助用户完成AC601-10LP40核心板的选型、底板设计、FPGA工程建立、硬件调试和故障排查。未经验证的最高工作频率、整板功耗和接口带宽不在本文档中作保证；正式产品设计仍应以核心板原理图、器件数据手册、Quartus编译报告和实测结果为准。

资料使用说明

1. 原理图和OrCAD网表用于确认电气连接；PCB实物图和尺寸图用于确认方向与机械外形。
2. BOM中的“Description/LibRef”字段有部分沿用旧元件库，例如把Cyclone 10 LP写成Cyclone IV、把W25Q64描述成16Mbit器件。型号判定应以器件位号对应的实际型号、原理图标注和实物丝印为准。

3. PCB丝印和工程路径中可能出现AC1040_V1.2，这是内部设计版本标识；对外产品名称统一为AC601-10LP40。
4. 本手册中的管脚表由V1.2原理图、网表和管脚分类表交叉整理。批量生产前仍建议使用原始网表进行一次自动核对。

修订记录

文档版本	日期	修订说明
V1.0	2026-07-16	重构首版：补充电源、时钟、配置、SDRAM、接口使用说明及完整管脚表

目录

- 第1章 产品概述
- 第2章 快速上手
- 第3章 FPGA与IO资源
- 第4章 电源系统
- 第5章 时钟系统
- 第6章 配置、JTAG与状态指示
- 第7章 SDRAM存储系统
- 第8章 SPI Flash资源
- 第9章 FPC扩展接口
- 第10章 154Pin邮票孔接口
- 第11章 Quartus工程使用建议
- 第12章 底板硬件设计指南
- 第13章 常见问题与故障排查
- 附录A 主要器件
- 附录B 邮票孔完整管脚表
- 附录C SDRAM_A连接表
- 附录D SDRAM_B连接表
- 附录E FPC、JTAG与时钟速查
- 附录F 参考资料

术语和标记

术语	含义
DNI	Do Not Install，默认不焊接
VCCIO	FPGA某个IO Bank的接口电源
VDDIO_EX	由底板输入的可选IO电源，需配合0Ω电阻改焊
<u>_n</u> 或名称前缀n	低电平有效，例如CS_n、nCONFIG
FPGA物理管脚	BGA封装球位，例如G2、AA15
邮票孔编号	核心板边缘接口编号1~154，与FPGA物理管脚不是同一编号

第1章 产品概述

1.1 产品定位

AC601-10LP40是一款面向嵌入式控制、数字接口扩展和中等规模数据处理应用的FPGA核心板。核心板将FPGA、电源、时钟、配置存储器和两组SDRAM集中在一块60 mm × 45 mm的小型板卡上，用户只需在底板上提供3.3V电源、必要的外部接口和调试连接，即可构成完整系统。

与只提供FPGA最小系统的核心板相比，AC601在板内集成了两片独立32位SDR SDRAM。对于帧缓存、采集缓存、数据队列、软核处理器程序空间等应用，这种结构能显著降低底板布线难度。两组存储器拥有各自独立的地址、数据、控制和时钟信号，可以分别服务于不同逻辑模块，也可由用户逻辑统一管理。

1.2 资源分布

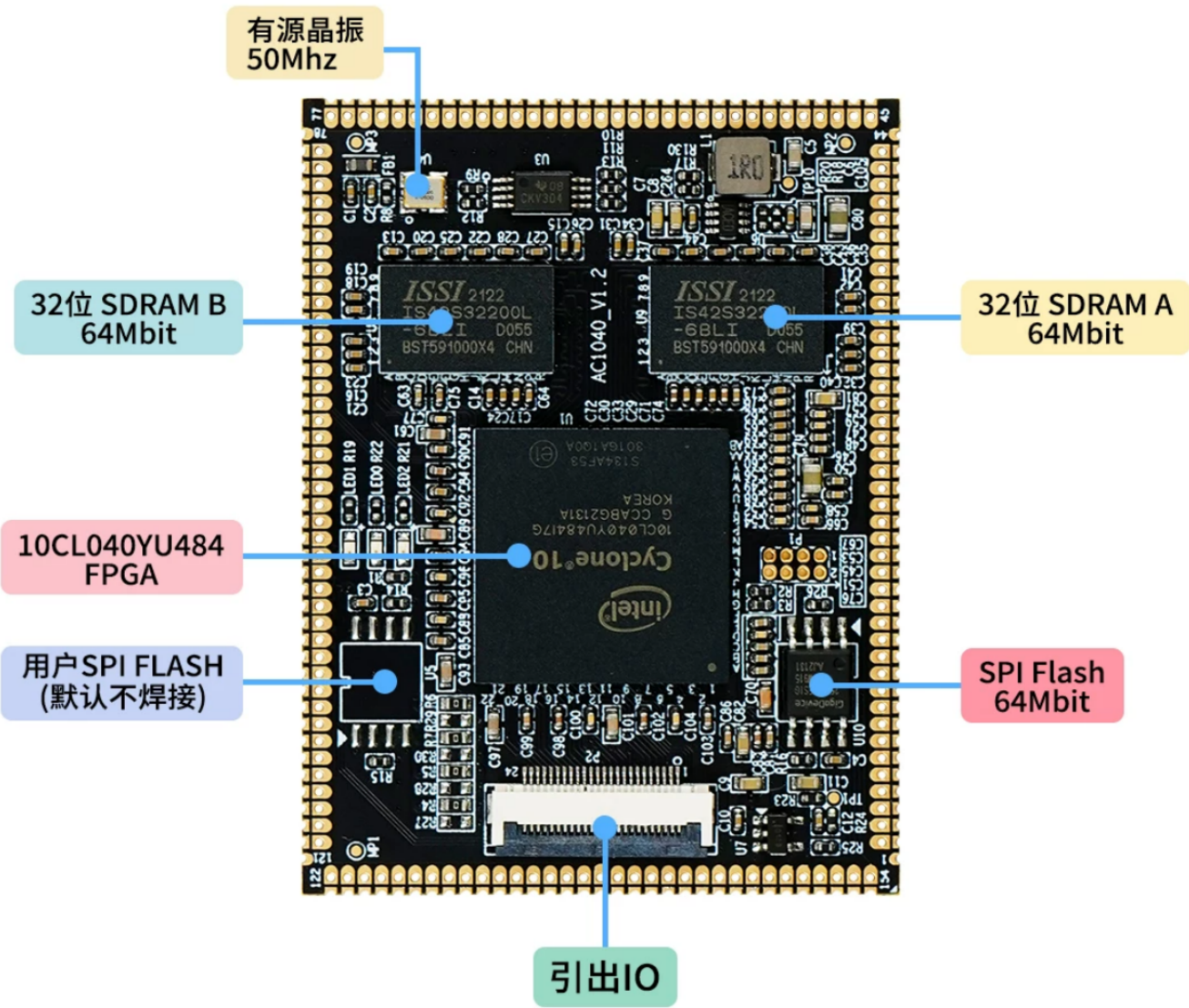


图1-1 核心板主要资源分布

板上主要器件如下：

类别	器件/资源	主要说明
FPGA	10CL040YU484I7G	Intel Cyclone 10 LP, U484封装，工业级速度等级7
SDRAM_A	IS42S32200-6BLI	64Mbit（8MB），32位数据宽度，独立接口

类别	器件/资源	主要说明
SDRAM_B	IS42S32200-6BLI	64Mbit（8MB），32位数据宽度，独立接口
配置Flash	W25Q64JVSIQ	64Mbit（8MB），用于掉电配置
用户Flash	U5预留SO8焊盘	默认DNI，可按订单选配兼容串行Flash
系统时钟	50MHz有源晶振 + CDCV304PWR	一路晶振经1:4缓冲后送入FPGA
扩展接口	154Pin邮票孔	130路普通GPIO、6路专用时钟输入、JTAG和电源
FPC接口	24Pin、0.5mm、下接式	20路Bank 7 IO，另含2路GND和2路3.3V

1.3 系统结构

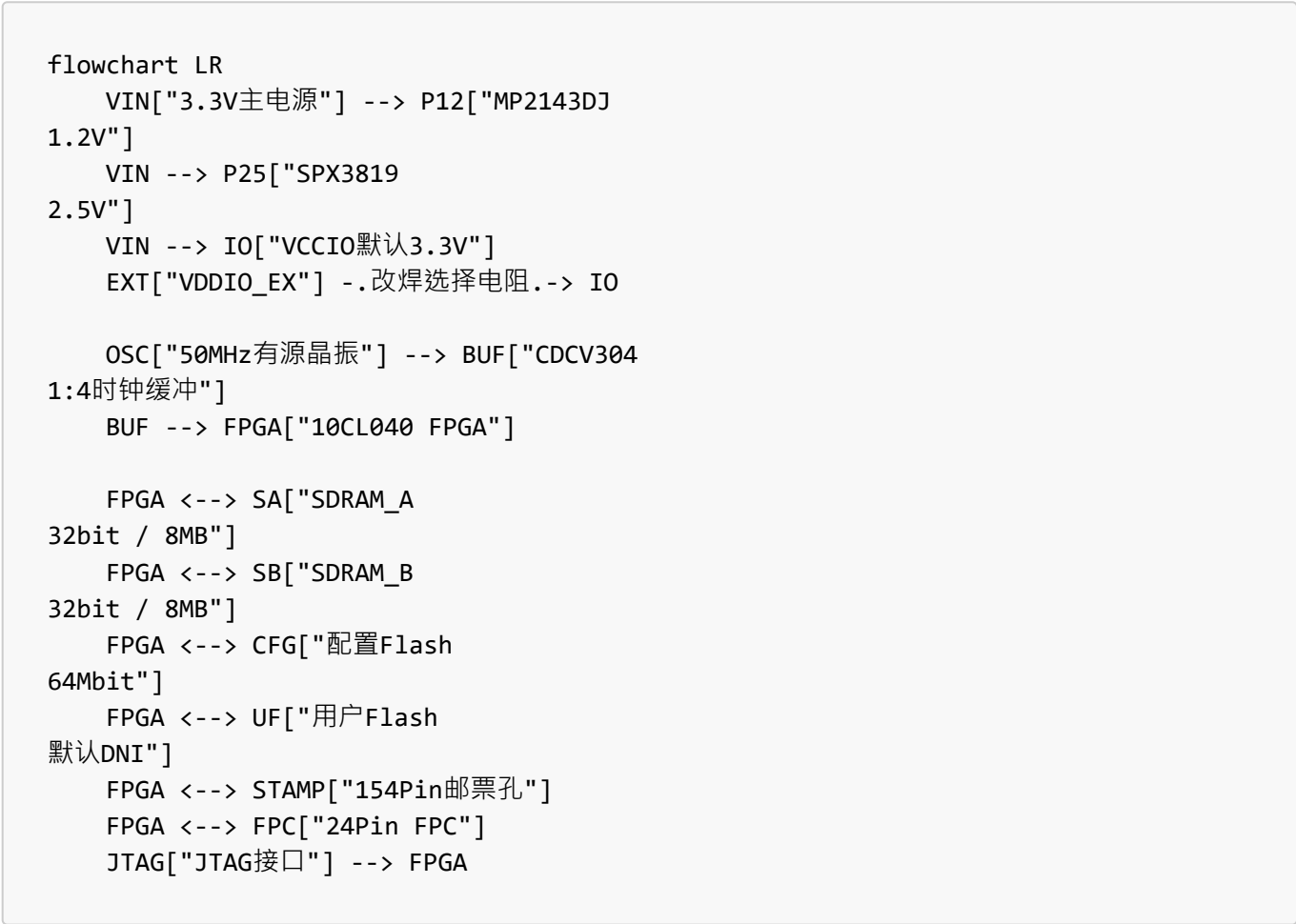


图1-2 AC601 硬件结构

1.4 外形尺寸与安装方向

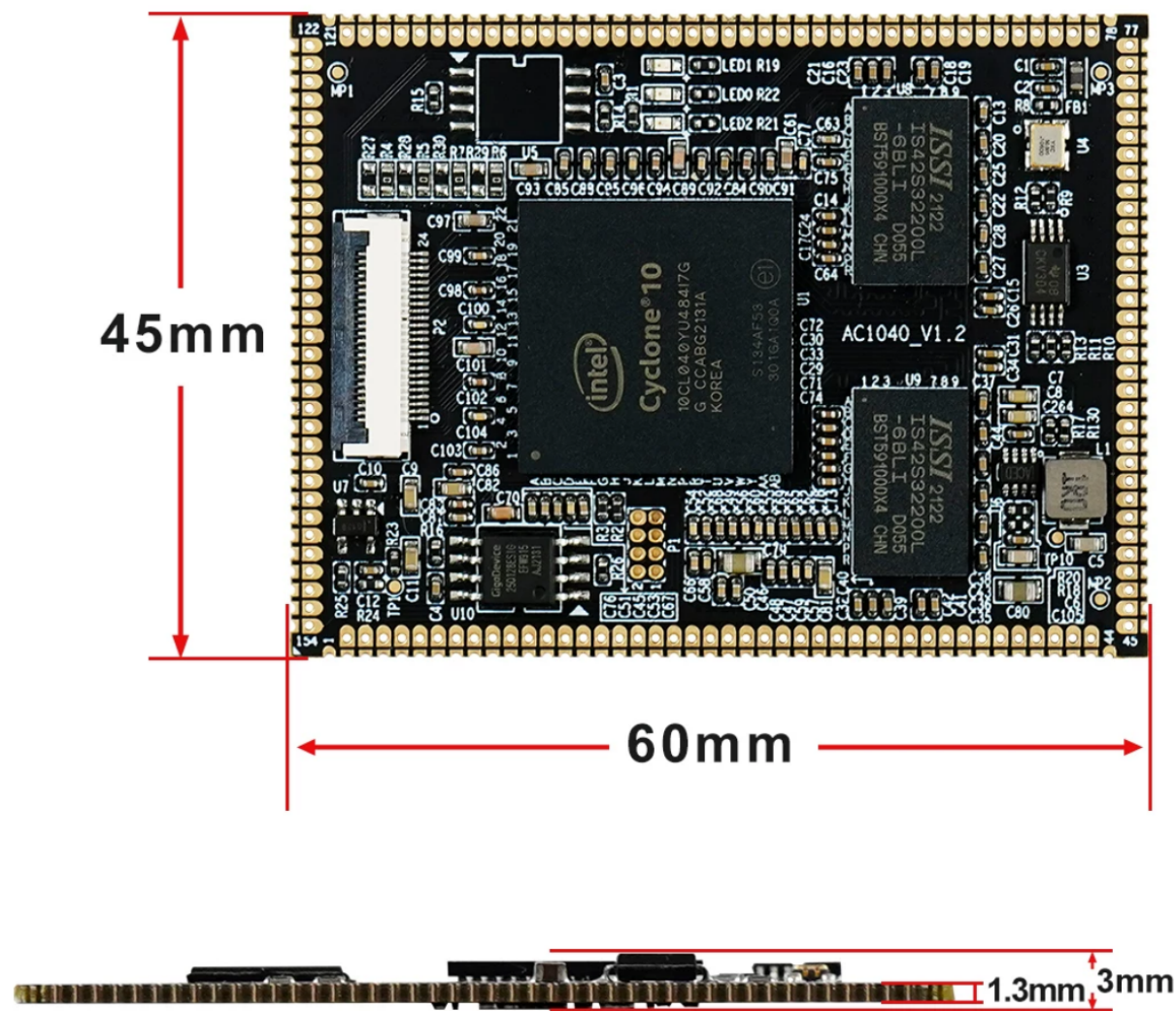


图1-3 核心板外形尺寸

项目	标称值
PCB长度	60 mm
PCB宽度	45 mm
PCB厚度	约1.3 mm
整板最大高度	约3 mm

尺寸图片适合用于早期结构评估，但不应替代正式PCB机械文件。设计量产底板时，应从PCB工程或Gerber中提取焊盘位置、邮票孔尺寸、钢网开口和禁布区域。

1.5 适用场景

AC601更适合以下应用：

- 工业控制、运动控制和多接口协议转换；
- 多通道数字采集、数据缓存和数据预处理；
- LCD显示、图像帧缓存和简单视频处理；

- Nios II软核、状态机、数字滤波和并行算法验证；
 - 需要将FPGA模块直接焊接到底板的小批量或批量产品。
- Cyclone 10 LP属于低功耗、通用逻辑型FPGA，不包含高速串行收发器。需要PCIe、USB 3.x物理层、千兆级SerDes等功能时，应另行配置专用PHY或选用带高速收发器的FPGA系列。

1.6 首次使用要点

建议首次上电保持默认硬件配置：

- 所有VCCIO保持3.3V，不改动R4~R7和R27~R30；
- 使用板载**LOCK0**（G2）作为50MHz系统时钟；
- 先通过JTAG下载SOF验证LED0，再进行Flash固化；
- 将SDRAM_A和SDRAM_B视为两套独立接口；
- 不要在软件中默认用户Flash U5已经焊接。

第2章 快速上手

2.1 最小连接

核心板的主电源是3.3V。推荐将邮票孔上的4个**VDD3.3**和8个**GND**全部连接到底板电源面和地平面，以降低接触电阻并改善高速信号回流。

类型	邮票孔编号
3.3V主电源	22、60、100、139
GND	1、23、44、61、78、99、121、138
2.5V板上电源参考	2
VDDIO_EX可选输入	105

VDD2.5由核心板LDO生成，主要供FPGA PLL模拟电源和调试参考使用，不是核心板的主电源输入。除非完成负载和热设计评估，不建议用它为底板外设提供较大电流。

2.2 上电检查顺序

1. 断电状态下确认3.3V与GND无短路。
2. 保持VCCIO选择电阻为出厂默认状态。
3. 接通3.3V，观察电源指示灯LED1。
4. 测量TP10，应约为1.2V。
5. 测量TP1，应约为2.5V。
6. 连接JTAG下载器，确认Quartus Programmer能够识别FPGA。
7. 下载LED测试工程，再进行SDRAM和Flash测试。

2.3 最小LED验证

板载用户LED0连接FPGA管脚G15，采用**低电平点亮**。板载**LOCK0**连接G2，频率为50MHz。下面的示例仅用于快速验证供电、时钟、JTAG和基本FPGA逻辑：

```
module ac601_led_test (
    input wire clk_50m,
    output wire led0_n
);

reg [25:0] counter;

always @(posedge clk_50m)
    counter <= counter + 1'b1;

assign led0_n = counter[24];

endmodule
```

参考管脚约束：

```
set_location_assignment PIN_G2 -to clk_50m
set_location_assignment PIN_G15 -to led0_n
```

约束中的IO Standard应按实际Quartus版本和Bank 7电压设置。出厂默认VCCIO7为3.3V。

2.4 板载时钟选择

CLOCK0~CLOCK3均来自同一个50MHz晶振，只是送入FPGA的物理时钟管脚不同。普通工程只需选择其中一路，避免将同源的4路时钟误认为4个独立频率源。

第3章 FPGA与IO资源

3.1 FPGA型号

核心器件为10CL040YU484I7G：

- 10C：Cyclone 10系列；
- L：LP低功耗系列；
- 040：约39.6K逻辑单元的密度等级；
- U484：484引脚UBGA封装；
- I7：工业级温度范围、速度等级7；
- G：无铅/RoHS封装标识。

器件级主要资源如下：

资源	数量
Logic Elements	39,600
M9K存储块	126
嵌入式RAM总容量	1,134 Kbit

资源	数量
18×18乘法器	126
PLL	4
U484封装最大用户IO	325

这些数字表示FPGA器件本身的资源上限，不等于核心板对外可用数量。SDRAM、Flash、时钟、配置和LED已经占用了一部分管脚。

3.2 IO Bank供电结构

Bank 1~4固定使用3.3V。Bank 5~8出厂时也通过0Ω电阻接3.3V，并预留改接VDDIO_EX的焊盘。

Bank	默认供电	3.3V选择电阻	VDDIO_EX选择电阻	板载资源影响	建议
Bank 1	3.3V固定	—	—	JTAG、配置Flash、部分用户Flash及邮票孔IO	不可切换
Bank 2	3.3V固定	—	—	SDRAM_B低16位及控制、CLK2/CLK3	不可切换
Bank 3	3.3V固定	—	—	SDRAM_B高16位及控制	不可切换
Bank 4	3.3V固定	—	—	SDRAM_A低16位及控制、CLOCK3	不可切换
Bank 5	3.3V默认	R7	R30	SDRAM_A高16位、CLK6/CLK7	不建议改电压，SDRAM为3.3V器件
Bank 6	3.3V默认	R6	R29	CLOCK1、配置状态相关管脚、邮票孔IO	改电压前需隔离CLOCK1并评估配置管脚
Bank 7	3.3V默认	R5	R28	FPC、用户Flash、LED0、CLOCK2	改电压前需处理FPC固定3.3V、Flash和CLOCK2
Bank 8	3.3V默认	R4	R27	大量邮票孔IO、CLK10/CLK11	相对适合改电压，但外部信号必须同步匹配

VDDIO_EX不是“随意切换”的万能接口。

1. R4~R7与R27~R30不能在同一Bank上同时焊接，否则会把3.3V与VDDIO_EX直接短接。
2. 多个Bank同时改接VDDIO_EX时，它们只能共用同一个外部电压，不能分别使用1.8V、2.5V等不同电压。
3. Bank 5连接3.3V SDRAM_A，不应改为低电压。
4. Bank 7的FPC电源脚仍固定输出3.3V；即使VCCIO7改成1.8V，FPC 23/24脚也不会随之变成1.8V。
5. Bank 6和Bank 7分别接收3.3V时钟缓冲器输出CLOCK1和CLOCK2。改变Bank电压时，应断开相应33Ω串联电阻或确认输入兼容性。

3.3 对外IO分布

154Pin邮票孔中共有130路普通GPIO，分布如下：

Bank	邮票孔普通GPIO数量	其他对外资源	说明
Bank 1	27		Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 2	19	CLK2/CLK3	Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 3	5		Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 4	1		Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 5	10	CLK6/CLK7	Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 6	30		Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 7	6	20路FPC IO	Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复
Bank 8	32	CLK10/CLK11	Bank 7的FPC IO不与邮票孔6路Bank 7 GPIO重复

从数量上看，Bank 8、Bank 6和Bank 1提供的邮票孔GPIO较多；Bank 2~5的大量IO已用于两片SDRAM。选择底板接口时，不能只看Bank余量，还要同时检查VCCIO、差分配对、专用功能和板载外设占用。

3.4 差分IO使用原则

网络名B7_A13只说明它来自Bank 7、FPGA物理管脚A13，并不直接表示它一定能与相邻邮票孔组成差分对。差分接口应以Intel官方Pin Information中的DIFFIO_xxxp/n为准。

差分设计至少应同时满足：

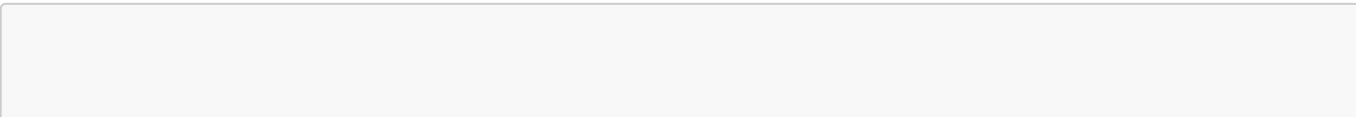
- p/n管脚属于同一官方差分对；
- 两个管脚位于同一IO Bank；
- Bank电压支持所选IO Standard；
- 底板走线成对、阻抗受控、长度匹配；
- 两个管脚都没有被板载器件占用；
- Quartus中正确定义IO Standard和端口极性。

3.5 板载资源对Bank的实际影响

- **Bank 2/3**：几乎被SDRAM_B占用，剩余邮票孔IO适合低到中等速率扩展。
- **Bank 4/5**：主要服务SDRAM_A。Bank 5虽然预留VDDIO_EX切换，但由于连接3.3V SDRAM，实际不应改为低电压。
- **Bank 6**：对外IO较多，适合普通并行接口；需要注意CLOCK1和配置相关专用管脚。
- **Bank 7**：同时连接FPC、用户Flash、LED0和CLOCK2，适合显示/摄像头或专用扩展，但要统一规划。
- **Bank 8**：邮票孔IO数量最多，且没有SDRAM占用，是底板扩展的主要资源区。

第4章 电源系统

4.1 电源架构



```

flowchart TD
    V33["V33[\"VDD3.3  
底板输入\"] --> BUCK[\"U6 MP2143DJ  
同步降压\"]"]
    BUCK --> V12["V12[\"VDD1.2  
VCCINT / VCCD_PLL\"]"]
    V33 --> LD0["LD0[\"U7 SPX3819  
低压差线性稳压\"]"]
    LD0 --> V25["V25[\"VDD2.5  
VCCA_PLL / 调试参考\"]"]
    V33 --> FIX["FIX[\"VCCIO1~4  
固定3.3V\"]"]
    V33 --> SEL["SEL[\"R4~R7  
VCCIO5~8默认3.3V\"]"]
    VEX["VEX[\"VDDIO_EX\"] -. R27~R30改焊. -> SEL"]

```

图4-1 核心板电源结构

4.2 3.3V主电源

3.3V同时承担以下负载：

- MP2143的输入电源；
- SPX3819的输入电源；
- FPGA各IO Bank默认电源；
- 两片SDRAM；
- 配置Flash和用户Flash；
- 50MHz晶振、CDCV304时钟缓冲器；
- LED和其他辅助电路。

底板应使用稳定的3.3V电源，并根据实际FPGA逻辑规模、IO翻转率和SDRAM访问率预留电流余量。由于目前没有整板功耗测试曲线，本手册不提供固定电流值。量产设计应使用Intel Power Analyzer和实物测量共同确定电源容量。

4.3 1.2V内核电源

U6 MP2143DJ将3.3V转换为1.2V，供FPGA **VCCINT** 和 **VCCD_PLL**。反馈电阻R18、R20均为200kΩ，对应1.2V设定值。输出端使用1μH电感以及22μF、0.1μF等电容滤波，TP10可用于测量。

DCDC适合承担FPGA内核较大的动态电流，相比用LDO直接从3.3V降到1.2V，转换损耗和发热更低。

4.4 2.5V PLL模拟电源

U7 SPX3819从3.3V生成约2.5V，主要连接FPGA的 **VCCA1~VCCA4**。R24=48.7kΩ、R25=47kΩ，按器件基准电压计算输出约为2.51V。TP1用于测量该电源。

采用LDO生成PLL模拟电源，可以降低开关电源纹波直接耦合到PLL的风险。该电源并非为底板大功率外设设计。

4.5 去耦网络

核心板为1.2V、2.5V、3.3V和各VCCIO配置了多种容量的去耦电容。不同容量覆盖不同频段：较大的电容提供低频储能，0.1μF和更小容量用于抑制高频瞬态。底板仍应在核心板3.3V入口附近配置本地储能电容，不能依赖远端电源模块的输出电容。

4.6 上电与反向供电

板上1.2V和2.5V在3.3V到达后自动启动，正常使用不需要底板单独控制时序。需要特别避免以下情况：

- 核心板未上电时，外部设备从IO向FPGA反向灌电；
- VDDIO_EX先上电而3.3V长期断电；
- FPC外设输出3.3V，而VCCIO7被改成低电压；
- JTAG下载器参考电压接错或把2.5V与3.3V短接。

第5章 时钟系统

5.1 板载50MHz时钟

U4为3.2mm × 2.5mm有源晶振，标称50MHz。晶振及缓冲器电源经过FB1磁珠和本地去耦滤波。晶振输出送入U3 CDCV304PWR，再复制为4路同频、同源时钟。

CDCV304的OE脚由电阻上拉，核心板上电后默认使能。CLOCK0~CLOCK3输出端各串联33Ω电阻，用于抑制边沿过冲和改善源端阻抗。

5.2 四路板载时钟

网络名	FPGA管脚	Bank	FPGA专用功能	串联电阻	注意事项
CLOCK0	G2	Bank 1	CLK0 / DIFFCLK_0p	R12 33Ω	推荐作为默认50MHz系统时钟
CLOCK1	G21	Bank 6	CLK4 / DIFFCLK_2p	R13 33Ω	若VCCIO6改为低电压，应隔离该3.3V时钟
CLOCK2	B12	Bank 7	CLK9 / DIFFCLK_5p	R11 33Ω	若VCCIO7改为低电压，应隔离该3.3V时钟
CLOCK3	AA12	Bank 4	CLK13 / DIFFCLK_7p	R10 33Ω	Bank 4固定3.3V

四路时钟来自同一个晶振，频率和长期漂移基本一致。它们适合送往不同的全局时钟区域或不同逻辑模块，但不应被当作异步时钟域。

5.3 邮票孔专用时钟输入

网络	邮票孔	FPGA管脚	Bank	专用功能	差分配对	默认电压
----	-----	--------	------	------	------	------

网络	邮票孔	FPGA管脚	Bank	专用功能	差分配对	默认电压
CLK2	29	T2	Bank 2	DIFFCLK_1p	与CLK3组成差分对	3.3V固定
CLK3	30	T1	Bank 2	DIFFCLK_1n	与CLK2组成差分对	3.3V固定
CLK6	95	T21	Bank 5	DIFFCLK_3p	与CLK7组成差分对	3.3V默认；Bank 5不建议改压
CLK7	94	T22	Bank 5	DIFFCLK_3n	与CLK6组成差分对	3.3V默认；Bank 5不建议改压
CLK10	110	A11	Bank 8	DIFFCLK_4n	与CLK11组成差分对	3.3V默认或VDDIO_EX
CLK11	111	B11	Bank 8	DIFFCLK_4p	与CLK10组成差分对	3.3V默认或VDDIO_EX

这些管脚在核心板接口定义中作为**仅输入时钟**使用。差分时钟源的共模电压、摆幅和终端方式必须匹配VCCIO及所选IO Standard。单端使用时，仍应将其约束为时钟管脚，并在SDC中创建时钟。

5.4 时钟约束示例

50MHz板载时钟周期为20ns：

```
create_clock -name clk_50m -period 20.000 [get_ports {clk_50m}]
```

外部时钟的周期不能照抄上述数值，应按底板实际输入频率设置。使用PLL派生时钟后，还应在TimeQuest中检查generated clock是否被正确识别。

第6章 配置、JTAG与状态指示

6.1 配置方式

核心板使用板载串行Flash实现掉电配置，同时保留JTAG在线下载接口。推荐开发流程为：

```
flowchart LR
    RTL["RTL设计"] --> COMPILE["Quartus编译"]
    COMPILE --> SOF["SOF"]
    SOF --> JTAG["JTAG在线调试"]
    JTAG --> VERIFY["功能验证"]
    VERIFY --> CFGFILE["生成配置Flash文件"]
    CFGFILE --> U10["写入U10"]
    U10 --> BOOT["掉电后自动启动"]
```

JTAG下载SOF不会改变配置Flash，适合快速调试；确认工程稳定后再生成并写入Flash。

6.2 配置Flash U10

U10实际型号为W25Q64JVS1Q，容量64Mbit，即8MB。它连接FPGA的Active Serial配置相关信号：

网络	FPGA管脚	Flash作用
nCS0	E2	片选
DCLK	K2	配置时钟
ASDIO	D1	串行数据输出到Flash
DATA	K1	串行数据输入到FPGA

信号线上设置了必要的串联电阻和上拉。配置管脚属于FPGA专用功能，不应作为普通GPIO重新分配。

6.3 MSEL与配置控制

MSEL管脚在核心板上由固定电平设置，nCE接地，nCONFIG和nSTATUS设置上拉。用户无需在底板上重新配置启动模式。配置失败时，应检查：

- 3.3V、2.5V和1.2V是否正常；
- Quartus所选器件是否为10CL040YU484I7G；
- 生成的配置文件与目标模式是否匹配；
- U10焊接、供电和信号是否正常；
- nSTATUS和CONF_DONE状态是否符合配置流程。

6.4 JTAG测试接口P1

P1脚号	信号	FPGA管脚	说明
1	TDI	L5	输入
2	VDD3.3	—	电压参考/辅助引脚，按下载器定义连接
3	TDO	L4	输出
4	NC/保留	—	不连接
5	TCK	L2	输入
6	VDD2.5	—	电压参考/辅助引脚，按下载器定义连接
7	TMS	L1	输入
8	GND	—	地

P1同时引出VDD3.3和VDD2.5。不同下载器的VREF定义可能不同，连接前应以下载器说明书为准，不能把两个电压脚直接并接。邮票孔还重复引出了TDI、TDO、TCK和TMS，便于在底板上布置标准下载接口。

6.5 状态LED

名称	电路连接	FPGA管脚	有效电平	用途
LED1	VDD3.3 → R19 4.7kΩ → LED1 → GND	—	上电常亮	3.3V电源指示
LED2	VDD3.3 → R21 330Ω → LED2 → CONF_DONE	M18	低电平点亮	配置过程/状态指示；配置完成后通常熄灭
LED0	VDD3.3 → R22 2.2kΩ → LED0 → FPGA	G15	低电平点亮	用户可编程LED

LED0的互补差分管脚F14被引到FPC 11脚。因此F14/G15不能在不处理LED负载的情况下直接作为完整外部差分对使用。

第7章 SDRAM存储系统

7.1 存储组织

U8和U9均为IS42S32200-6BLI，单片组织为512K × 32bit × 4 Bank，总容量64Mbit，即8MB。核心板总SDRAM容量为16MB。

两片存储器不是共享控制信号的64位总线，而是：

- SDRAM_A：独立32位数据总线、独立地址和控制信号；
- SDRAM_B：独立32位数据总线、独立地址和控制信号。

用户可以实例化两套控制器，也可以在统一的上层仲裁模块中管理两套控制器。若试图把两片逻辑拼成64位接口，需要自行保证命令、刷新和时钟完全同步，这不是本核心板默认支持或验证的用法。

7.2 接口信号

每组SDRAM包含：

信号组	数量	作用
ADDR[13:0]	14	行/列复用地址
BA[1:0]	2	SDRAM内部Bank选择
DQ[31:0]	32	双向数据
DQM[3:0]	4	4个字节通道的写入屏蔽/数据掩码
CLK	1	同步时钟
CKE	1	时钟使能
CS_n	1	片选
RAS_n/CAS_n/WE_n	3	SDRAM命令编码

7.3 Bank分布

- SDRAM_A低16位和多数控制信号位于Bank 4，高16位和部分地址/掩码位于Bank 5。
 - SDRAM_B低16位和部分控制信号位于Bank 2，高16位和多数地址/控制信号位于Bank 3。
- 这也是Bank 2~5可用GPIO数量较少的主要原因。

7.4 控制器设计要点

SDR SDRAM上电后不能像普通SRAM一样立即读写，控制器必须完成：

1. 上电稳定等待；
2. 预充电；
3. 自动刷新；
4. 模式寄存器设置；
5. 周期性刷新；
6. 读写命令、CAS延迟和突发长度管理。

控制器参数必须依据IS42S32200数据手册和实际时钟频率设置。-6是器件速度等级，但核心板可实现的最高频率还受FPGA时序、PCB走线、控制器结构和温度影响，因此不能只按器件速度等级直接给出板级保证值。

7.5 两组存储器的推荐用法

- **双缓冲**：A作为采集写缓存，B作为处理或上传读缓存，完成后交换角色；
- **功能隔离**：A用于帧缓存，B用于Nios II或数据队列；
- **不同时钟域**：每组由独立控制器服务，在上层用异步FIFO交换数据；
- **并行吞吐**：两个控制器并行工作，提高系统总吞吐，但要考虑FPGA逻辑和电源负载。

7.6 DQM与字节写入

DQM[0]~DQM[3]通常分别对应DQ[7:0]、DQ[15:8]、DQ[23:16]、DQ[31:24]。实现非32位整字写入时，应正确生成字节屏蔽。若DQM映射错误，常见现象是某个字节始终不更新或读回数据呈现固定8位错位。

完整连接见附录C和附录D。

第8章 SPI Flash资源

8.1 配置Flash与用户Flash的区别

核心板有两个SO8串行Flash位置，功能完全不同：

项目	配置Flash U10	用户Flash U5
装配状态	默认焊接	默认DNI，不焊接
容量/型号	W25Q64JVS1Q, 64Mbit	可按订单焊接兼容型号和容量
用途	FPGA掉电配置	用户数据、参数、日志或软核程序
接口	FPGA专用Active Serial配置接口	普通SPI接口
软件访问	主要由Quartus配置流程使用	由用户RTL或软核驱动

不能因为原理图中存在U5焊盘，就在软件中默认用户Flash一定存在。产品程序应在初始化时读取JEDEC ID并处理器件未焊接、型号变化或容量变化的情况。

8.2 用户Flash U5管脚

信号	FPGA管脚	Bank	板上处理	说明
SPI_CLK	D19	Bank 7	R14 33Ω串联	SPI时钟
SPI_CS	H15	Bank 7	直接连接	低有效片选
SPI_MISO	K8	Bank 1	R15 33Ω串联	Flash到FPGA数据
SPI_MOSI	C19	Bank 7	直接连接	FPGA到Flash数据

U5使用3.3V供电。若将VCCIO7改为低于3.3V，SPI_CLK、SPI_CS和SPI_MOSI所在Bank 7会与3.3V Flash产生电平不匹配；此时不应焊接U5，或必须增加电平转换并重新评估硬件。

8.3 器件替换

更换Flash厂家或容量时应至少确认：

- SO8管脚定义一致；
- 工作电压为3.3V；
- 读写/擦除指令和状态寄存器兼容；
- SPI最高频率满足工程需求；
- 写保护和HOLD管脚处理一致；
- 软件不硬编码容量和扇区数量。

第9章 FPC扩展接口

9.1 接口概况

P2为24Pin、0.5mm间距、翻盖下接式FPC连接器。接口包含20路Bank 7 IO、2路GND和2路固定3.3V电源。

电源位置必须特别注意：P2的1、2脚是GND，23、24脚是VDD3.3。

排线方向判断错误可能导致外设电源直接短路。首件底板调试时，应先用万用表确认FPC两端Pin 1方向，再插入排线。

9.2 完整管脚定义

FPC脚号	网络名	FPGA管脚	Bank	电源域	管脚能力/备注
1	GND	—	—	GND	地
2	GND	—	—	GND	地
3	B7_A13	A13	Bank 7	VCCIO7	DIFFIO_T29n；与B13成对
4	B7_B13	B13	Bank 7	VCCIO7	DIFFIO_T29p / DPCLK9；与A13成对
5	B7_A14	A14	Bank 7	VCCIO7	DIFFIO_T31n；与B14成对

FPC脚号	网络名	FPGA管脚	Bank	电源域	管脚能力/备注
6	B7_B14	B14	Bank 7	VCCIO7	DIFFIO_T31p；与A14成对
7	B7_E11	E11	Bank 7	VCCIO7	DIFFIO_T27n；与F11成对
8	B7_F11	F11	Bank 7	VCCIO7	DIFFIO_T27p；与E11成对
9	B7_D13	D13	Bank 7	VCCIO7	DIFFIO_T35p；与C13成对
10	B7_C13	C13	Bank 7	VCCIO7	DIFFIO_T35n；与D13成对
11	B7_F14	F14	Bank 7	VCCIO7	DIFFIO_T49p / CDPCLK6；互补脚G15接板载LED0
12	B7_E15	E15	Bank 7	VCCIO7	DIFFIO_T44n；互补脚G14在邮票孔98
13	B7_A15	A15	Bank 7	VCCIO7	DIFFIO_T36n；与B15成对
14	B7_B15	B15	Bank 7	VCCIO7	DIFFIO_T36p；与A15成对
15	B7_A16	A16	Bank 7	VCCIO7	DIFFIO_T40n；与B16成对
16	B7_B16	B16	Bank 7	VCCIO7	DIFFIO_T40p；与A16成对
17	B7_A17	A17	Bank 7	VCCIO7	DIFFIO_T41n；与B17成对 (FPC 18)
18	B7_B17	B17	Bank 7	VCCIO7	DIFFIO_T41p；与A17成对 (FPC 17)
19	B7_A18	A18	Bank 7	VCCIO7	DIFFIO_T45n；与B18成对 (FPC 20)
20	B7_B18	B18	Bank 7	VCCIO7	DIFFIO_T45p；与A18成对 (FPC 19)
21	B7_A20	A20	Bank 7	VCCIO7	PLL2_CLKOUTn
22	B7_B20	B20	Bank 7	VCCIO7	PLL2_CLKOUTp
23	VDD3.3	—	—	3.3V	固定3.3V电源输出
24	VDD3.3	—	—	3.3V	固定3.3V电源输出

9.3 差分资源说明

FPC上可直接成对使用的资源包括：

- 3/4：A13/B13；
- 5/6：A14/B14；
- 7/8：E11/F11；
- 9/10：D13/C13；
- 13/14：A15/B15；
- 15/16：A16/B16；
- 17/18：A17/B17；
- 19/20：A18/B18；
- 21/22：A20/B20，具有PLL2差分时钟输出功能。

并不是所有差分对都位于相邻FPC脚号。FPC 11脚F14的互补脚G15连接LED0；FPC 12脚E15的互补脚G14位于邮票孔98。使用差分接口前必须同时检查板载负载和连接器位置。

9.4 FPC电压注意事项

VCCIO7出厂为3.3V，FPC 23/24也固定为3.3V。若通过R5/R28把VCCIO7切换到VDDIO_EX，FPC电源脚仍然是3.3V，二者不会自动联动。

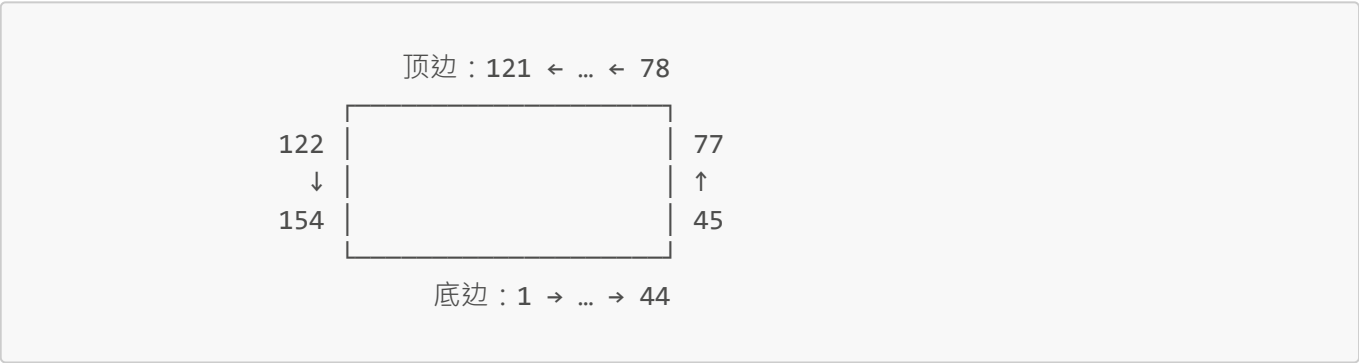
因此，Bank 7改为低电压后：

- 不要直接用FPC 23/24给低压外设供电；
- 必须保证外设所有输出电压不超过Bank 7允许范围；
- 应隔离板载CLOCK2的3.3V驱动；
- 不应焊接3.3V用户Flash U5；
- LED0和差分配对关系需要重新评估。

第10章 154Pin邮票孔接口

10.1 编号方向

从核心板正面观察，板上四角丝印分别标有45、77、122、154。编号沿板边连续排列：



更准确地说：

- 底边：1~44，从左向右；
- 右边：45~77，从下向上；
- 顶边：78~121，从右向左；
- 左边：122~154，从上向下。

Pin 1位于底边靠近左下角的位置，左下角竖边最后一脚为Pin 154。制作底板封装时，应同时用丝印和PCB坐标复核，不能只凭照片估算。

10.2 接口资源统计

类型	数量	说明
普通GPIO	130	网络名采用B_格式
专用外部时钟输入	6	CLK2、CLK3、CLK6、CLK7、CLK10、CLK11
JTAG	4	TDI、TDO、TCK、TMS
GND	8	均应连接
3.3V主电源	4	均应连接

类型	数量	说明
2.5V参考	1	板上生成
VDDIO_EX	1	可选IO电源输入

10.3 网络命名规则

以B6_H20为例：

- B6表示FPGA Bank 6；
- H20表示FPGA封装物理管脚H20；
- 该网络在Quartus中的位置约束写作PIN_H20。

网络名便于查看Bank，但不代表管脚的全部专用能力。是否支持差分、时钟、VREF或配置复用，应查Intel官方Pin Information。

10.4 电源管脚使用

- 3.3V主电源应从22、60、100、139同时接入；
- 8个GND都应连接到底板完整地平面；
- Pin 2的VDD2.5主要作为板上电源参考，不作为主输入；
- Pin 105的VDDIO_EX只有在改焊VCCIO选择电阻后才使用；
- 不要通过普通GPIO给未上电的核心板供电。

10.5 完整管脚表

完整154Pin定义见附录B。建议在底板设计中直接导入CSV或由网表生成封装映射，避免人工抄写错误。

第11章 Quartus工程使用建议

11.1 器件选择

新建工程时选择：

```
10CL040YU484I7G
```

不要只选择同密度的F484或其他温度/速度等级型号。封装不同会导致管脚位置不一致。

11.2 约束建立顺序

1. 先建立顶层端口；
2. 导入位置约束；
3. 按Bank电压设置IO Standard；
4. 创建板载和外部时钟约束；
5. 编译并检查Pin Planner；
6. 查看Fitter和TimeQuest警告；
7. 最后才生成配置Flash文件。

11.3 位置约束示例

```
set_location_assignment PIN_G2 -to clk_50m
set_location_assignment PIN_G15 -to led0_n

set_location_assignment PIN_A13 -to fpc_io_n
set_location_assignment PIN_B13 -to fpc_io_p
```

端口名称可以改变，PIN_xx必须与本手册和网表一致。

11.4 IO Standard

IO Standard必须与VCCIO一致。尤其需要避免：

- Bank 5~8仍为3.3V，却在工程中按1.8V接口规划；
- 硬件已切换VDDIO_EX，工程仍使用3.3V标准；
- 同一Bank中混入与VCCIO不兼容的外设；
- 把差分对拆成两个不兼容的单端标准。

参考QSF可以作为位置约束起点，但不应把所有端口统一设置成一种IO Standard。

11.5 未使用管脚

未使用管脚的状态会影响功耗、EMI和外部电路。量产前应检查Quartus的Unused Pins设置，避免未使用管脚被配置成可能驱动底板信号的状态。

11.6 SDRAM工程

SDRAM_A和SDRAM_B应使用不同端口前缀并分别约束。建议先单独验证每片存储器，再运行双控制器并行测试。测试内容至少包括：

- 全0、全1；
- 0xAA/0x55；
- 地址递增数据；
- Walking 1/Walking 0；
- 不同突发长度；
- 长时间刷新和高低温稳定性。

第12章 底板硬件设计指南

12.1 核心板焊盘

邮票孔封装适合回流焊或手工焊接。量产底板封装应从原始PCB或Gerber提取，不建议按图片测量。钢网设计要兼顾：

- 焊盘吃锡量；
- 板边半孔爬锡；
- 核心板共面度；

- 回流后桥连和立碑；
- 返修可操作空间。

12.2 电源和地

- 4个3.3V引脚都连接宽铜或完整电源面；
- 8个GND均连接，避免为了布线方便省略；
- 核心板周边保持连续参考地；
- 3.3V入口附近放置底板侧储能电容；
- 高电流负载不要通过FPC或单个邮票孔电源脚转接。

12.3 IO保护

FPGA IO直接引出，没有为所有管脚配置通用ESD器件。连接到外部接口、排线或可触碰连接器时，底板应根据应用增加：

- TVS/ESD保护；
- 串联限流或阻尼电阻；
- 上拉/下拉；
- 电平转换；
- 连接器地针和屏蔽；
- 热插拔保护。

保护器件的电容不能过大，否则会降低高速信号带宽。

12.4 高速和差分走线

- 保持连续参考平面，不跨电源/地分割；
- 差分对同层、同参考、等长；
- 时钟源到FPGA尽量短，减少支路；
- 避免在连接器附近形成长Stub；
- 根据外设驱动能力预留源端串联电阻；
- 任何“最高频率”都应通过IBIS仿真、时序分析和实测确认。

12.5 VDDIO_EX设计清单

在使用VDDIO_EX前逐项确认：

- ☐ 目标Bank没有3.3V板载器件硬连接；
- ☐ 对应R4~R7已拆除；
- ☐ 对应R27~R30已焊接；
- ☐ VDDIO_EX电压在FPGA允许范围；
- ☐ 外设输入输出电平与VCCIO一致；
- ☐ 板载时钟或LED等负载已隔离；
- ☐ Quartus IO Standard已同步修改；
- ☐ 上电顺序不会产生反向供电；
- ☐ 首板已测量Bank电压并完成边界测试。

12.6 FPC和外部连接器

FPC接口建议把GND与电源先接通，再连接IO。排线较长时，应降低边沿速度、增加地回流并考虑串扰。对LCD、摄像头或ADC等并行接口，不仅要匹配数据线长度，还要控制时钟与数据的相对时序。

12.7 JTAG预留

底板量产版本仍建议保留JTAG测试点或连接器。即使最终产品从Flash启动，JTAG仍是分析配置失败、现场升级和边界测试最直接的手段。

第13章 常见问题与故障排查

13.1 上电后LED1不亮

依次检查：

1. 3.3V是否送到邮票孔22/60/100/139；
2. GND是否可靠连接；
3. 3.3V是否被VDDIO_EX或外设短路；
4. LED1、R19焊接是否正常；
5. 核心板是否存在反向安装或焊接桥连。

13.2 JTAG无法识别器件

- 确认器件选择和下载器驱动；
- 检查TCK、TMS、TDI、TDO方向；
- 检查P1或邮票孔JTAG脚号；
- 确认下载器VREF接法，不要短接2.5V和3.3V；
- 测量1.2V、2.5V和3.3V；
- 降低JTAG时钟，排除线缆过长和信号完整性问题。

13.3 SOF能运行，掉电后不能启动

这通常表示FPGA逻辑和JTAG链正常，但配置Flash流程存在问题。检查：

- 是否只下载了SOF而没有写入U10；
- Flash配置文件目标器件和模式是否正确；
- U10是否能被Quartus识别；
- nSTATUS、CONF_DONE和LED2状态；
- 配置文件是否超出Flash容量；
- 上电时外部IO是否干扰配置管脚。

13.4 LED0逻辑相反

LED0是低电平点亮。把端口输出1会熄灭，输出0会点亮。使用差分资源时还要注意其互补脚F14在FPC上，G15并非完全无负载管脚。

13.5 板载时钟不工作

- 确认使用的是CLOCK0~CLOCK3，而不是邮票孔CLK2/3/6/7/10/11；
- 检查CDCV304 OE是否被正确上拉；

- 测量晶振和缓冲器供电；
- 检查对应33Ω电阻；
- 若改过VCCIO6或VCCIO7，确认CLOCK1/CLOCK2的3.3V输入是否被隔离；
- 在SDC中创建正确的50MHz时钟。

13.6 SDRAM数据错误

现象	优先检查
全部读回0或1	CKE、CS_n、初始化流程、时钟
某8位字节错误	DQM映射、对应DQ[7:0]字节组
地址相关错误	ADDR/BA映射、行列地址设置
低频正常高频错误	时钟相位、时序参数、IO边沿、布局
运行一段时间后错误	刷新周期、温度、电源波动
A正常B错误	两组约束或控制器参数混用

13.7 FPC外设上电即异常

首先断电，确认P2 1/2脚是GND、23/24脚是3.3V。检查排线是否反插、连接器是否为同面或异面接触、VCCIO7是否被改压，以及外设输出是否超过FPGA IO电压。

13.8 常见认知错误

- 两片SDRAM不是默认64位总线；
- U5用户Flash默认不焊接；
- CLOCK0~3是板载50MHz，CLK2/3/6/7/10/11是外部输入；
- VDD2.5不是核心板主电源输入；
- VDDIO_EX切换不会改变FPC 3.3V电源脚；
- BOM中的旧库描述不等于实际器件型号。

附录A 主要器件

位号	实际型号/标称	用途	装配说明
U1	10CL040YU484I7G	Cyclone 10 LP FPGA	固定装配
U2	H154	154Pin邮票孔接口	PCB边缘半孔
U3	CDCV304PWR	1:4低偏斜时钟缓冲	固定装配
U4	50MHz有源晶振	板载参考时钟	固定装配
U5	W25Q64JVS1Q兼容焊盘	用户SPI Flash	默认DNI
U6	MP2143DJ	3.3V转1.2V DCDC	固定装配
U7	SPX3819M5-L/TR	3.3V转2.5V LDO	固定装配

位号	实际型号/标称	用途	装配说明
U8	IS42S32200-6BLI	SDRAM_A, 32bit/8MB	固定装配
U9	IS42S32200-6BLI	SDRAM_B, 32bit/8MB	固定装配
U10	W25Q64JVS1Q	64Mbit配置Flash	固定装配
P1	2×4, 1.27mm	JTAG/测试接口	固定装配
P2	24Pin, 0.5mm · 下接式	Bank 7 FPC扩展	固定装配

BOM中的器件库描述字段存在历史遗留信息。采购、维修和替代选型应以本表“实际型号/标称”以及实物丝印为准。

附录B 邮票孔完整管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
1	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面对
2	VDD2.5	—	—	辅助电源	板上输出/参考	2.5V	非核心板主电源输入，不建议带大负载
3	TDO	L4	Bank 1	JTAG	输出	3.3V	专用配置/调试信号
4	B8_A4	A4	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
5	B8_B4	B4	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
6	B8_F7	F7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
7	B8_G7	G7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
8	B8_E6	E6	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
9	B8_E5	E5	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
10	B1_H6	H6	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
11	B1_J5	J5	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
12	B8_C3	C3	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
13	B8_C4	C4	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
14	B1_D2	D2	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
15	B1_E1	E1	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
16	B1_F1	F1	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
17	B1_F2	F2	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
18	B1_H1	H1	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
19	B1_H2	H2	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
20	B1_J1	J1	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
21	B1_J2	J2	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
22	VDD3.3	—	—	主电源	输入	3.3V	核心板主电源输入，建议全部并联连接
23	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
24	B1_B1	B1	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
25	B1_B2	B2	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
26	B1_E3	E3	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
27	B1_E4	E4	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
28	B1_G5	G5	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
29	CLK2	T2	Bank 2	专用时钟	仅输入；与CLK3成对	3.3V（固定）	DIFFCLK_1p
30	CLK3	T1	Bank 2	专用时钟	仅输入；与CLK2成对	3.3V（固定）	DIFFCLK_1n
31	B1_G3	G3	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
32	B1_G4	G4	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
33	B2_M2	M2	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
34	B2_M1	M1	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
35	B2_N2	N2	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
36	B2_N1	N1	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
37	B2_P2	P2	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
38	B2_P1	P1	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
39	B2_R2	R2	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
40	B2_R1	R1	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
41	B1_H5	H5	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
42	B1_J4	J4	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
43	B1_J3	J3	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
44	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
45	B2_N7	N7	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
46	B2_M7	M7	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
47	B2_M6	M6	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
48	B2_P6	P6	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
49	B2_M4	M4	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
50	B2_N5	N5	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
51	B2_N6	N6	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
52	B2_P5	P5	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
53	B2_R5	R5	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
54	B2_T5	T5	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
55	B2_R6	R6	Bank 2	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
56	B3_V7	V7	Bank 3	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
57	B3_W7	W7	Bank 3	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
58	B3_V8	V8	Bank 3	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
59	B3_V9	V9	Bank 3	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
60	VDD3.3	—	—	主电源	输入	3.3V	核心板主电源输入，建议全部并联连接
61	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
62	B5_P16	P16	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
63	B5_P15	P15	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
64	B4_R14	R14	Bank 4	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
65	B3_U10	U10	Bank 3	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
66	B5_R22	R22	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
67	B5_R21	R21	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
68	B5_P22	P22	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
69	B5_P21	P21	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
70	B5_N22	N22	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
71	B5_N21	N21	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
72	B1_K7	K7	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
73	B1_J7	J7	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
74	B6_H20	H20	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
75	B6_H19	H19	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
76	B6_F19	F19	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
77	B6_F20	F20	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
78	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
79	B5_M21	M21	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
80	B5_M22	M22	Bank 5	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
81	B6_L21	L21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
82	B6_L22	L22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
83	B6_K18	K18	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
84	B6_K17	K17	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
85	B6_K21	K21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
86	B6_K22	K22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
87	B6_J21	J21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
88	B6_J22	J22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
89	B6_H21	H21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
90	B6_H22	H22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
91	B6_G17	G17	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
92	B6_F17	F17	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
93	B7_H14	H14	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
94	CLK7	T22	Bank 5	专用时钟	仅输入；与CLK6成对	3.3V（默认），可改接VDDIO_EX	DIFFCLK_3n
95	CLK6	T21	Bank 5	专用时钟	仅输入；与CLK7成对	3.3V（默认），可改接VDDIO_EX	DIFFCLK_3p
96	B6_H16	H16	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
97	B6_J17	J17	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
98	B7_G14	G14	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
99	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
100	VDD3.3	—	—	主电源	输入	3.3V	核心板主电源输入，建议全部并联连接
101	B6_F21	F21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
102	B6_F22	F22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
103	B6_E21	E21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
104	B6_E22	E22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
105	VDDIO_EX	—	Bank 5~8	可选IO电源	输入	按设计值	仅在改焊VCCIO选择电阻后使用
106	B6_D21	D21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
107	B6_D22	D22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
108	B6_C21	C21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
109	B6_C22	C22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
110	CLK10	A11	Bank 8	专用时钟	仅输入；与CLK11成对	3.3V（默认），可改接VDDIO_EX	DIFFCLK_4n
111	CLK11	B11	Bank 8	专用时钟	仅输入；与CLK10成对	3.3V（默认），可改接VDDIO_EX	DIFFCLK_4p
112	B6_B21	B21	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
113	B6_B22	B22	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
114	B6_H17	H17	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
115	B6_G18	G18	Bank 6	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
116	B8_G8	G8	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
117	B8_F8	F8	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
118	B8_E10	E10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
119	B8_D10	D10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
120	B1_J6	J6	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
121	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
122	B7_G16	G16	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
123	B7_F15	F15	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
124	B7_E16	E16	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
125	B7_F16	F16	Bank 7	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
126	B8_H10	H10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
127	B8_H11	H11	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
128	B8_F10	F10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
129	B8_G10	G10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
130	B8_B10	B10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
131	B8_A10	A10	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
132	B8_B9	B9	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
133	B8_A9	A9	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
134	B8_B8	B8	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
135	B8_A8	A8	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
136	B8_C7	C7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
137	B8_C8	C8	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
138	GND	—	—	地	电源回流	—	建议全部连接到底板完整地平面
139	VDD3.3	—	—	主电源	输入	3.3V	核心板主电源输入，建议全部并联连接
140	B1_J8	J8	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
141	B1_H8	H8	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
142	B8_B7	B7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
143	B8_A7	A7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
144	B8_B6	B6	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
145	B8_A6	A6	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
146	B8_B3	B3	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表

邮票孔	网络名	FPGA管脚	Bank	类别	方向/限制	默认电压	说明
147	B8_A3	A3	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
148	B1_H7	H7	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
149	TDI	L5	Bank 1	JTAG	输入	3.3V	专用配置/调试信号
150	TCK	L2	Bank 1	JTAG	输入	3.3V	专用配置/调试信号
151	B8_D7	D7	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
152	B8_C6	C6	Bank 8	GPIO	双向，由用户逻辑定义	3.3V（默认），可改接VDDIO_EX	差分/专用复用能力需查器件管脚表
153	B1_L8	L8	Bank 1	GPIO	双向，由用户逻辑定义	3.3V（固定）	差分/专用复用能力需查器件管脚表
154	TMS	L1	Bank 1	JTAG	输入	3.3V	专用配置/调试信号

附录C SDRAM_A连接表

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_a_addr0	G8	AA15	Bank 4	地址线
sdram_a_addr1	G9	AB13	Bank 4	地址线
sdram_a_addr2	F7	U14	Bank 4	地址线
sdram_a_addr3	F3	R15	Bank 4	地址线
sdram_a_addr4	G1	U21	Bank 5	地址线
sdram_a_addr5	G2	R16	Bank 4	地址线
sdram_a_addr6	G3	T14	Bank 4	地址线
sdram_a_addr7	H1	V15	Bank 4	地址线
sdram_a_addr8	H2	V16	Bank 4	地址线
sdram_a_addr9	J3	W15	Bank 4	地址线
sdram_a_addr10	G7	V13	Bank 4	地址线
sdram_a_addr11	H9	AB14	Bank 4	地址线

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_a_addr12	H3	U19	Bank 5	地址线
sdram_a_addr13	H7	W14	Bank 4	地址线
sdram_a_ba0	J7	Y13	Bank 4	内部Bank地址
sdram_a_ba1	H8	W13	Bank 4	内部Bank地址
sdram_a_cas_n	K7	V12	Bank 4	列地址选通，低有效
sdram_a_cke	J2	Y17	Bank 4	时钟使能
sdram_a_clk	J1	W17	Bank 4	SDRAM时钟
sdram_a_cs_n	J8	U12	Bank 4	片选，低有效
sdram_a_dq0	R8	AB18	Bank 4	双向数据位 DQ0
sdram_a_dq1	N7	AB19	Bank 4	双向数据位 DQ1
sdram_a_dq2	R9	AB16	Bank 4	双向数据位 DQ2
sdram_a_dq3	N8	AA16	Bank 4	双向数据位 DQ3
sdram_a_dq4	P9	AB15	Bank 4	双向数据位 DQ4
sdram_a_dq5	M8	AA19	Bank 4	双向数据位 DQ5
sdram_a_dq6	M7	AB20	Bank 4	双向数据位 DQ6
sdram_a_dq7	L8	AA20	Bank 4	双向数据位 DQ7
sdram_a_dq8	L2	T15	Bank 4	双向数据位 DQ8
sdram_a_dq9	M3	U17	Bank 4	双向数据位 DQ9
sdram_a_dq10	M2	U16	Bank 4	双向数据位 DQ10
sdram_a_dq11	P1	T13	Bank 4	双向数据位 DQ11
sdram_a_dq12	N2	U15	Bank 4	双向数据位 DQ12
sdram_a_dq13	R1	V14	Bank 4	双向数据位 DQ13
sdram_a_dq14	N3	U13	Bank 4	双向数据位 DQ14
sdram_a_dq15	R2	T12	Bank 4	双向数据位 DQ15
sdram_a_dq16	E8	AA21	Bank 5	双向数据位 DQ16
sdram_a_dq17	D7	AA22	Bank 5	双向数据位 DQ17
sdram_a_dq18	D8	V21	Bank 5	双向数据位 DQ18
sdram_a_dq19	B9	V22	Bank 5	双向数据位 DQ19
sdram_a_dq20	C8	W21	Bank 5	双向数据位 DQ20
sdram_a_dq21	A9	W22	Bank 5	双向数据位 DQ21

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_a_dq22	C7	Y21	Bank 5	双向数据位 DQ22
sdram_a_dq23	A8	Y22	Bank 5	双向数据位 DQ23
sdram_a_dq24	A2	M19	Bank 5	双向数据位 DQ24
sdram_a_dq25	C3	N19	Bank 5	双向数据位 DQ25
sdram_a_dq26	A1	M20	Bank 5	双向数据位 DQ26
sdram_a_dq27	C2	N18	Bank 5	双向数据位 DQ27
sdram_a_dq28	B1	N20	Bank 5	双向数据位 DQ28
sdram_a_dq29	D2	N17	Bank 5	双向数据位 DQ29
sdram_a_dq30	D3	U22	Bank 5	双向数据位 DQ30
sdram_a_dq31	E2	R18	Bank 5	双向数据位 DQ31
sdram_a_dqm0	K9	AA18	Bank 4	字节屏蔽，通常对应DQ[7:0]
sdram_a_dqm1	K1	T16	Bank 4	字节屏蔽，通常对应DQ[15:8]
sdram_a_dqm2	F8	U20	Bank 5	字节屏蔽，通常对应DQ[23:16]
sdram_a_dqm3	F2	R19	Bank 5	字节屏蔽，通常对应DQ[31:24]
sdram_a_ras_n	J9	AA13	Bank 4	行地址选通，低有效
sdram_a_we_n	K8	AA14	Bank 4	写使能，低有效

附录D SDRAM_B连接表

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_b_addr0	G8	AA10	Bank 3	地址线
sdram_b_addr1	G9	U11	Bank 3	地址线
sdram_b_addr2	F7	AA9	Bank 3	地址线
sdram_b_addr3	F3	U9	Bank 3	地址线
sdram_b_addr4	G1	T8	Bank 3	地址线
sdram_b_addr5	G2	W8	Bank 3	地址线
sdram_b_addr6	G3	Y8	Bank 3	地址线
sdram_b_addr7	H1	U8	Bank 3	地址线
sdram_b_addr8	H2	Y7	Bank 3	地址线
sdram_b_addr9	J3	Y6	Bank 3	地址线
sdram_b_addr10	G7	AB9	Bank 3	地址线

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_b_addr11	H9	V3	Bank 2	地址线
sdram_b_addr12	H3	AA8	Bank 3	地址线
sdram_b_addr13	H7	AB10	Bank 3	地址线
sdram_b_ba0	J7	Y10	Bank 3	内部Bank地址
sdram_b_ba1	H8	V10	Bank 3	内部Bank地址
sdram_b_cas_n	K7	R7	Bank 2	列地址选通，低有效
sdram_b_cke	J2	W6	Bank 3	时钟使能
sdram_b_clk	J1	T7	Bank 2	SDRAM时钟
sdram_b_cs_n	J8	W10	Bank 3	片选，低有效
sdram_b_dq0	R8	T3	Bank 2	双向数据位 DQ0
sdram_b_dq1	N7	W2	Bank 2	双向数据位 DQ1
sdram_b_dq2	R9	U1	Bank 2	双向数据位 DQ2
sdram_b_dq3	N8	W1	Bank 2	双向数据位 DQ3
sdram_b_dq4	P9	V1	Bank 2	双向数据位 DQ4
sdram_b_dq5	M8	Y1	Bank 2	双向数据位 DQ5
sdram_b_dq6	M7	Y2	Bank 2	双向数据位 DQ6
sdram_b_dq7	L8	V2	Bank 2	双向数据位 DQ7
sdram_b_dq8	L2	M8	Bank 2	双向数据位 DQ8
sdram_b_dq9	M3	L7	Bank 2	双向数据位 DQ9
sdram_b_dq10	M2	T4	Bank 2	双向数据位 DQ10
sdram_b_dq11	P1	P3	Bank 2	双向数据位 DQ11
sdram_b_dq12	N2	L6	Bank 2	双向数据位 DQ12
sdram_b_dq13	R1	M5	Bank 2	双向数据位 DQ13
sdram_b_dq14	N3	P4	Bank 2	双向数据位 DQ14
sdram_b_dq15	R2	M3	Bank 2	双向数据位 DQ15
sdram_b_dq16	E8	AB3	Bank 3	双向数据位 DQ16
sdram_b_dq17	D7	AA4	Bank 3	双向数据位 DQ17
sdram_b_dq18	D8	AB4	Bank 3	双向数据位 DQ18
sdram_b_dq19	B9	AB8	Bank 3	双向数据位 DQ19
sdram_b_dq20	C8	AB5	Bank 3	双向数据位 DQ20

SDRAM信号	SDRAM管脚	FPGA管脚	FPGA Bank	说明
sdram_b_dq21	A9	AB7	Bank 3	双向数据位 DQ21
sdram_b_dq22	C7	AA5	Bank 3	双向数据位 DQ22
sdram_b_dq23	A8	AA7	Bank 3	双向数据位 DQ23
sdram_b_dq24	A2	Y4	Bank 3	双向数据位 DQ24
sdram_b_dq25	C3	V6	Bank 3	双向数据位 DQ25
sdram_b_dq26	A1	Y3	Bank 3	双向数据位 DQ26
sdram_b_dq27	C2	U7	Bank 3	双向数据位 DQ27
sdram_b_dq28	B1	V5	Bank 3	双向数据位 DQ28
sdram_b_dq29	D2	T9	Bank 3	双向数据位 DQ29
sdram_b_dq30	D3	N8	Bank 2	双向数据位 DQ30
sdram_b_dq31	E2	T10	Bank 3	双向数据位 DQ31
sdram_b_dqm0	K9	U2	Bank 2	字节屏蔽，通常对应DQ[7:0]
sdram_b_dqm1	K1	P7	Bank 2	字节屏蔽，通常对应DQ[15:8]
sdram_b_dqm2	F8	AA3	Bank 3	字节屏蔽，通常对应DQ[23:16]
sdram_b_dqm3	F2	T11	Bank 3	字节屏蔽，通常对应DQ[31:24]
sdram_b_ras_n	J9	V4	Bank 2	行地址选通，低有效
sdram_b_we_n	K8	V11	Bank 3	写使能，低有效

附录E FPC、JTAG与时钟速查

E.1 FPC接口

FPC脚号	网络名	FPGA管脚	Bank	电源域	管脚能力/备注
1	GND	—	—	GND	地
2	GND	—	—	GND	地
3	B7_A13	A13	Bank 7	VCCIO7	DIFFIO_T29n；与B13成对
4	B7_B13	B13	Bank 7	VCCIO7	DIFFIO_T29p / DPCLK9；与A13成对
5	B7_A14	A14	Bank 7	VCCIO7	DIFFIO_T31n；与B14成对
6	B7_B14	B14	Bank 7	VCCIO7	DIFFIO_T31p；与A14成对
7	B7_E11	E11	Bank 7	VCCIO7	DIFFIO_T27n；与F11成对
8	B7_F11	F11	Bank 7	VCCIO7	DIFFIO_T27p；与E11成对
9	B7_D13	D13	Bank 7	VCCIO7	DIFFIO_T35p；与C13成对

FPC脚号	网络名	FPGA管脚	Bank	电源域	管脚能力/备注
10	B7_C13	C13	Bank 7	VCCIO7	DIFFIO_T35n；与D13成对
11	B7_F14	F14	Bank 7	VCCIO7	DIFFIO_T49p / CDPCLK6；互补脚G15接板载LED0
12	B7_E15	E15	Bank 7	VCCIO7	DIFFIO_T44n；互补脚G14在邮票孔98
13	B7_A15	A15	Bank 7	VCCIO7	DIFFIO_T36n；与B15成对
14	B7_B15	B15	Bank 7	VCCIO7	DIFFIO_T36p；与A15成对
15	B7_A16	A16	Bank 7	VCCIO7	DIFFIO_T40n；与B16成对
16	B7_B16	B16	Bank 7	VCCIO7	DIFFIO_T40p；与A16成对
17	B7_A17	A17	Bank 7	VCCIO7	DIFFIO_T41n；与B17成对 (FPC 18)
18	B7_B17	B17	Bank 7	VCCIO7	DIFFIO_T41p；与A17成对 (FPC 17)
19	B7_A18	A18	Bank 7	VCCIO7	DIFFIO_T45n；与B18成对 (FPC 20)
20	B7_B18	B18	Bank 7	VCCIO7	DIFFIO_T45p；与A18成对 (FPC 19)
21	B7_A20	A20	Bank 7	VCCIO7	PLL2_CLKOUTn
22	B7_B20	B20	Bank 7	VCCIO7	PLL2_CLKOUTp
23	VDD3.3	—	—	3.3V	固定3.3V电源输出
24	VDD3.3	—	—	3.3V	固定3.3V电源输出

E.2 JTAG接口P1

P1脚号	信号	FPGA管脚	说明
1	TDI	L5	输入
2	VDD3.3	—	电压参考/辅助引脚，按下载器定义连接
3	TDO	L4	输出
4	NC/保留	—	不连接
5	TCK	L2	输入
6	VDD2.5	—	电压参考/辅助引脚，按下载器定义连接
7	TMS	L1	输入
8	GND	—	地

E.3 板载时钟

网络	FPGA管脚	Bank	频率	来源
CLOCK0	G2	Bank 1	50MHz	U4经U3和R12

网络	FPGA管脚	Bank	频率	来源
CLOCK1	G21	Bank 6	50MHz	U4经U3和R13
CLOCK2	B12	Bank 7	50MHz	U4经U3和R11
CLOCK3	AA12	Bank 4	50MHz	U4经U3和R10

E.4 外部时钟输入

网络	邮票孔	FPGA管脚	Bank	极性/专用功能	方向
CLK2	29	T2	Bank 2	DIFFCLK_1p	仅输入
CLK3	30	T1	Bank 2	DIFFCLK_1n	仅输入
CLK6	95	T21	Bank 5	DIFFCLK_3p	仅输入
CLK7	94	T22	Bank 5	DIFFCLK_3n	仅输入
CLK10	110	A11	Bank 8	DIFFCLK_4n	仅输入
CLK11	111	B11	Bank 8	DIFFCLK_4p	仅输入

附录F 参考资料

1. AC601-10LP40 V1.2核心板原理图及BOM。
2. AC601-10LP40 V1.2 OrCAD网表。
3. AC601-10LP40管脚功能分类表。
4. Intel, *Cyclone 10 LP Device Overview*。
5. Intel, *Pin Information for the Intel Cyclone 10 10CL040 Device*。
6. ISSI, *IS42S32200L / IS45S32200L 64Mb SDRAM Datasheet*。
7. Texas Instruments, *CDCV304 General-Purpose Clock Buffer Datasheet*。
8. MP2143DJ、SPX3819、W25Q64系列器件数据手册。

武汉芯路恒科技有限公司
小梅哥 **FPGA / ZYNQ** 技术资料