
增强型 FPGA 脱机烧录器

用户手册

版本：V1.0

日期：2026-09-09

武汉芯路恒科技 · 小梅哥 FPGA 团队

本手册用于指导烧录文件制作、文件导入、脱机 JTAG 烧录、设备维护及自动化接口使用。

文档信息与修订记录

表 0-1 文档信息与修订记录

项目	内容	项目	内容
文档名称	增强型 FPGA 脱机烧录器用户手册	文档版本	V1.0
发布日期	2026-09-09	适用范围	Windows 上位机 + 增强型 FPGA 脱机烧录器
修订说明	首次正式用户手册整理版	编制单位	武汉芯路恒科技

说明：本手册依据当前提供的软件功能和 增强型 FPGA 脱机烧录器流程整理。不同硬件/固件版本的界面、接口丝印或默认参数可能略有差异，实际操作以所使用版本为准。

目录

章节	页码
1 产品概述	5
1.1 系统组成	5
2 硬件接口与连接	6
2.1 典型连接关系	6
2.2 主要接口与部件	7
2.3 JTAG 与 VREF 使用说明	7
3 快速开始	9
3.1 生成加密文件并导入	9
3.1.1 文件生成	9
3.1.2 文件导入	12
3.2 选择文件并烧录	14
3.2.1 硬件检测	14
3.2.2 选择烧录文件	16
3.2.3 执行烧录	18
3.2.4 多通道烧录说明	20
4 上位机与设备维护	21
4.1 器件配置维护	21
4.2 文件与存储维护	22
4.3 RTC 时间同步	24
4.4 固件升级	25
5 外部自动化控制接口	27
5.1 CN10 信号说明	27
5.2 外部启动与结果读取	28
6 常见问题与故障排查	29
7 安全操作与维护建议	30

章节	页码
附录 A 已验证器件测试记录	31

1 产品概述

增强型 FPGA 脱机烧录器是一套由“Windows 上位机软件 + ZYNQ 脱机烧录硬件 + 目标 FPGA/Flash 板卡”组成的离线编程系统。上位机负责烧录文件制作与设备管理，ZYNQ 端负责脱机文件解析、JTAG 通道检测、器件匹配以及实际下载。

1.1 系统组成

组成	主要职责	用户主要操作
Windows 上位机	制作加密 .dat 文件；通过 USB 导入/删除文件；格式化设备；同步时间；升级 ZYNQ APP 固件	选择芯片和工程文件、生成文件、导入文件、升级固件
增强型 FPGA 脱机烧录器	管理 SD 卡；解析/解密烧录文件；扫描 8 路 JTAG；执行 SRAM/Flash 下载；显示进度和结果；对接外部机器信号	触摸/按键选择文件、设置下载参数、启动下载、查看结果
目标板卡	提供 FPGA/CPLD 及可能的外部 SPI Flash，由 JTAG 通道完成识别和编程	保证供电、JTAG 连接和器件型号与烧录文件一致

2 硬件接口与连接

在首次烧录前，应先完成烧录器、目标板和电脑的正确连接，并确认目标板供电与 JTAG 参考电压正常。

2.1 典型连接关系

典型使用连接为：Windows 电脑通过 USB 与 增强型 FPGA 脱机烧录器通信；烧录器通过 CH1~CH8 JTAG 通道连接目标 FPGA/Flash 板卡；烧录文件存放在设备 SD 中。目标板应保持稳定供电，并确保 JTAG 信号和参考地连接可靠。

连接对象	连接方式	用途
Windows 电脑	USB → 增强型 FPGA 脱机烧录器	文件导入、RTC 同步、固件升级
增强型 FPGA 脱机烧录器	CH1~CH8 JTAG → 目标板	FPGA/CPLD 识别及 SRAM/Flash 下载
目标板	独立/系统供电 + JTAG VREF/GND	提供目标器件工作电源与 JTAG 电平参考
自动化设备（可选）	CN10	外部启动以及 BUSY/OK/NG 状态交互

表 2-1 典型连接关系

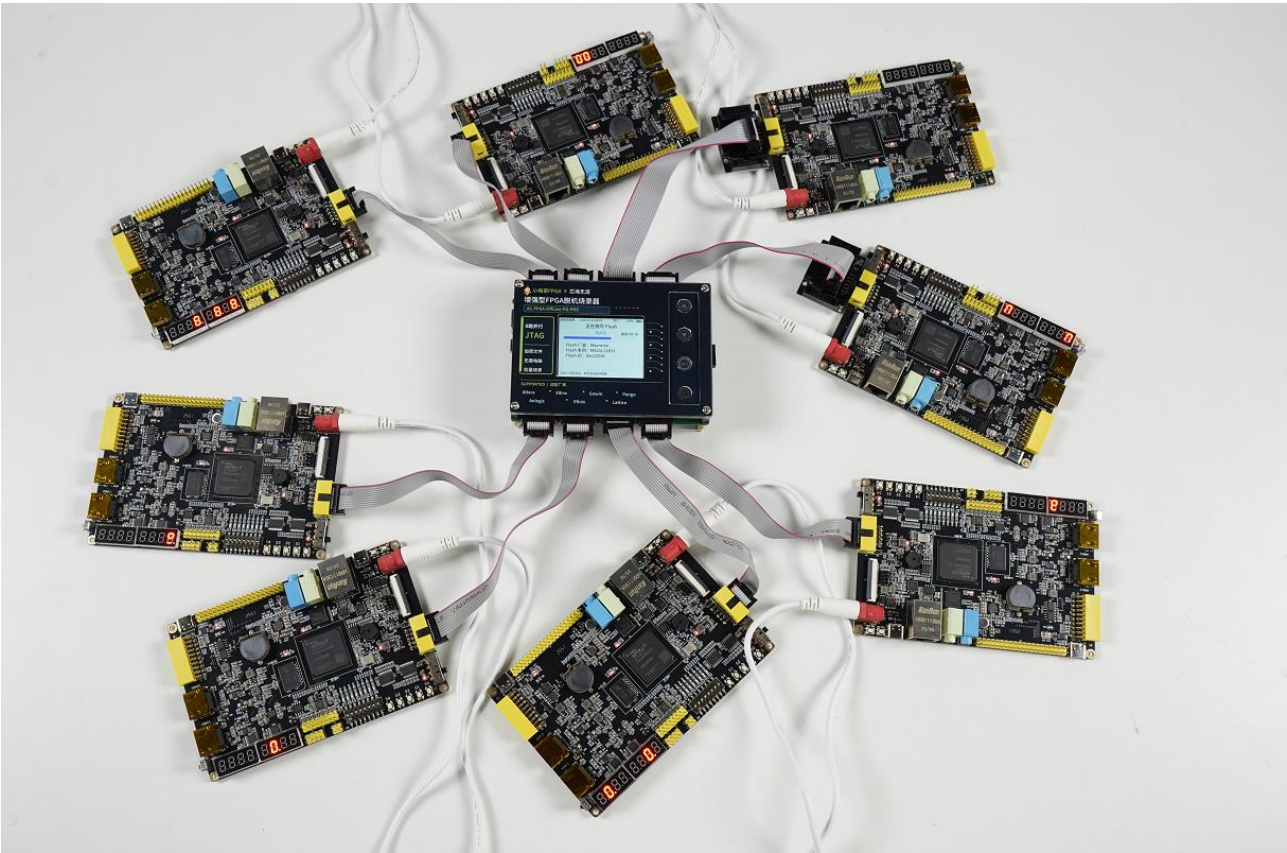


图 2-1 硬件连接示意

2.2 主要接口与部件

接口/部件	主要用途	用户注意事项
LCD/触摸屏	文件选择、参数设置、进度与结果显示	烧录期间避免重复触发新的下载任务
USB 接口	文件管理、时间同步、APP 固件升级	使用支持数据传输的 USB 线，并保持连接稳定
CH1~CH8 JTAG	最多 8 路目标通道检测与下载	按实际通道连接目标板，保证 TCK/TMS/TDI/TDO、VREF、GND 连接正确
升级按钮	进入 USB 固件升级模式	长按升级按钮后重新上电
CN10	自动化设备启动/状态接口	电气参数必须按对应硬件版本接口定义确认
蜂鸣器/喇叭	下载开始、成功、失败及通道语音提示	成功蜂鸣 3 次，失败蜂鸣 8 次

表 2-2 主要接口与部件说明

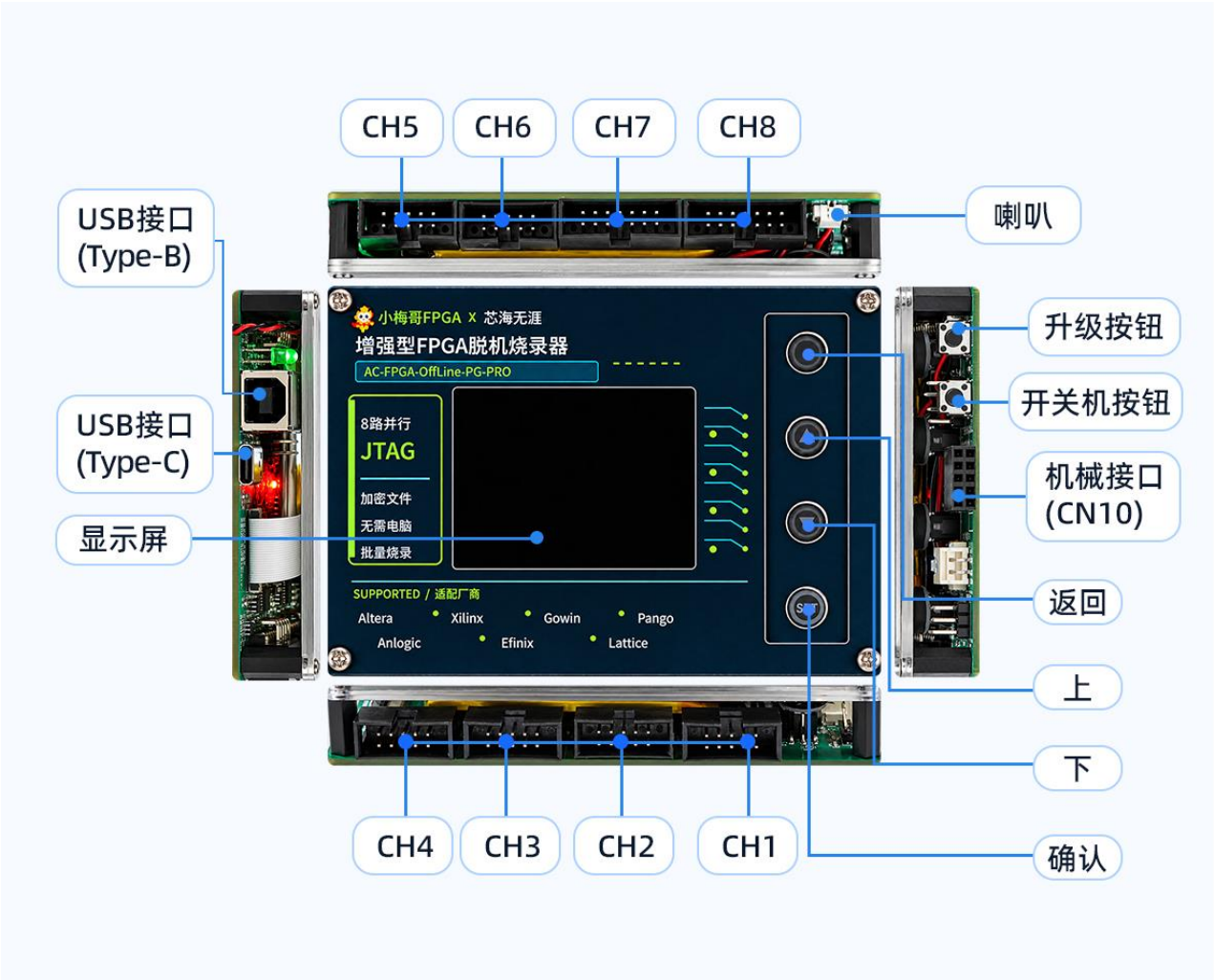


图 2-2 接口说明图

3 快速开始

快速流程：准备原始工程文件 → 生成加密 .dat → USB 导入烧录器 → 重启设备 → 硬件检测 → 选择烧录文件 → 设置参数 → 执行烧录 → 查看 OK/NG。

3.1 生成加密文件并导入

首先使用配套的上位机软件生成加密烧录文件并导入设备。上位机软件运行目录由 bin 和 Device 两个同级文件夹组成。bin 中包含“小梅哥脱机烧录器.exe”和 libusb-1.0.dll；Device 用于存放 FPGA、Flash 厂家与芯片型号配置。程序会从 EXE 上一级目录读取 Device\FPGA 和 Device\FLASH。

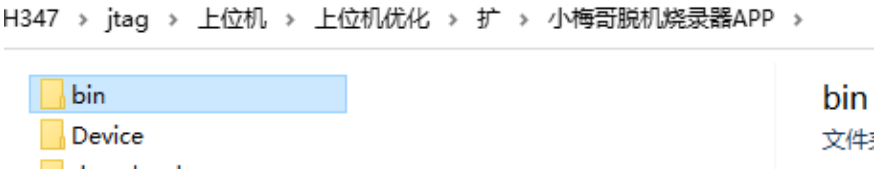


图 3-1 上位机 bin 与 Device 目录必须保持同级

说明：外部 Flash 下载如需 .mini 桥接文件，请使用与 FPGA 型号一致的已验证文件。

3.1.1 文件生成

生成文件前，需要准备目标工程对应的原始烧录文件。不同 FPGA 厂商和系列所使用的输入文件格式不同，当前主要支持格式如下表所示。

表 3-1 支持的主要工程文件格式

FPGA 厂家 / 系列	主要输入格式
Altera 普通系列	SRAM: .rbf; Flash: .rpd
Altera MAX II (CPLD)	.pof
Xilinx 普通系列	.bit、.bin
Xilinx XC95 (CPLD)	.jed
Gowin	.fs
Pango	.sbit
Anlogic	.bit
Efinix	.bit、.hex
Lattice	.bit、.bin

启动 bin 文件夹中的“小梅哥脱机烧录器.exe”，进入“文件生成”页面。下面以小梅哥 ACX720 板卡为例说明操作步骤。

- 依次选择“FPGA 芯片厂家”“FPGA 芯片系列”和“FPGA 芯片型号”。本例选择 Xilinx、Artix7、xc7a35tfgg484。

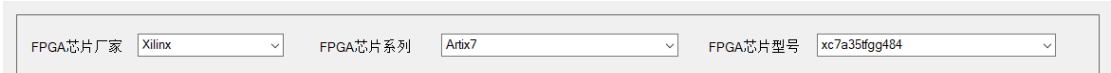


图 3-2 选择 FPGA 芯片相关信息

- 2.选择烧录目标：SRAM 用于掉电后不保持的配置；Flash / External Flash 用于掉电保持；Gowin 还可选择 Embedded Flash。
- 3.如果目标涉及外部 Flash，选择 Flash 制造商、Flash 芯片型号以及 SPIx1 / SPIx2 / SPIx4 模式。

SPI 模式选择：SPIx1、SPIx2、SPIx4 必须与目标 Flash 能力、桥接方案、及配置文件一致。SPIx4 还可能涉及 Flash QE 位设置，不建议仅为提高速度而随意切换模式。

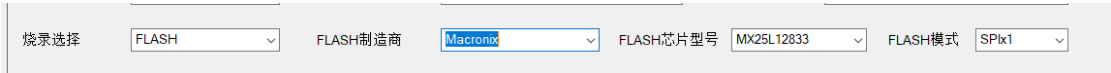


图 3-3 选择烧录方式和 Flash 芯片相关信息

- 4.点击“烧录文件选择 1”右侧的“...”选择主工程文件。

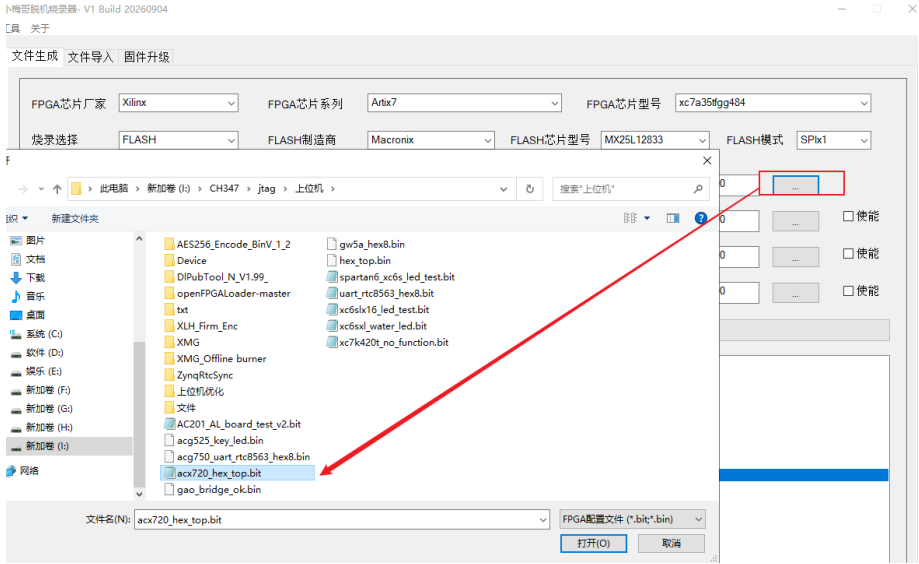


图 3-4 选择需要烧写的文件

本例只烧写一个文件。如果工程需要烧写多个数据文件，可勾选文件 2~4 的“使能”参与文件生成，并为每个文件设置对应的 Flash 起始地址。

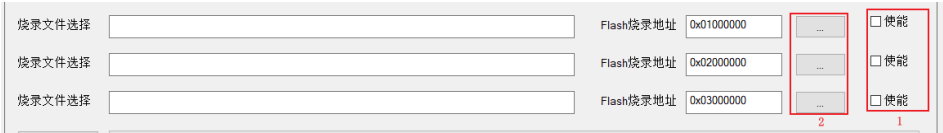


图 3-5 文件 2~4 的使能与地址设置

注：多文件 Flash 地址不得重叠；文件 2~4 仅用于外部 Flash。

- 5.确认所有参数后点击“生成文件”，选择输出位置。输出文件格式为加密 .dat。

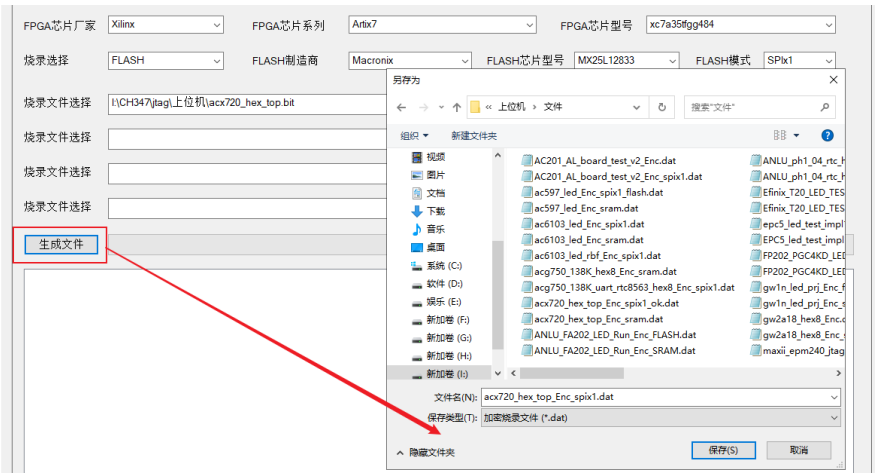


图 3-6 选择生成文件的保存位置

6.等待进度条完成，并确认日志显示“成功生成文件”以及最终保存路径。

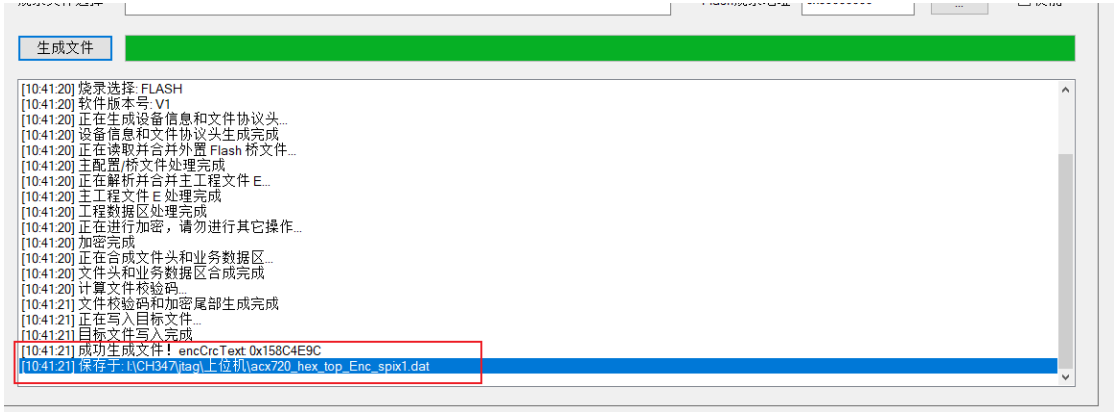


图 3-7 文件生成成功后检查日志和保存路径

生成完成后，可打开 .dat 文件查看文件头信息，其中包含生成时间、工程名以及 FPGA/Flash 相关信息。

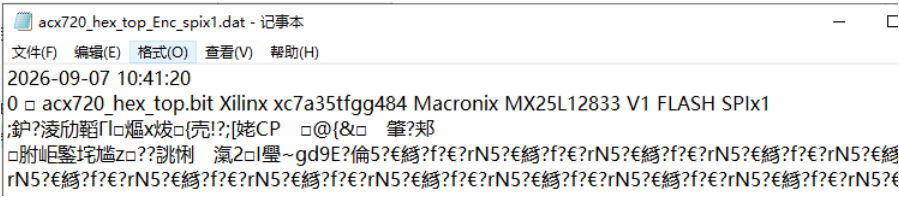


图 3-8 生成文件头查看

继续查看文件内容，可在文件尾部看到生成文件对应的 CRC 信息。



图 3-9 生成文件的 CRC 查看

3.1.2 文件导入

生成 .dat 文件后，需要通过 USB 将文件导入 增强型 FPGA 脱机烧录器。

1. 连接设备，并让脱机烧录器显示屏进入“文件导入”页面。若硬件端不在该页面，上位机执行文件管理操作可能报错。



图 3-10 增强型 FPGA 脱机烧录器进入文件导入界面

2. 上位机切换到“文件导入”页面，点击“检测 USB 设备”，并在“选择设备”下拉框中选择目标设备。



图 3-11 USB 设备检测与选择

3. 点击文件路径右侧“...”，选择要写入的 .dat 或 .txt 文件。

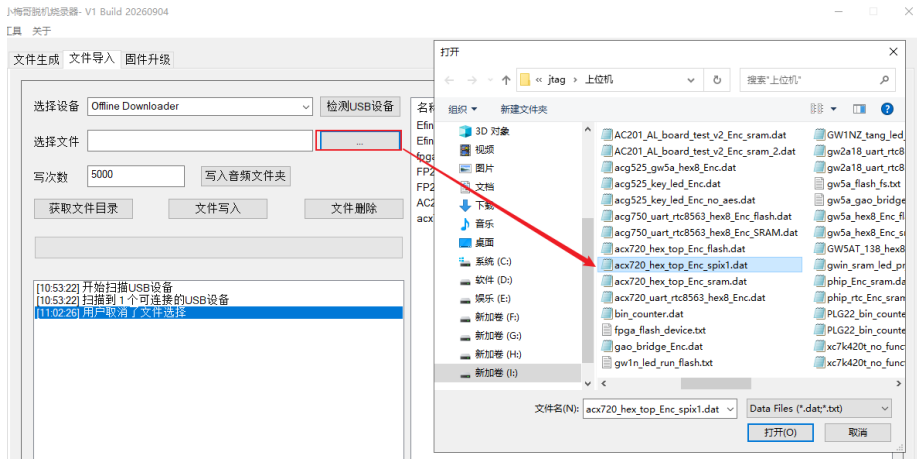


图 3-12 选择需要烧录的文件

4. 根据需要填写“写次数”，默认值为 5000。剩余次数为 0 时，系统禁止继续执行需要计数的烧写操作。

烧写次数规则：只有实际执行烧写并成功通过必要校验后才扣减 1 次；仅执行擦除、空白检查、单独校验或烧写失败时不扣减次数。

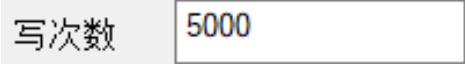


图 3-13 设置写次数

5. 点击“文件写入”，等待进度条完成。写入成功后，右侧目录显示文件名称、类型、大小、日期、时间、剩余写次数及 CRC。

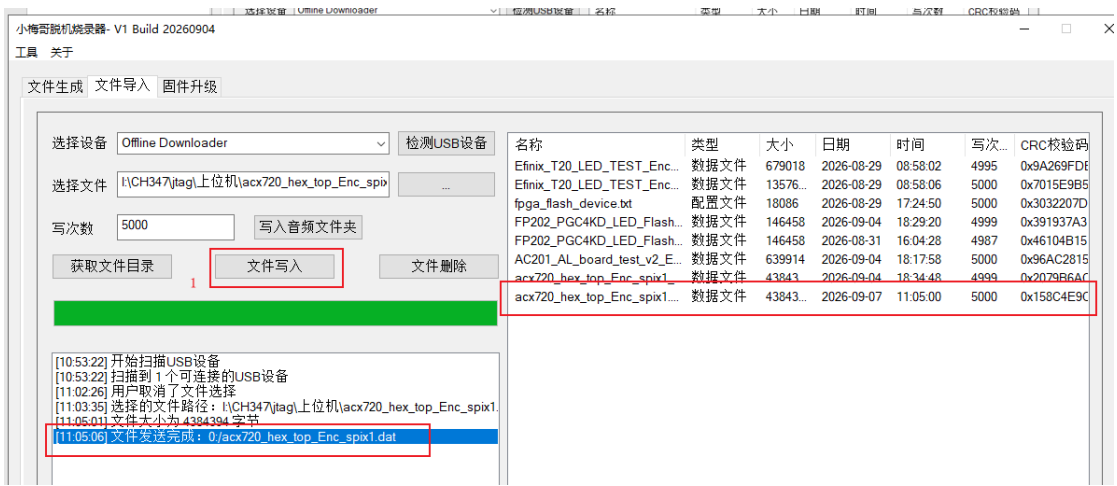


图 3-14 文件导入成功

注：普通文件目录最多支持 16 个文件。达到上限后，需要先删除旧文件或格式化设备。

普通文件写入前，上位机会向设备发送电脑当前时间、文件 CRC 和写次数。写入时会检查设备目录；如果发现文件已存在，软件会询问是否覆盖。

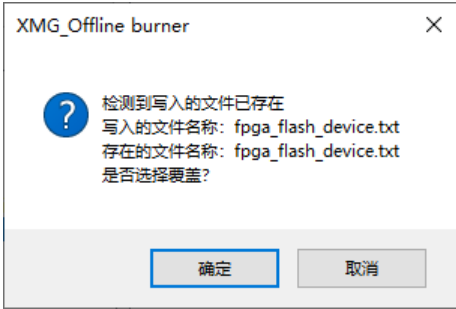


图 3-15 重复文件提示

3.2 选择文件并烧录

完成文件导入后，退出“文件导入”页面并按设备提示重启。重新启动后进入脱机烧录器主界面。



图 3-16 增强型 FPGA 脱机烧录器主界面

主界面是脱机烧录操作入口。界面显示系统状态、RTC 时间和电量信息，并提供硬件检测、文件下载、文件导入。

3.2.1 硬件检测

建议在烧录前先执行“硬件检测”，确认目标板供电、JTAG 通道和器件识别正常。本例目标板连接在 CH8，CH8 显示 Xilinx，说明该通道已完成器件识别。页面顶部同时显示“在线 x/8、已识别 x、异常 x”等统计信息，便于快速判断当前连接状态。

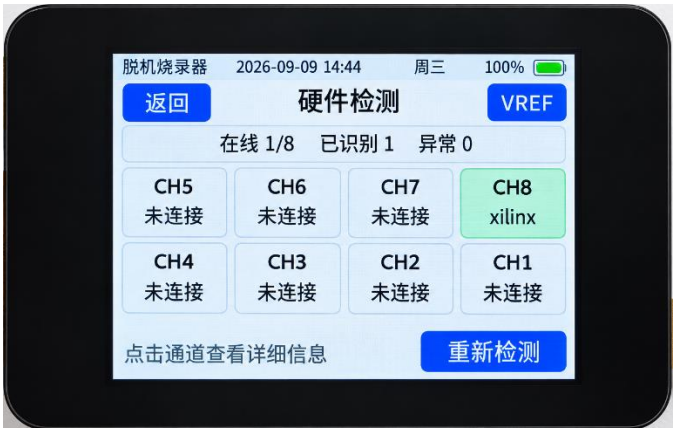


图 3-17 硬件检测结果显示

点击已识别的通道可查看更详细的 FPGA 信息，包括厂家、型号/系列、芯片 ID、识别到的 JTAG 最大频率以及通道编号等。注意这里的最大频率只是检验了能够正确读回 ID，并不一定能够正确烧录文件，小于该频率都可尝试，大于肯定不行。建议在正式烧录前核对这些信息与目标板实际器件一致。



硬件检测支持同时识别不同 FPGA 厂家的目标板，并在对应通道直接显示厂家名称。未连接通道显示“未连接”；需要进一步处理的通道会计入“异常”，具体原因应点击通道查看详情。



如果硬件检测失败，可进入 VREF 页面查看对应通道的参考电压。VREF 为 0 V 时，优先检查目标板是否上电、JTAG 连接方向及 VREF/GND 是否连接；VREF 有电压但仍无法识别器件时，再检查 TCK、TMS、TDI、TDO 等 JTAG 信号连接，并尝试降低 JTAG 速率。



图 3-18 VREF 界面显示

3.2.2 选择烧录文件

返回主界面，点击“文件下载”进入文件浏览器。页面显示当前目录及可用烧录文件。



图 3-19 文件目录显示

找到刚刚生成并导入的 acx720_hex_top_Enc_spix1.dat 文件，点击进入文件信息页面。



图 3-20 文件信息显示界面

文件信息页面显示文件名称、生成时间、FPGA 厂家/型号、Flash 信息、存储类型和接口模式、还会显示“可烧写路数、型号不符路数、异常路数”和文件可用状态。若“型号不符”或“异常”不为 0，建议先返回硬件检测核对目标板和烧录文件，不要直接开始烧录。

点击右上角“设置”进入下载参数设置页面；设置完成后关闭该页面返回文件信息页。



图 3-21 下载设置界面

表 3-2 下载设置界面说明

选项	作用	使用说明	支持烧录类型
JTAG 速率	设置 JTAG 下载速率	支持 100 kHz~60 MHz 多档选择。若下载失败、识别不稳定或目标板连线较长，优先降低 JTAG 速率。具体默认值以当前固件设置界面为准。	SRAM / Flash
擦除地址	设置 Flash 擦除地址范围	设置 Flash 需要擦除的地址范围，可以选择根据文件大小擦除或者全片擦除	Flash
擦除	擦除文件占用的地址范围，或选择全片擦除	Flash 写入前常用	Flash
空白检查	检查目标区域是否全部为 0xFF	用于确认擦除结果	Flash
烧写	执行目标数据写入/配置	SRAM 为配置数据下载；Flash 为写入目标 Flash，并按文件设置执行烧写次数检查	SRAM / Flash
校验	烧写后回读并逐字节比较	用于确认实际数据一致	Flash
校验和	分别计算文件数据与 Flash 读回数据的 CRC32 并比较	用于快速整体一致性确认	Flash

Flash 文件通常使用“擦除 + 烧写 + 校验”的组合。擦除范围可按文件占用区域执行，也可根据需要选择全片擦除。JTAG 速率支持 100 kHz~60 MHz 多档选择；若下载不稳定或识别失败，优先降低速率。具体默认值以当前固件设置界面显示为准。

3.2.3 执行烧录

返回文件信息页，确认状态正常后点击“开始烧写”。蜂鸣器提示一次，同时语音播放“开始下载”，进

入烧录过程界面。下载过程中请保持目标板供电、JTAG 连接及烧录器电源稳定。



图 3-22 烧录过程界面

烧录完成后进入结果页面，页面会显示各通道状态、本次执行的操作组合和总耗时。本例 CH8 显示“成功”。全部参与通道成功时整机结果为 OK，蜂鸣器提示 3 次，并播放下载成功及对应通道语音。



图 3-23 烧录成功结果界面

当实际器件与烧录文件配置不一致时，对应通道会判定失败，蜂鸣器提示 8 次，并播放失败通道信息。若实际 Flash JEDEC ID 与文件中的 Flash ID 不一致，结果页会显示“Flash 不符/Flash ID 不匹配”；点击该通道可查看实际读回的 Flash ID、识别到的厂家/型号以及文件中的 Flash ID。若 FPGA ID 与文件目标器件不一致，则按“FPGA 型号不符”处理。



图 3-24 器件不匹配及通道详细信息（点击 A 显示界面的“CH8 Flash 不符”可看到 B 页面显示的具体信息）

结果状态说明：成功＝器件匹配且所选操作完成；FPGA 型号不符＝实际 FPGA ID 与文件目标器件不一致；Flash 不符/Flash ID 不匹配＝实际 Flash JEDEC ID 与文件配置不一致；异常＝JTAG 通信、Flash 操作或配置状态等异常；未连接＝未检测到有效目标，不参与本次结果判定。

3.2.4 多通道烧录说明

硬件检测阶段可以同时识别不同厂家或不同型号的目标板，用于确认各通道连接情况；但同一次多通道烧录只支持使用同一烧录文件对应的同一目标器件/Flash 配置，暂不支持在同一任务中为不同通道加载不同器件或不同文件。系统可扫描 CH1～CH8 共 8 路 JTAG 通道，每个通道读取 IDCODE 并判断是否稳定在线；未检测到有效目标的通道不参与本次结果判定，在线通道会与烧录文件中的器件信息进行匹配。

表 3-3 多通道结果判定

通道状态	判定方式	整机结果影响
未检测到	无有效目标或 IDCODE 不稳定	不参与本次结果
成功	器件匹配，下载及必要校验完成	计入成功通道
失败	ID 不匹配、JTAG 通信、Flash 操作或配置状态异常	任一参与通道失败则整机 NG

所有参与通道全部成功时整机结果为 OK；任意一个参与通道失败时整机结果为 NG。结果页面和语音提示会给出对应成功/失败通道。

以上流程可完成一次标准的脱机烧录。后续章节说明器件配置、文件维护、时间同步、固件升级及自动化接口等扩展功能。

4 上位机与设备维护

4.1 器件配置维护

当目标 FPGA 或 Flash 型号未出现在上位机下拉列表中时，可在 Device 目录中补充同系列器件配置。不同系列的 JTAG 下载流程可能存在差异，因此自行新增全新系列并不能保证直接兼容；新增前建议备份 Device 目录。

4.1.1 添加 FPGA 型号

- 1.进入相应厂家和系列目录，例如：..\Device\FPGA\Xilinx\Artix7。
- 2.按同系列已有文件格式新建 .txt，文件名与希望在下拉框显示的 FPGA 型号一致，例如 xc7a35tfgg484.txt。
- 3.在 .txt 中填写芯片 ID、ID 掩码、JTAG 指令长度等字段，并严格参考同系列现有型号的字段格式。
- 4.如果该型号的外部 Flash 下载需要桥接文件，确保同目录存在同名 .mini，例如 xc7a35tfgg484.mini。

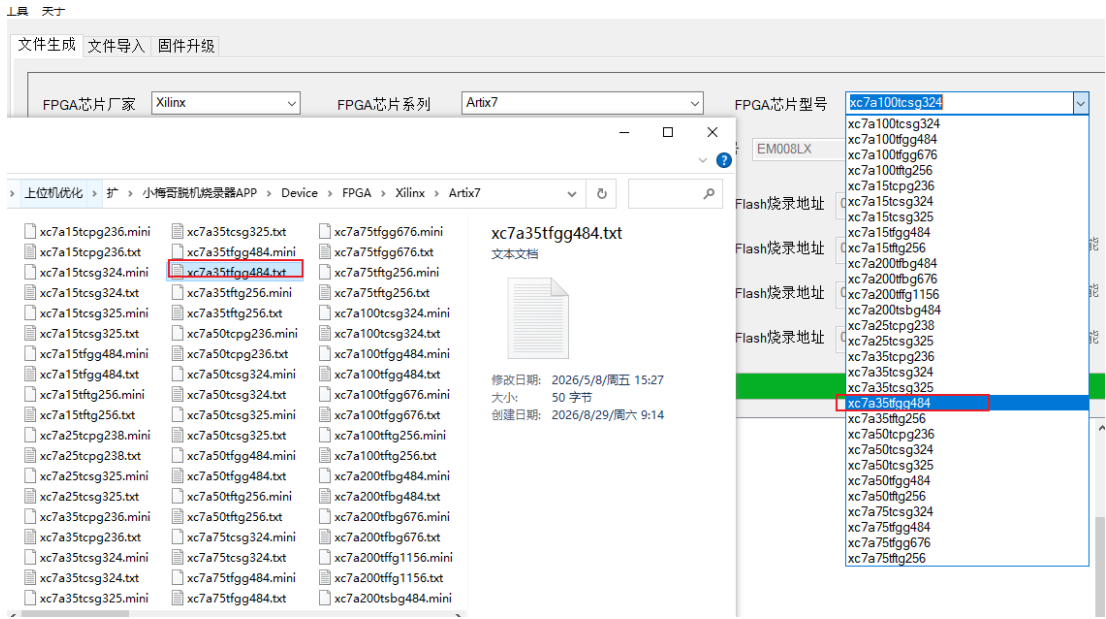


图 4-1 FPGA 型号配置文件与 .mini 桥接文件示例

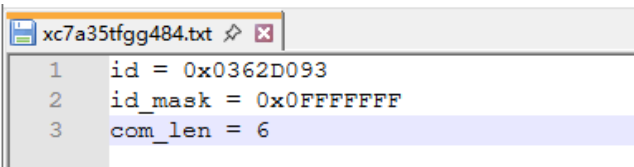


图 4-2 FPGA .txt 参数示例：ID、掩码、JTAG 指令长度

说明：外部 Flash 下载如需 .mini 桥接文件，请使用与 FPGA 型号一致的已验证文件。

4.1.2 添加 Flash 型号

- 1.进入 ..\Device\FLASH，并按 Flash 厂家和型号建立目录。
- 2.为具体型号创建 .txt 文件，文件名对应实际芯片型号。

3. 在文件中填写芯片 JEDEC ID。JEDEC ID 可从芯片手册查询，也可与脱机烧录器实际检测并显示的 Flash ID 对照。

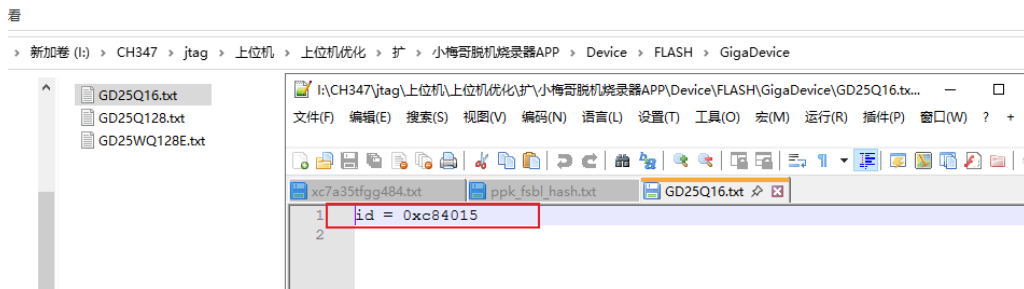


图 4-3 Flash 型号配置与 JEDEC ID 示例

4.2 文件与存储维护

4.2.1 文件删除

在脱机烧录器进入“文件导入”页面后，上位机切换到“文件导入”页。在右侧目录中选中需要删除的文件，点击“文件删除”，确认提示后删除。

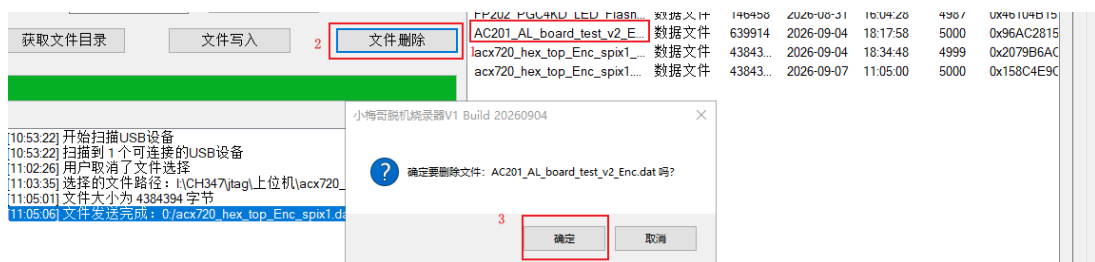


图 4-4 删除文件确认提示

4.2.2 SD 卡格式化

在脱机烧录器进入“文件导入”页面后，上位机切换到“文件导入”页。打开“工具”菜单并选择“格式化 SD 卡”。格式化会删除设备中的全部文件；当前软件在显示提示后仍会继续发送格式化命令，因此执行前必须确认目标设备和数据无误。

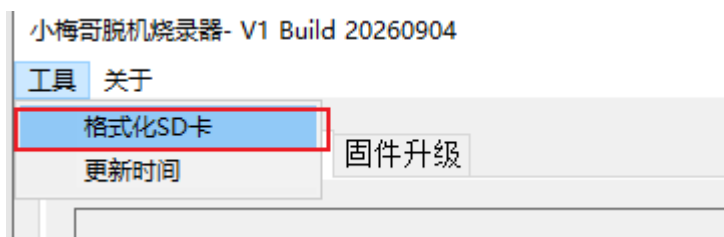


图 4-5 SD 卡格式化

4.2.3 RAW 音频恢复

“写入音频文件夹”用于批量恢复设备语音资源，可在 SD 卡被格式化或音频文件丢失后重新写入 RAW 音频。操作时先让脱机烧录器进入“文件导入”页面，再在上位机“文件导入”页点击“写入音频文件夹”。

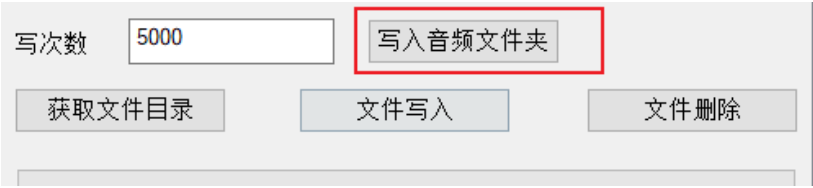


图 4-6 批量写入 RAW 音频文件夹

配套 RAW 音频文件位于提供的软件包 download_prompts 文件夹中。

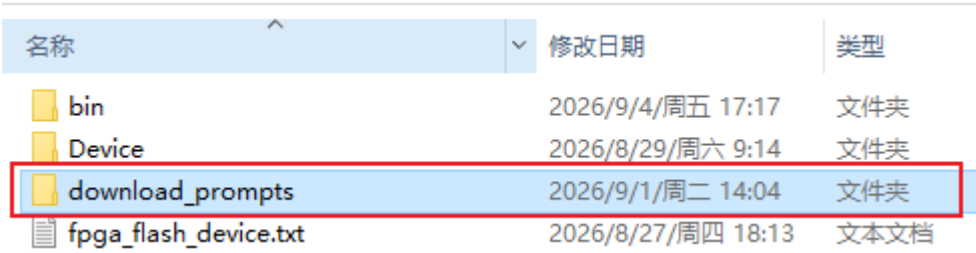


图 4-7 音频文件夹

4.2.4 fpga_flash_device.txt 配置文件

SD 卡被格式化后，需要重新导入 fpga_flash_device.txt。该文件保存脱机烧录器支持的 FPGA 和 Flash 器件信息，用于在硬件检测时将实际读取的器件 ID 映射为具体厂家和型号。

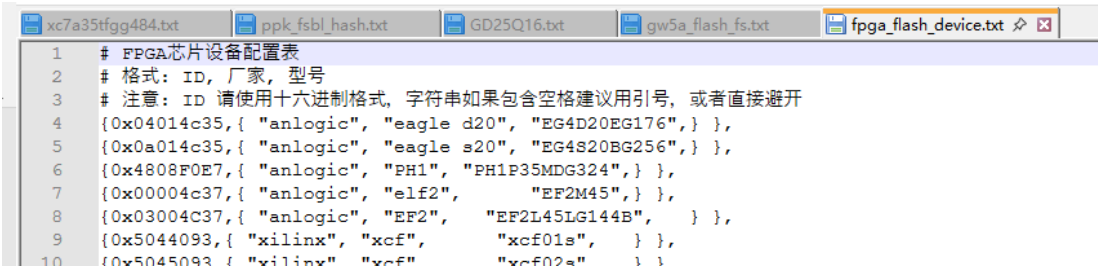


图 4-8 fpga_flash_device.txt 中 FPGA 配置示例

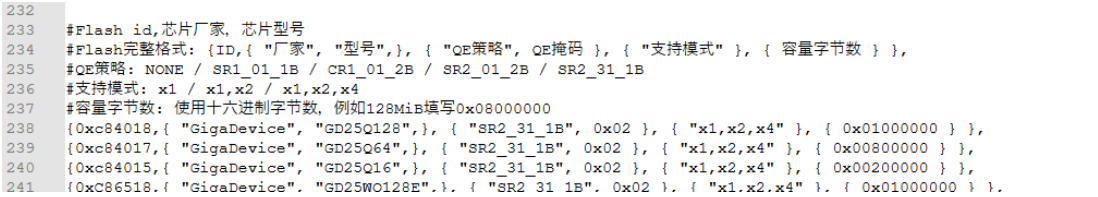


图 4-9 fpga_flash_device.txt 中 Flash 配置示例

表 4-1 QE 策略说明

QE 策略	含义
NONE	不需要设置 QE，或者该器件不使用 Quad 模式
SR1_01_1B	QE 位在 Status Register 1，通过 0x01 写状态寄存器，写 1 Byte
CR1_01_2B	QE 位在 Configuration Register / 配置寄存器，通过 0x01 写，通常一次写 2 Byte
SR2_01_2B	QE 位在 Status Register 2，但通过 0x01 一次写 SR1 + SR2 共 2 Byte
SR2_31_1B	QE 位在 Status Register 2，通过 0x31 单独写 SR2，写 1 Byte

4.2.5 SD 卡格式化后的恢复步骤

格式化会删除 SD 卡中的全部文件。执行格式化前应确认目标设备，并提前备份需要保留的烧录文件和配置文件。

- 1、重新导入 fpga_flash_device.txt，用于恢复 FPGA/Flash ID 到厂家和型号的映射。
- 2、通过“写入音频文件夹”重新写入 download_prompts 中的 RAW 语音资源。
- 3、重新导入需要使用的 .dat 烧录文件。
- 4、退出文件导入页面并按设备提示重新启动。
- 5、进入“硬件检测”确认器件型号、JTAG 通道和 VREF 状态正常。

4.3 RTC 时间同步

“更新时间”用于将电脑当前本地时间同步到普通工作模式设备的 RTC。使用 USB 线连接脱机烧录器与电脑后，打开上位机“工具”菜单并点击“更新时间”。

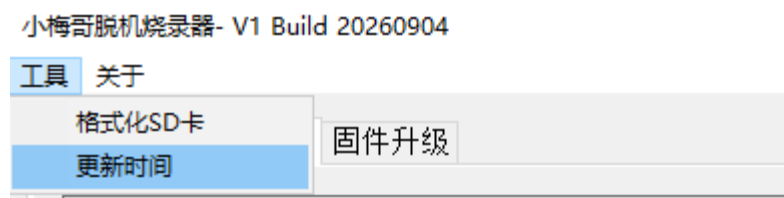


图 4-10 更新时间操作

同步成功后，上位机提示设备时间更新成功。

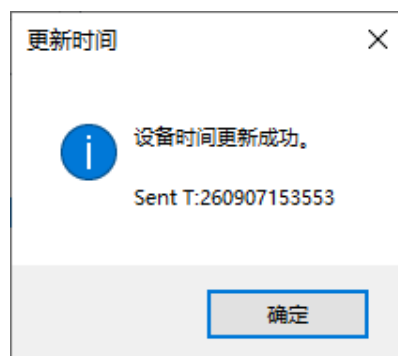


图 4-11 更新时间成功提示示例

4.4 固件升级

需要更新 增强型 FPGA 脱机烧录器 APP 固件时，可通过 USB 进入升级模式完成固件升级。

- 1.让设备进入固件升级模式：长按升级按钮后重新上电，并确认电脑识别到 USB 升级设备。

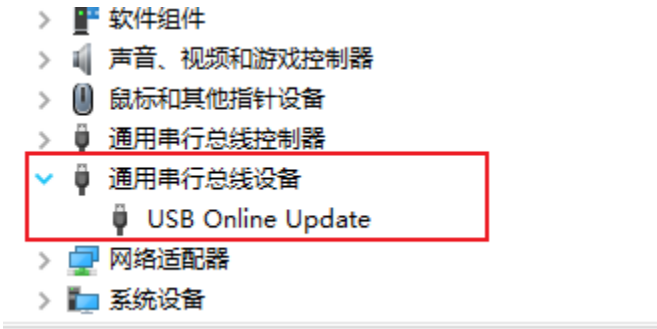


图 4-12 电脑识别到升级设备

2.进入“固件升级”页面，点击“检测 USB 设备”，并在下拉框中选择目标设备。

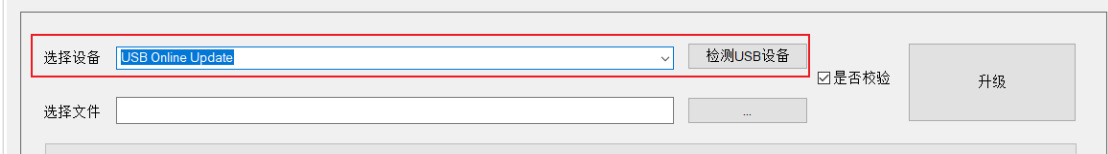


图 4-13 上位机识别到 USB 升级设备

- 3.选择与当前硬件版本匹配的 .bin 固件。
- 4.建议保持“是否校验”勾选；该选项默认勾选。
- 5.点击“升级”，等待擦除、写入和校验完成。升级过程中不要断开 USB 或切断设备电源。
- 6.确认进度条达到 100%，日志显示“固件升级成功”。升级完成后退出升级模式并正常重新上电。

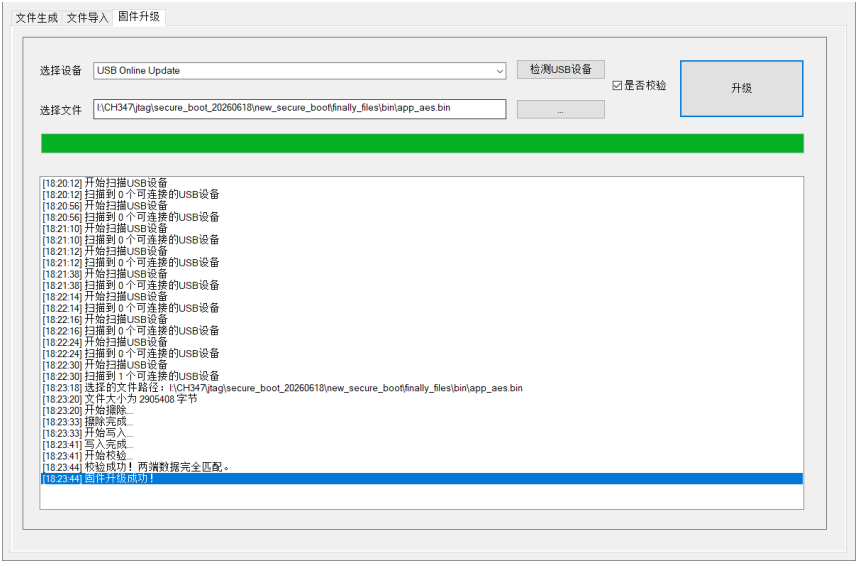


图 4-14 固件更新成功

4.4.1 升级失败处理

若升级过程中出现 USB 中断、日志报错或进度未正常完成，应重新进入固件升级模式，确认所选 .bin 固件与当前硬件版本匹配后重新执行升级。重新升级期间保持 USB 与设备供电稳定；升级成功后正常重新上电，并确认设备能够进入主界面。

注意：升级未完成时不要反复切换普通工作模式，也不要再在擦除、写入或校验过程中断电。

5 外部自动化控制接口

5.1 CN10 信号说明

增强型 FPGA 脱机烧录器可通过 CN10 与自动化设备或其他控制器连接，实现外部启动和烧录结果读取。

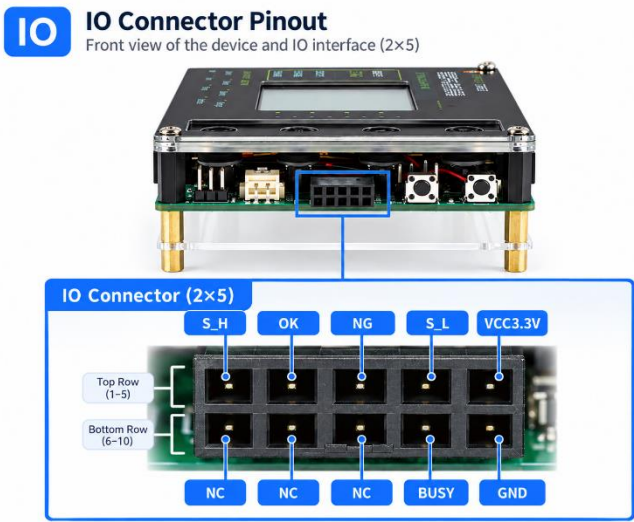


图 5-1 CN10 接口说明

表 5-1 机器控制接口说明

信号	方向 / 功能	逻辑说明
VCC3.3V	电源/参考	板端 3.3 V 逻辑参考。建议仅作为接口电平参考使用，不要直接为外部大电流负载供电；允许电流以对应硬件版本为准。
GND	参考地	与外部控制器连接时作为信号参考地
S_L	启动输入	低有效启动，检测下降沿
S_H	启动输入	高有效启动，检测上升沿
BUSY	状态输出	下载处理期间输出高电平；所有下载和校验完成后拉低
OK	结果输出	所有参与通道烧录成功时输出有效状态
NG	结果输出	任一参与通道失败时输出有效状态

- 启动输入具有约 20 ms 消抖，持续保持同一电平不会重复启动。
- 外部控制器应在 BUSY 结束后再读取最终 OK/NG 状态。
- 外部启动仅在文件信息页或下载/重试等允许下载页面有效。

5.2 外部启动与结果读取

外部控制器触发 S_L 或 S_H 后，系统进入下载流程并将 BUSY 置为有效状态；下载和校验结束后 BUSY 释放，OK/NG 保持最终结果，供外部控制器读取。外部启动只在允许下载的页面有效，主界面和普通文件列表页面不会响应启动信号。

表 5-2 外部控制时序逻辑

阶段	BUSY	OK/NG
等待启动	低/空闲	保持上一结果或空闲状态
收到有效启动	拉高	开始新任务，旧结果不再作为本次结果
下载/校验进行中	高	等待最终结果
任务结束	拉低	全部参与通道成功为 OK；任一失败为 NG

接口安全：CN10 电气参数以对应硬件原理图为准；接入 PLC 前先确认电平兼容。

5.2.1 推荐外部控制流程

- 1. 在烧录器上预先选择正确的烧录文件和下载参数，并停留在文件信息页或下载/重试页面。
- 2. 外部控制器产生一次有效的 S_L 下降沿或 S_H 上升沿启动信号。
- 3. 检测到 BUSY 拉高后进入等待状态，下载期间不要重复触发新的启动。
- 4. 等待 BUSY 拉低，表示本次下载和校验流程已经结束。
- 5. 读取 OK/NG 最终状态，并记录本次烧录结果；下一次任务再重新触发启动信号。

控制原则：以 BUSY 作为任务进行/结束判据，以 OK/NG 作为最终结果判据；主界面和普通文件列表页面不会响应外部启动。

6 常见问题与故障排查

表 6-1 常见故障排查

现象	可能原因/检查点	建议处理
上位机检测不到设备	USB 线、供电、驱动或工作模式不正确	确认使用数据 USB 线；重新插拔；确认普通模式/升级模式与当前功能一致
FPGA/Flash 下拉列表为空	Device 目录缺失、名称改变或配置文件不完整	确认 bin 与 Device 同级，并检查 Device\FPGA、Device\FLASH 及对应 .txt/.mini
文件生成失败	器件/文件格式不匹配，桥接文件缺失或输出目录不可写	核对 FPGA/Flash 型号和输入格式；外部 Flash 检查 .mini；查看日志
VREF 显示 0 V	目标板未供电、VREF/GND 未连接或接口方向错误	检查目标板供电和 JTAG 接线，再执行硬件检测
VREF 有电压但识别不到 FPGA	JTAG 信号或速率问题	检查 TCK/TMS/TDI/TDO/GND，尝试降低 JTAG 速率
结果页显示 FPGA 型号不符	实际 FPGA ID 与文件目标器件不一致	核对 FPGA 丝印、硬件检测详情和 .dat 文件，选择正确文件后重试
下载/校验失败	JTAG 连接不稳定、速率偏高或 Flash 操作失败	降低 JTAG 速率；缩短/检查连线；重新检测后重试并查看错误阶段
剩余写次数为 0	文件设置的允许烧写次数已用完	使用重新授权/重新生成的烧录文件，确认写次数设置
格式化后没有语音或型号显示	RAW 音频或 fpga_flash_device.txt 未恢复	按 4.2.5 节恢复配置文件、音频和烧录文件
固件升级失败	USB 中断、固件不匹配或升级过程断电	重新进入升级模式，选择正确 .bin 固件重新升级；过程保持供电和 USB 稳定
硬件检测显示“异常”	器件识别或 JTAG 通信异常	点击通道查看详情；检查 VREF/JTAG 连线，降低速率后重新检测
结果页显示 Flash 不符 / Flash ID 不匹配	实际 Flash JEDEC ID 与文件配置不一致	核对实际 ID 与文件 ID；确认 Flash 型号、SPI 模式和配置后重新生成/选择文件

7 安全操作与维护建议

- 生成烧录文件前核对 FPGA、Flash 器件型号以及工程文件格式。
- 多文件外部 Flash 烧录前核对各文件地址范围，避免不同文件占用区域重叠。
- 执行 SD 卡格式化前先备份烧录文件，并确认 fpga_flash_device.txt 和 RAW 音频资源可恢复。
- 固件升级前确认 .bin 固件与硬件版本匹配；升级过程中禁止断电、拔出 USB 或关闭上位机。
- 烧录过程中保持目标板和烧录器供电稳定，避免移动或拔插 JTAG 连接。
- 下载结束后同时检查进度、日志、屏幕结果及实际器件 ID，不仅依赖蜂鸣或单一提示。
- 自动化设备接入 CN10 前，必须确认接口针脚及电气参数与外部控制器兼容。

正式烧录、批量生产或设备维护前，建议按下表完成检查。

表 7-1 安全操作检查清单

检查项	确认内容	完成
烧录文件	核对 FPGA、Flash 器件型号以及工程文件格式。	☐
多文件外部 Flash	核对各文件地址范围，避免不同文件占用区域重叠。	☐
SD 卡维护	格式化前备份烧录文件，并确认 fpga_flash_device.txt 和 RAW 音频资源可恢复。	☐
固件升级	确认 .bin 固件与硬件版本匹配；升级过程中保持供电和 USB 稳定。	☐
JTAG 与供电	烧录过程中保持目标板和烧录器供电稳定，避免移动或拔插 JTAG 连接。	☐
结果确认	同时检查进度、日志、屏幕结果及实际器件 ID，不仅依赖蜂鸣或单一提示。	☐
CN10 自动化接口	接入自动化设备前确认接口针脚及电气参数与外部控制器兼容。	☐
硬件检测/文件信息	确认目标通道已识别；“型号不符”和“异常”为 0；文件状态正常后再开始烧录。	☐

附录 A 已验证器件测试记录

下表以概览形式记录已测试成功的部分器件系列，以及部分器件在特定 JTAG 时钟下的烧录时间和功能通过情况。该记录仅用于兼容性与测试参考，不构成所有型号的性能承诺；实际时间会受到工程文件大小、JTAG 频率、目标板连线 and 器件类型影响。现有记录中 Xilinx 使用 FTDI，其余测试使用小梅哥八合一高速 FPGA 调试器。具体数值以原始测试记录为准。

说明：附录中的测试时间和通过情况仅代表当时测试环境与工程文件，不作为所有器件、所有 JTAG 频率和所有目标板的固定性能指标。

A	B	C	D	E	F
测试厂家	厂家系列		同一个工程文件测试下载到flash的时间（包括擦除、烧写、校验）	JTAG CLK:30M	其它功能测试（擦除、空白检查、下载、校验、校验和）
			下载器	脱机烧录器	
xilinx	A7		51秒	22秒	通过
	K7			32秒	通过
	Spartan 6		21秒	4秒	通过
	XC95系列		10秒	12秒	CPLD系列，内置flash，不支持上述功能
			quartus默认的24M，固化勾选烧写、校验（quartus勾选只支持这两个）	频率分频得不到24M，20M测试	
Altera	Cyclone IV		1:18	27秒	通过
	Cyclone V		2:02	1:17	通过
	MAX II		3秒	2秒	CPLD系列，内置flash，不支持上述功能
			安路软件只烧写到flash，最大支持16M	频率分频得不到16M，15M测试	
安路	EG4系列		24秒	2秒	通过
	EF2系列		12秒	3秒	CPLD系列，通过
	PH1系列		32秒	2秒	通过
			默认8M，烧写	8M	
紫光	logos(PGL22G)		20秒	2秒	通过
	compact(PGC4KD)		14秒	9秒	CPLD
			exFlash Erase/Program/Verify thru GAO-Bridge Arora V，最高15M		
高云	GW2A系列	18C	9秒	6秒	通过
				10秒	通过
	GW5A/SAT系列	25k	16秒	58秒（使用bridge，耗时会长一些）	通过
		138k	26秒（下载器不支持gao bridge模式）		通过
			5秒	1秒	通过
			12.5M	12M	
lattice	ECP5系列		9秒	13秒	通过
			10M（官方 JTAG Core 文档给出的 Bridge programming TCK 上限为 10 MHz）	10M	
efinix	Trion	T20F256		13	通过
				13	通过
	Titanium	Ti60F100（内置flash）	35	13	通过
		Ti60F225（外置flash）	28	13	通过

图 A-1 器件测试与烧录时间记录（概览）