

特征

- 直流电源: 1.3V、2.5V 和 3.3V
- 片内精密电压基准
- JESD204B 编码串行数字输出
- 双通道总功耗: 0.8W (默认配置)
- 性能
 - SNR: 64.6dBFS ($f_{IN}=170\text{MHz}$, $A_{IN}=-2\text{dBFS}$)
 - SFDR: 80.4dBFS ($f_{IN}=170\text{MHz}$, $A_{IN}=-2\text{dBFS}$)
 - DNL: $\pm 0.33\text{LSB}$
 - INL: $\pm 2.3\text{LSB}$
 - 噪声密度 = -152.5dBFS/Hz
- 可编程端接阻抗: 400 Ω 、200 Ω 、100 Ω 和 50 Ω 差分
- 模拟输入全功率带宽: 2GHz
- QFN64 9mm $\times$ 9mm 封装

应用

- 通信设备
- 多频段、多模数字接收器
- 超宽带卫星接收器
- 仪器仪表
- 超声设备

概述

CM3452 是一款 14 位、集成双通道、1.25GSPS 流水线型模数转换器 (ADC)，其内置缓冲器和采样保持电路，旨在为低功耗、小尺寸、宽带宽、多功能应用提供解决方案。CM3452 提供灵活的断电选项，用户可按需配置，以进一步降低系统平均功耗。

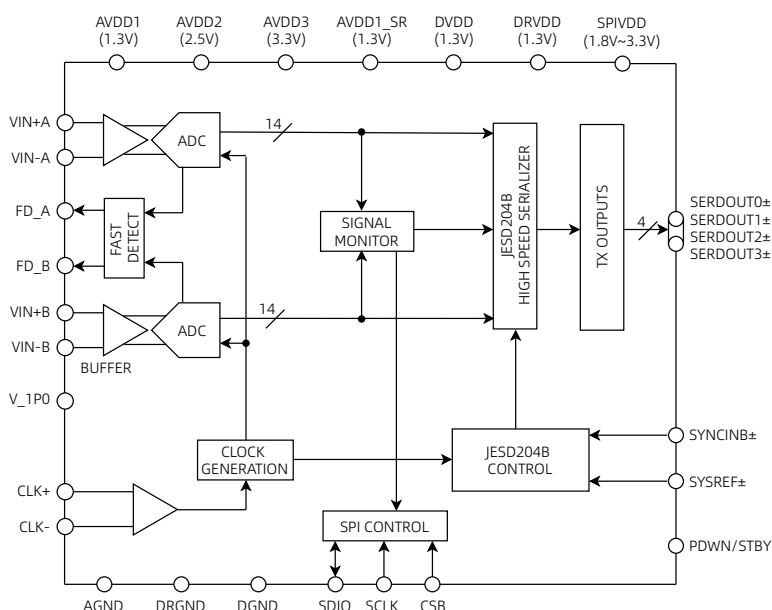
CM3452 内核采用多级差分流水线结构，并集成了数字校准功能，以实现更好的 SNR 和 SFDR 性能。输入方面：该款 ADC 支持宽带输入，方便用户灵活选择输入频率范围。配置方面：通过 1.8V~3.3V 电压范围的 3 线 SPI 接口可进行编程。

CM3452 还内置可编程阈值检测器，通过使用 ADC 的快速检测输出位，允许监测输入信号的功率。如果输入信号电平超过可编程阈值，快速检测指示器会变为高电平。该阈值指示器具有极低延迟，用户利用它能够快速调整前端系统增益，以避免 ADC 输入饱和。

用户可以使用 SPI 接口，根据 ADC 实际采样率以及主控芯片的要求，配置 JESD204B 高速串行接口的设置。CM3452 支持 JESD204B 子类 0 和子类 1。在子类 1 模式下，可以通过 $\text{SYSREF}\pm$ 和 $\text{SYNCINB}\pm$ 实现多芯片同步。

CM3452 采用 QFN64 型封装，其最佳工作温度范围为 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 。

架构框图



目录

封页.....	1	断电/待机模式.....	17
特征.....	1	温度二极管.....	17
应用.....	1	数字输出.....	17
概述.....	1	配置 JESD204B 链路.....	17
架构框图.....	1	功能与模式.....	19
文档历史.....	3	多芯片同步.....	19
管脚配置和功能.....	4	常规模式.....	19
管脚配置.....	4	时间戳模式.....	19
管脚功能.....	4	SYSREF±输入.....	20
绝对最大额定值.....	6	SYSREF± 建立/保持窗口监视器.....	21
电气规格.....	7	ADC 超量程和快速检测.....	21
DC 和 AC 规格.....	7	ADC 超量程.....	21
数字规格.....	9	快速阈值检测 (FD_A 和 FD_B).....	21
转换规格.....	11	信号监测.....	21
时序规格.....	12	通过 JESD204B 接口传输数据.....	21
典型特征.....	14	延迟.....	23
工作原理.....	16	端到端总延迟.....	23
ADC 结构.....	16	测试模式.....	23
模拟输入.....	16	SPI 接口.....	25
输入共模.....	16	寄存器.....	26
差分输入.....	16	应用.....	30
绝对最大输入摆幅.....	16	电源和接地建议.....	30
模拟输入缓冲控制与 SFDR 优化.....	16	裸露焊盘散热块建议.....	30
电压基准.....	17	封装及订购信息.....	31
时钟输入.....	17	封装方式.....	31
时钟占空比.....	17	产品外形图.....	31
抖动.....	17	订购信息.....	32

文档历史

下表列举了本文档自产品发布后的所有更新。

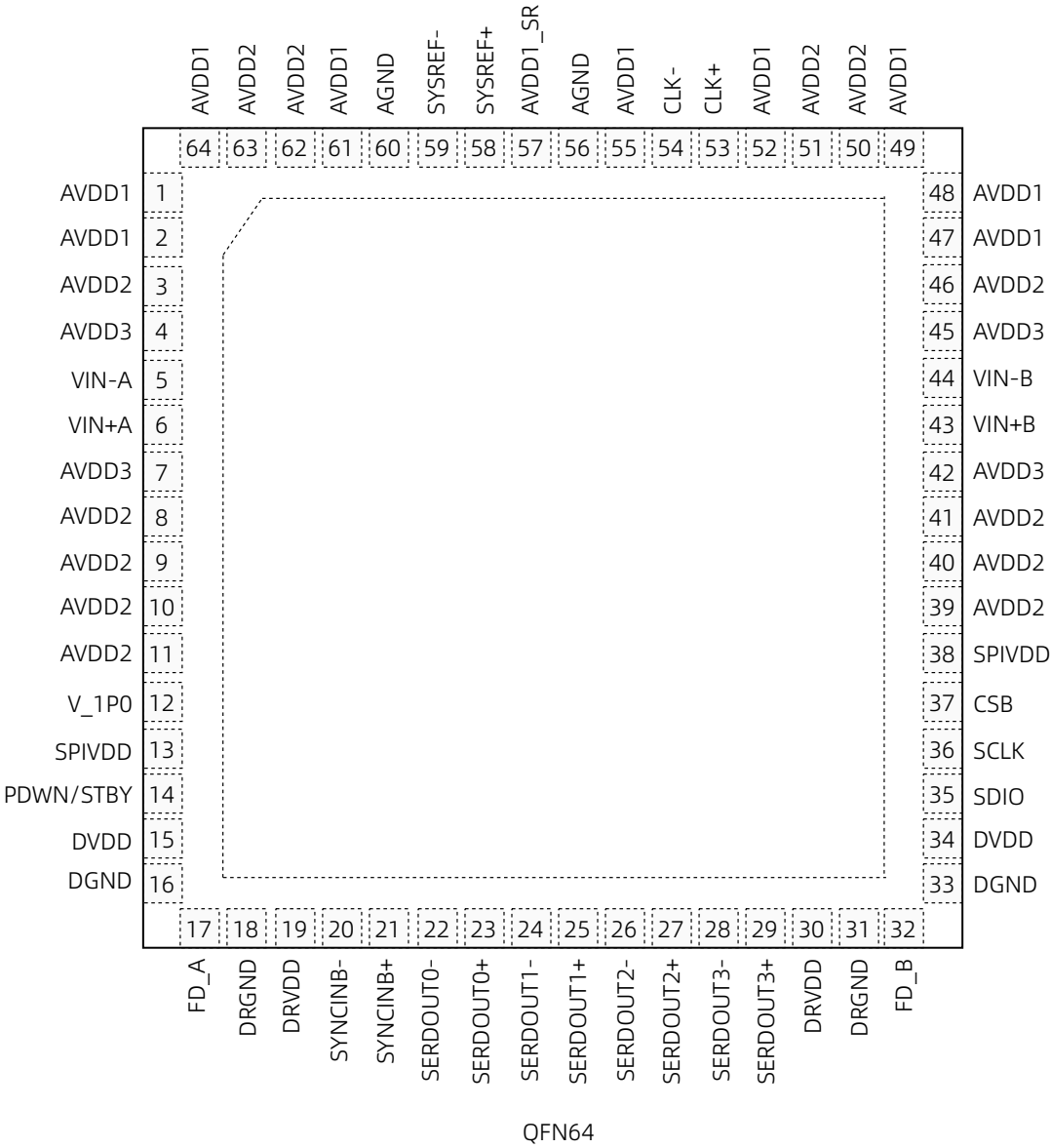
文档版本	修订日期	内容描述
V0.5	2026-04-01	预发布。
V0.6	2026-08-24	更新电气规格。

说明：本数据手册为预发布版本，所列电气特性、性能指标及功能描述将根据实验室测试结果及量产验证数据进行修订与更新。

管脚配置和功能

管脚配置

以下为 QFN64 封装管脚示意图：



管脚功能

表 1 管脚功能描述

编号	名称	类型	说明
1, 2, 47~49, 52, 55, 61, 64	AVDD1	PWR	模拟电源（1.3V，典型值）
3, 8~11, 39~41, 46, 50, 51, 62, 63	AVDD2	PWR	模拟电源（2.5V，典型值）
4, 7, 42, 45	AVDD3	PWR	模拟电源（3.3V，典型值）
5	VIN-A	AI	通道 A 差分模拟输入 (-)。

编号	名称	类型	说明
6	VIN+A	AI	通道 A 差分模拟输入 (+)。
12	V_1P0	AI	该管脚可通过 SPI 配置为浮空或输入。如果使用内部基准电压, 请将该管脚浮空。如果使用外部基准电压源, 则需要 1V 的基准电压输入。
13, 38	SPIVDD	PWR	SPI 数字电源 (1.8V~3.3V)
14	PDWN/STBY	DI	断电模式控制, 高电平有效。基于 SPI 模式, 可配置为断电模式或待机模式。需要外接一个 10k Ω 的下拉电阻。
15, 34	DVDD	PWR	数字电源 (1.3V, 典型值)
16, 33	DGND	GND	DVDD 接地参考。
17	FD_A	DO	通道 A 快速检测。
18, 31	DRGND	GND	DRVDD 接地参考。
19, 30	DRVDD	PWR	数字驱动电源 (1.3V, 典型值)
20	SYNCINB-	DI	JESD204B LVDS 同步输入 (-), 差分输入低电平有效。
21	SYNCINB+	DI	JESD204B LVDS 同步输入 (+), 差分输入低电平有效。
22	SERDOUT0-	DO	通道 0 输出数据 (-)。
23	SERDOUT0+	DO	通道 0 输出数据 (+)。
24	SERDOUT1-	DO	通道 1 输出数据 (-)。
25	SERDOUT1+	DO	通道 1 输出数据 (+)。
26	SERDOUT2-	DO	通道 2 输出数据 (-)。
27	SERDOUT2+	DO	通道 2 输出数据 (+)。
28	SERDOUT3-	DO	通道 3 输出数据 (-)。
29	SERDOUT3+	DO	通道 3 输出数据 (+)。
32	FD_B	DO	通道 B 快速检测。
35	SDIO	DI/O	SPI 串行数据。
36	SCLK	DI	SPI 串行时钟。
37	CSB	DI	SPI 片选配置, 低电平有效。
43	VIN+B	AI	通道 B 差分模拟输入 (+)。
44	VIN-B	AI	通道 B 差分模拟输入 (-)。
53	CLK+	AI	ADC 差分时钟输入 (+)。
54	CLK-	AI	ADC 差分时钟输入 (-)。
56, 60	AGND	GND	SYSREF $\pm$ 接地参考。
57	AVDD1_SR	PWR	SYSREF $\pm$ 模拟电源 (1.3V, 典型值)。
58	SYSREF+	DI	JESD204B LVDS 系统参考输入 (+), 差分高电平有效。
59	SYSREF-	DI	JESD204B LVDS 系统参考输入 (-), 差分高电平有效。
	EPAD	GND	裸露焊盘, 位于封装底部, 为 AVDDx 提供接地参考。该焊盘必须连接到地。

绝对最大额定值

参数	等级
温度	
工作温度	-40°C~85°C
存储温度	-65°C~150°C
结温	-40°C~125°C
耐压	
AVDD1、AVDD1_SR 至 AGND	1.38V
AVDD2 至 AGND	2.75V
AVDD3、SPIVDD 至 AGND	3.63V
DVDD 至 DGND	1.38V
DRVDD 至 DRGND	1.38V
AGND 至 DRGND	-0.3V~0.3V
SCLK、SDIO、CSB 至 AGND	0.3V~SPIVDD + 0.3V
PDWN/STBY 至 AGND	0.3V~SPIVDD + 0.3V

电气规格

默认测试条件: AVDD1 = 1.3V、AVDD2 = 2.5V、AVDD3 = 3.3V、AVDD1_SR = 1.3V、DVDD = 1.3V、DRVDD = 1.3V、SPIVDD = 1.8V、采样率 = 1GSPS、A_{IN} = -1dBFS、默认 SPI 设置、TA = 25°C。

DC 和 AC 规格

参数	测试条件	最小值	典型值	最大值	单位
直流精度					
DNL			±0.33		LSB
INL			±2.3		LSB
分辨率			14		Bits
失调误差			±0.024		%FSR
失调误差匹配			0.024		%FSR
增益误差			0.92		%FSR
增益误差匹配			8.1		%FSR
动态性能					
SNR	f _{IN} = 10MHz (-1dBFS)		64.4		dBFS
	f _{IN} = 170MHz (-2dBFS)		64.6		dBFS
	f _{IN} = 340MHz (-2dBFS)		64.5		dBFS
	f _{IN} = 450MHz (-2dBFS)		64.4		dBFS
SNDR	f _{IN} = 10MHz (-1dBFS)		64.1		dBFS
	f _{IN} = 170MHz (-2dBFS)		64.5		dBFS
	f _{IN} = 340MHz (-2dBFS)		64.3		dBFS
	f _{IN} = 450MHz (-2dBFS)		63.9		dBFS
SFDR	f _{IN} = 10MHz (-1dBFS)		78.4		dBFS
	f _{IN} = 170MHz (-2dBFS)		80.4		dBFS
	f _{IN} = 340MHz (-2dBFS)		78.2		dBFS
	f _{IN} = 450MHz (-2dBFS)		76.1		dBFS
第二或第三谐波	f _{IN} = 10MHz (-1dBFS)		-78.4		dBFS
	f _{IN} = 170MHz (-2dBFS)		-80.4		dBFS
	f _{IN} = 340MHz (-2dBFS)		-78.2		dBFS
	f _{IN} = 450MHz (-2dBFS)		-76.1		dBFS
其他谐波	f _{IN} = 10MHz (-1dBFS)		-86.3		dBFS
	f _{IN} = 170MHz (-2dBFS)		-88.3		dBFS
	f _{IN} = 340MHz (-2dBFS)		-87.3		dBFS
	f _{IN} = 450MHz (-2dBFS)		-88.5		dBFS
双音 IMD	f _{IN1} = 338MHz (-7dBFS), f _{IN2} = 341MHz (-7dBFS)		-83		dBFS

参数	测试条件	最小值	典型值	最大值	单位
输入等效噪声			3.6		LSB rms
噪声功率谱密度			-152.5		dBFS/Hz
通道间隔离度 ¹			90		dB
全功率带宽 ²			2		GHz
模拟输入					
内部基准电压			1.28		V
差分输入电压满摆幅			1.4		V _{pp}
共模电压			1.54		V
差分输入电容			1.5		pF
电源					
AVDD1		1.25	1.3	1.35	V
AVDD2		2.44	2.5	2.56	V
AVDD3		3.2	3.3	3.4	V
AVDD1_SR		1.25	1.3	1.35	V
DVDD		1.25	1.3	1.35	V
DRVDD		1.25	1.3	1.35	V
SPIVDD		1.7	1.8	3.4	V
I _{AVDD1}			256.5		mA
I _{AVDD2}			29		mA
I _{AVDD3}			19		mA
I _{AVDD1_SR}			12		mA
I _{DVDD} ³			83.5		mA
I _{DRVDD} ⁴			161.5		mA
I _{SPIVDD}			0.0003		mA
功耗	总功耗（包括输出驱动器）		0.8		W
	断电模式		0.26		W
	待机模式 ⁵		0.69		W

注 1：串扰在 170MHz 输入信号频率下进行测量，一个通道上输入为-1dBFS，另一个通道上无输入。

注 2：根据“基于变压器耦合的差分输入网络”图进行测量。

注 3：默认模式，L = 4，M = 2，F = 1。

注 4：所有通道均运行。DRVDD 的功耗随着通道速率和使用的通道数量而变化。

注 5：可通过 SPI 控制。

数字规格

参数	测试条件	最小值	典型值	最大值	单位
时钟输入 (CLK+, CLK-)					
逻辑电平标准		LVDS/LVPECL			
差分输入电压		600	1200	1800	mVpp
输入共模电压		0.45			V
差分输入阻抗		20			kΩ
输入电容		2.5			pF
SYSREF 输入 (SYSREF+, SYSREF-)					
逻辑电平标准		LVDS/LVPECL			
差分输入电压		400	1200	1800	mVpp
输入共模电压		0.6	0.85	2	V
差分输入阻抗		33			kΩ
差分输入电容		2.5			pF
逻辑输入 (SDI, SCLK, CSB, PDWN/STBY)					
逻辑电平标准		CMOS			
逻辑电平 1 电压		0.8 × SPIVDD			V
逻辑电平 0 电压		0		0.5	V
输入阻抗		30			kΩ
逻辑输出 (SDIO)					
逻辑电平标准		CMOS			
逻辑电平 1 电压 (I _{OH} = 800μA)		0.8 × SPIVDD			V
逻辑电平 0 电压(I _{OL} = 50μA)		0		0.5	V
SYNCIN 输入 (SYNCINB+, SYNCINB-)					
逻辑电平标准		LVDS/LVPECL/ CMOS			
差分输入电压		400	1200	1800	mVpp
输入共模电压		0.6	0.85	2	V
差分输入阻抗		33			kΩ
输入电容		2.5			pF
逻辑输出 (FD_A, FD_B)					
逻辑电平标准		CMOS			
逻辑电平 1 电压		0.8 × SPIVDD			V
逻辑电平 0 电压		0		0.5	V
输入阻抗		30			kΩ

参数	测试条件	最小值	典型值	最大值	单位
数字输出 (SERDOUTx±, x = 0~3)					
逻辑电平标准		CML			
差分输出电压		326		768	mVpp
输出共模电压, 交流耦合		0		1.8	V
短路电流 (I_{DSHORT})		-100		100	mA
差分回波损耗 (RL_{DIFF})		6			dB
差分端接阻抗		80	100	120	Ω

转换规格

参数	测试条件	最小值	典型值	最大值	单位
时钟					
CLK+/CLK-管脚时钟频率		0.25		1.25	GHz
最大采样率				1.25	GSPS
最小采样率			250		MSPS
时钟脉冲高电平宽度		400			ps
时钟脉冲低电平宽度		400			ps
输出					
单位间隔 (UI) ¹			80		ps
上升时间 (t_R , 20% 到 80%, 在 100 Ω 负载下)			20		ps
下降时间 (t_F , 20% 到 80%, 在 100 Ω 负载下)			20		ps
锁相环 (PLL) 锁定时间			3		ms
每通道数据速率 (NRZ) ²		2.5		12.5	Gbps
延迟					
流水线延迟 ³			92		Cycle
快速检测延迟 ³			32		Cycle
唤醒时间 ⁴	待机模式		1		ms
	断电模式			4	ms
孔径					
孔径延迟 (t_A)			730		ps
孔径不确定性 (抖动, t_j)			47		fs rms
超量程恢复时间			1		Cycle

注 1: 波特率 = 1/UI。可支持该范围的一个子集。

注 2: 默认 L = 4。该值可根据采样率进行更改。

注 3: M = 2, F = 1。

注 4: 唤醒时间是指从相应模式恢复到正常操作所需时间。

时序规格

参数	描述	最小值	典型值	最大值	单位
$t_{CLKSYSST}$	CLK+ 到 SYSREF+ 的建立时间		110		ps
$t_{CLKSYSHD}$	CLK+ 到 SYSREF+ 的保持时间		-90		ps
$t_{DATSCKST}$	数据到 SCLK 上升沿的建立时间	2			ns
$t_{DATSCKHD}$	数据到 SCLK 上升沿的保持时间	2			ns
t_{SCK}	SCLK 周期	40			ns
$t_{CSBSCKST}$	CSB 到 SCLK 的建立时间	2			ns
$t_{CSBSCKHD}$	CSB 到 SCLK 的保持时间	2			ns
$t_{SCKHCYC}$	SCLK 高电平下的最小时钟周期	10			ns
$t_{SCKLCYC}$	SCLK 低电平下的最小时钟周期	10			ns
$t_{SCKDATD}$	读操作中 SCLK 下降沿与输出数据有效之间的最大时间延迟		6	10	ns
$t_{SDIOSCKUP}$	SDIO 管脚从输出切换到与 SCLK 上升沿相关的输入所需要的时间	10			ns

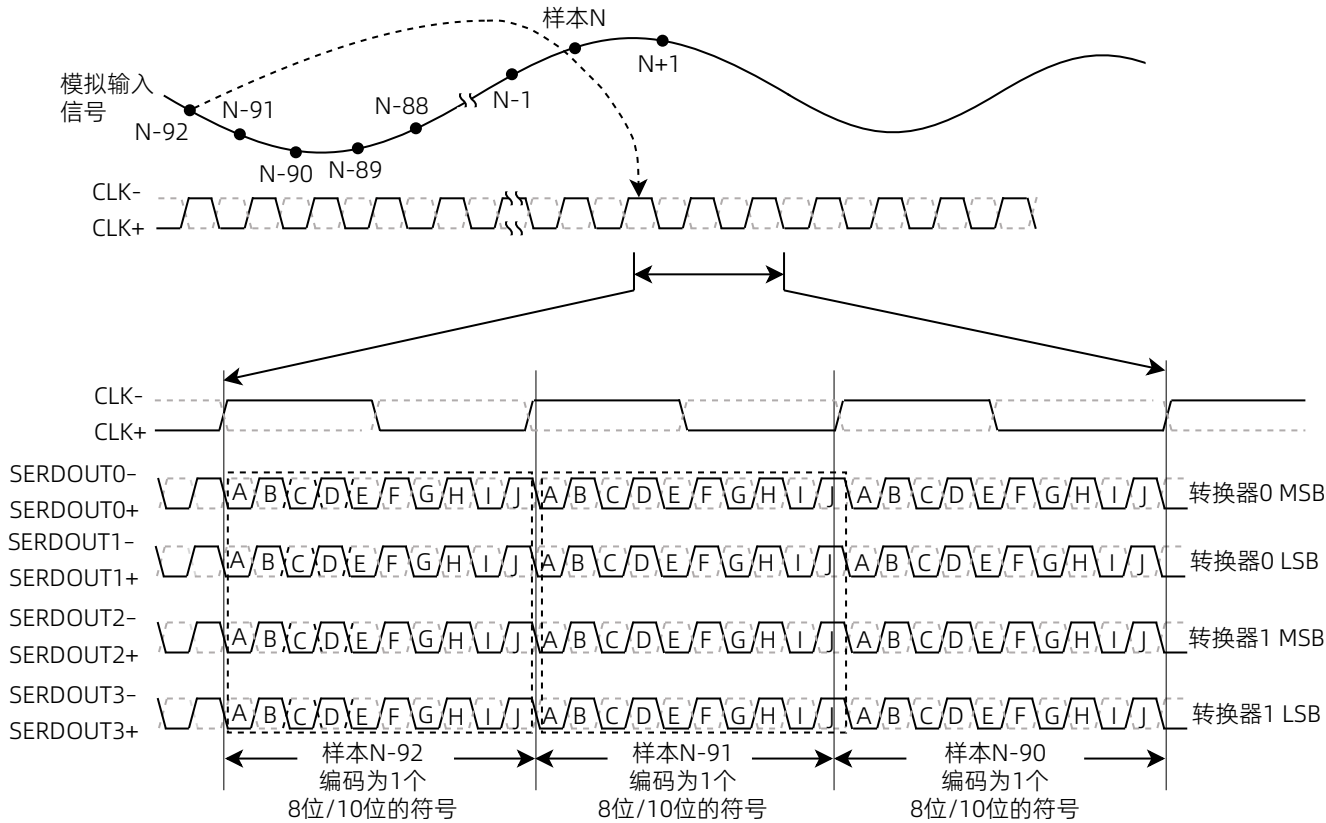


图 1 数据输出时序图(L = 4, M = 2, F = 1)

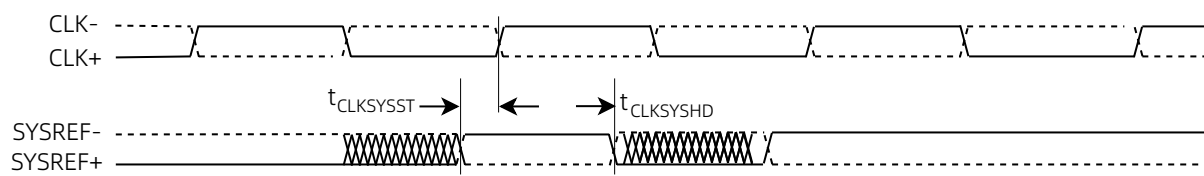


图 2 SYSREF+建立和保持时间

典型特征

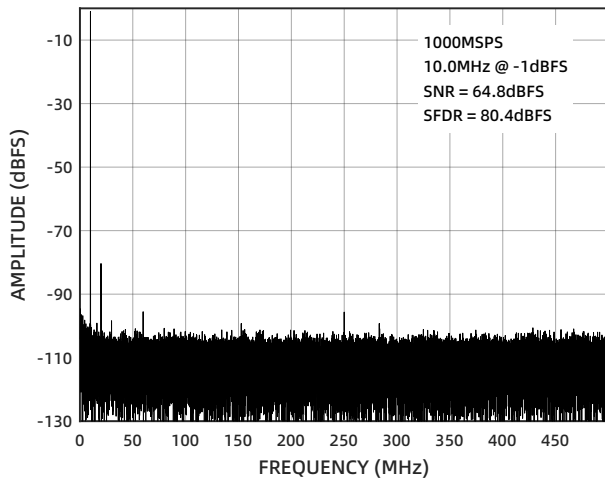


图 3 单音 FFT ($f_{IN} = 10\text{MHz}$)

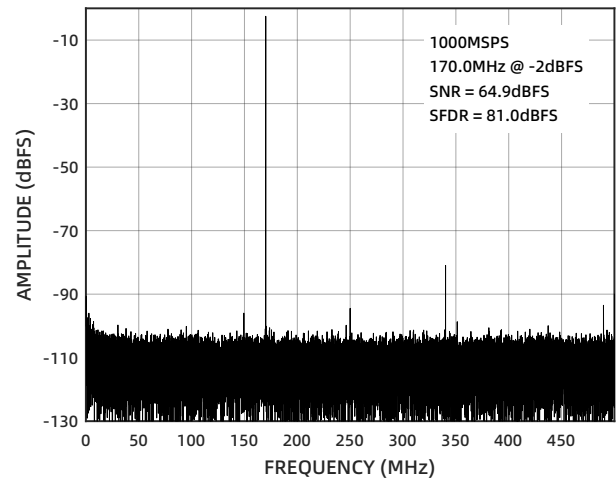


图 4 单音 FFT ($f_{IN} = 170\text{MHz}$)

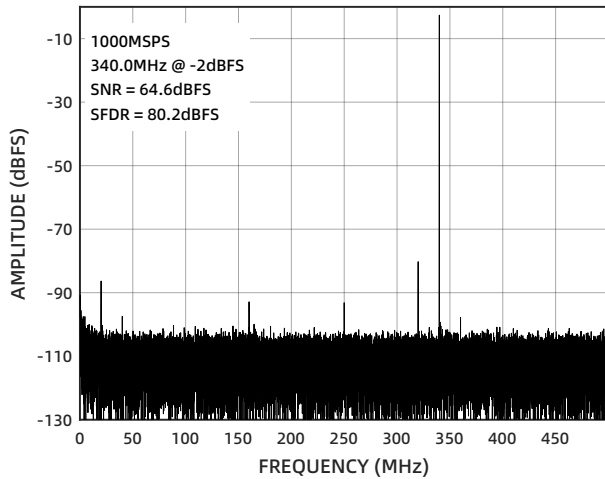


图 5 单音 FFT ($f_{IN} = 340\text{MHz}$)

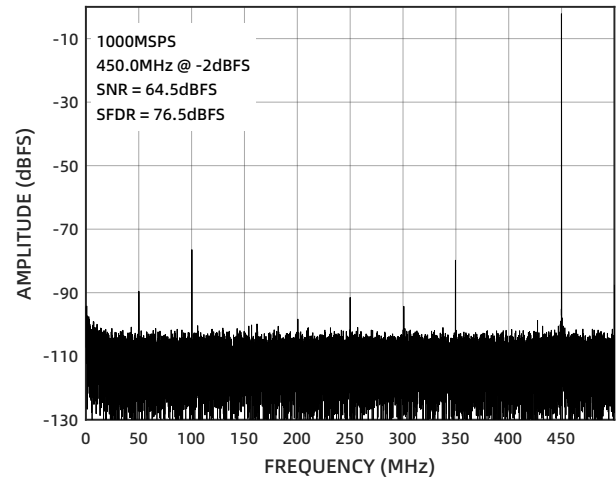


图 6 单音 FFT ($f_{IN} = 450\text{MHz}$)

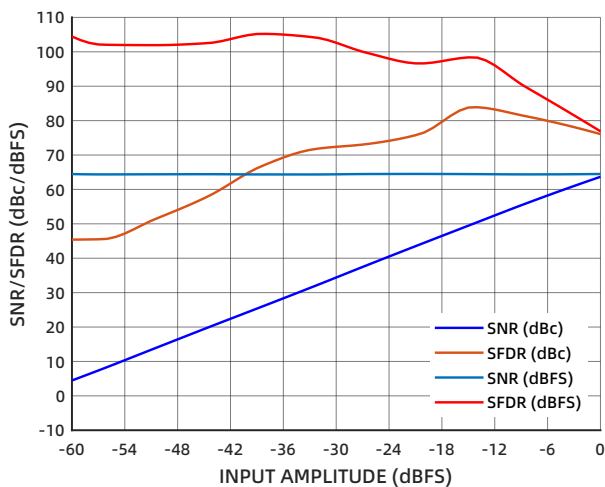


图 7 SNR/SFDR 随输入幅度的变化 ($f_{IN} = 170\text{MHz}$)

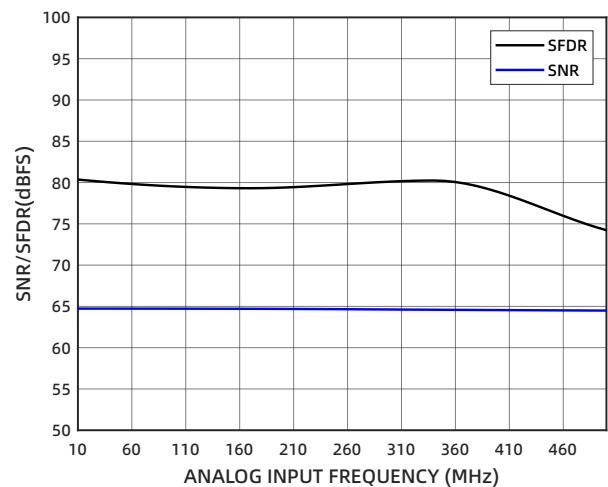


图 8 SNR/SFDR 随输入频率的变化

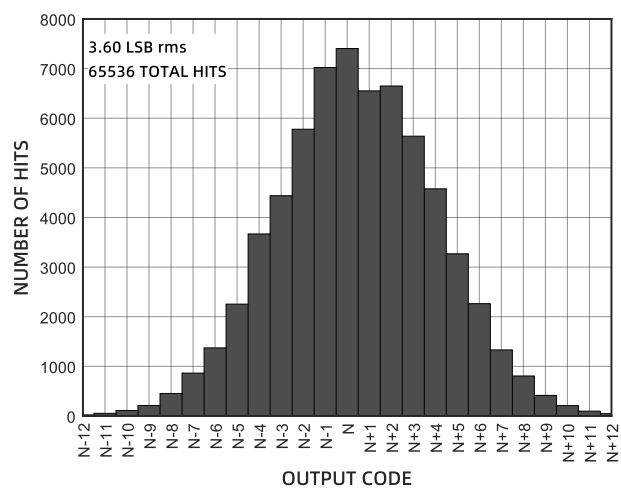


图 9 零输入直方图

工作原理

CM3452 具有两个模拟输入通道和四个 JESD204B 输出通道，用于对高达 2GHz 的宽带模拟信号进行采样。

CM3452 支持同步功能，可以在多芯片之间进行采样同步。

ADC 结构

CM3452 是一款流水线 ADC。输入信号经过多级转换，且每一级的量化结果经过数字校准逻辑，最终输出 14 位转换结果。在流水线结构中，第一级对输入信号进行采样，后面每级对前一级的输出进行采样。

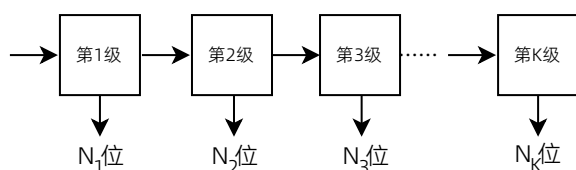


图 10 流水线工作流程

输入缓冲器用于为模拟输入信号提供固定的输入阻抗以进行阻抗匹配，并减少来自 ADC 的反向干扰。缓冲器具有高线性度、低噪声和低功耗等特性。通过 SPI 接口可对输入阻抗进行配置，以满足驱动器/放大器的终端需求。默认的输入阻抗值设置为 400Ω。

模拟输入

CM3452 的模拟输入是一个差分缓冲器。该缓冲器的内部共模电压为 1.54V。输入时钟信号控制输入电路在采样模式和保持模式之间进行切换。外部信号源需要有足够的驱动能力，以便在采样模式下，能够在半个时钟周期内完成对采样电容的充电并达到稳定。

输入端串联一个小电阻，将有助于降低驱动源输出级产生的瞬变电流的峰值。同时可以在输入端串联一个低 Q 电感或铁氧体磁珠，以减少模拟输入端的差分电容，从而实现 ADC 的最大带宽。特别是在高 IF 频率下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。在两个输入端跨接一个差分电容，或者在两个输入端分别接一个单端对地电容，以实现匹配网络。最终，这将形成输入端的低通滤波器，限制不需要的宽带噪声。

为获得最佳动态性能，驱动 VIN+ 和 VIN- 的源阻抗应匹配，以确保共模建立误差是对称的。这些误差可通过 ADC 的共模抑制进行消除。芯片内部集成的基准电压缓冲器可提供差分基准电压，该基准电压决定了 ADC 内核可转换信号的量程。默认配置下差分量程为 1.4Vpp。

输入共模

CM3452 的模拟输入内部偏置到图 12 所示的共模电压。共模缓冲器的范围有限，如果共模电压下降超过 100mV，性能会大幅下降。因此，在直流耦合应用中，必须将共模电压设置为 1.45V-1.7V，以确保 ADC 正常工作。

差分输入

为了得到最佳性能，应采用差分输入驱动电路。

对于以 SNR 和 SFDR 为关键参数的应用，推荐将差分变压器耦合作为输入配置，因为大多数差分放大器的噪声性能不满足要求，无法体现 CM3452 的真实性能。

为获得最佳性能，推荐使用图 11 中的差分输入网络。

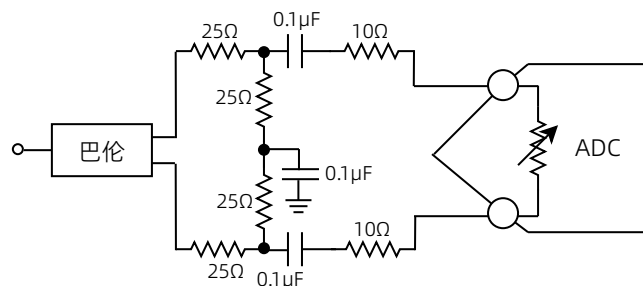


图 11 基于变压器耦合的差分输入网络

绝对最大输入摆幅

CM3452 输入端允许的绝对最大差分输入摆幅为 4.3Vpp，超过该值会造成 ADC 的永久性损坏。

模拟输入缓冲控制与 SFDR 优化

CM3452 输入缓冲器为模拟输入提供了灵活的控制选项，例如输入阻抗、缓冲器电流。通过配置 0x018 寄存器，可以调整每个通道的缓冲器配置，从而优化 SFDR 以适应不同的输入频率和带宽需求。

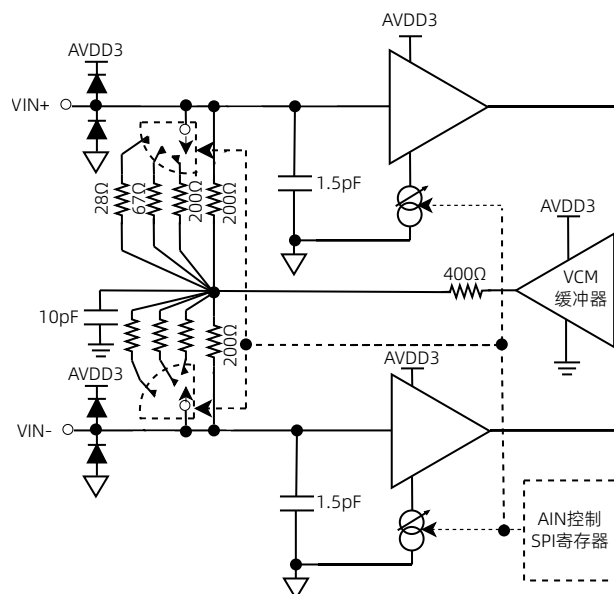


图 12 模拟输入控制

输入缓冲控制寄存器 (0x018)

寄存器 0x018 控制缓冲器的偏置电流，调节缓冲器偏置电流可以优化不同输入信号频率范围的 SFDR。该设置的范围从低设置 1.0× 到高设置 2.0×，默认设置为 2.0×。这些设置可以确保芯片在不同奈奎斯特区间都实现高线性度。当在寄存器 0x018 中设置输入缓冲区电流时，AVDD3 电源电流也会随之变化。关于完整的缓冲电流设置，参见[寄存器汇总表](#)。

电压基准

CM3452 内置精密 1.28V 电压基准。在一些应用中，可能需要使用外部电压基准，以提高 ADC 的增益精度或改善温漂特性。SPI 寄存器 0x024 允许用户选择使用内部 1.28V 电压基准或提供外部 1V 电压基准。

时钟输入

为了获得最优性能，CM3452 采样时钟 CLK+ 和 CLK- 应使用差分信号输入。该信号通常通过变压器或时钟驱动器耦合到 CLK+ 和 CLK- 管脚。这些管脚内部存在偏置，因此无需外部偏置。

图 13 显示了为 CM3452 提供时钟的推荐方法。低抖动时钟源通过 RF 变压器将单端信号转换为差分信号。

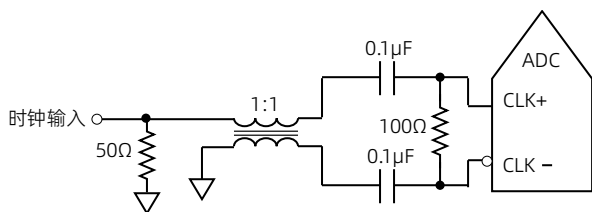


图 13 变压器耦合差分时钟

另一种选择是将差分 CML 或 LVDS 信号通过交流耦合连接到采样时钟输入管脚，如图 14 和图 15 所示。

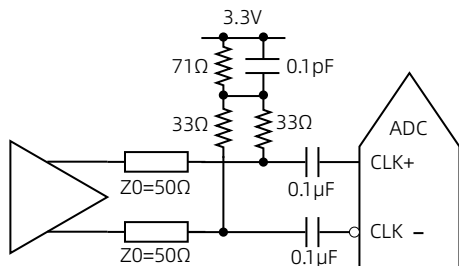


图 14 差分 CML 采样时钟

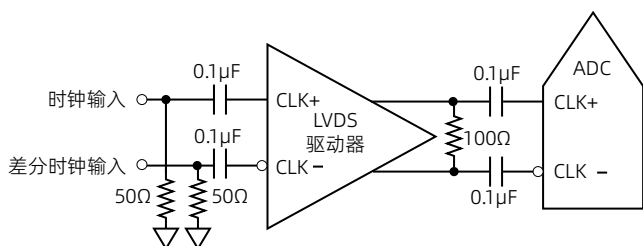


图 15 差分 LVDS 采样时钟

时钟占空比

典型的高速 ADC 采用两个时钟沿以产生不同内部定时信号。因此，这些 ADC 可能对时钟占空比较敏感。通常，时钟占空比误差要保持在 5% 以内，以保持动态性能。

抖动

高速、高分辨率 CM3452 对时钟输入品质较敏感。可通过以下公式计算特定输入频率 (f_{IN}) 下抖动 (t_j) 引起的 SNR 恶化：

$$SNR = -20 \log(2\pi \times f_{IN} \times t_{jRMS}) \text{ dB}$$

公式中，RMS 孔径抖动代表所有抖动源的均方根，包括时钟输入、模拟输入信号以及 CM3452 自身的抖动。中频欠采样应用对抖动尤其敏感。

CM3452 的时钟输入设计同模拟输入通道设计一样重要，需要特别重视，因为时钟抖动会直接影响 ADC 的 SNR。时钟驱动器的电源应与 CM3452 输出驱动器电源区分开，以避免数字电源噪声影响时钟信号。低抖动晶体振荡器是时钟源的最佳选择。

断电/待机模式

CM3452 具有一个 PDWN/STBY 管脚，用于将芯片配置为断电模式或待机模式，默认为断电模式 (PDWN)。PDWN/STBY 管脚是一个逻辑高电平生效管脚。当处于断电模式时，JESD204B 链路会中断。断电模式也可以通过寄存器 0x03F 和 0x040 进行设置。

待机模式下，JESD204B 链路不会中断，并且所有转换器的采样值会传输零值。可以通过寄存器 0x571 的第 7 位选择 /K/ 字符来更改该设置。

温度二极管

CM3452 内置一个二极管温度传感器，用于测量芯片的温度。该二极管可以输出电压，作为温度传感器来监控芯片内部的温度。

通过配置 SPI 寄存器，可以将温度二极管的电压输出到 FD_A 管脚。使用寄存器 0x028 的第 0 位来启用或禁用该二极管。寄存器 0x028 是一个局部寄存器。必须在设备索引寄存器 0x008 中选择通道 A，才能启用温度二极管的读取。通过编程寄存器 0x040[2:0] 来配置 FD_A 管脚输出二极管电压。更多信息，参见[寄存器汇总表](#)。

数字输出

CM3452 的数字输出设计符合用于数据转换器的串行接口协议 JESD204B。JESD204B 用于通过串行接口将 CM3452 连接到数字处理设备，支持最高 12.5Gbps 的通道速率。与 LVDS 接口相比，JESD204B 接口的优势包括减少数据接口布线所需的板面积，并且能够使转换器和逻辑设备使用更小的封装。

配置 JESD204B 链路

CM3452 具有一个 JESD204B 链路，串行输出 (SERDOUT0± 到 SERDOUT3±) 被视为 JESD204B 链路的一部分。决定链路设置的基本参数包括：

- 每条链路的通道数 (L)
- 每条链路的转换器数量 (M)
- 每帧的字节数 (F)
- 每个 JESD204B 样本的比特位数 (N')
- ADC 的实际位宽 (N)
- 采样率 (f_S)

JESD204B 允许的最大通道速率是 12.5Gbps。通道线速率与 JESD204B 参数之间的关系通过以下公式表示：

$$\text{通道线速率} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_S}{L}$$

可以通过以下步骤来配置输出：

- 关闭链路。
- 配置详细选项。
- 设置输出通道映射（可选）。
- 设置其他驱动程序配置选项（可选）。
- 开启链路。

如果计算出线速率小于 8G，可通过更改寄存器 0x56E 来选择其他速率模式。

表 2 显示了在给定虚拟转换器数量下，对于 $N' = 16$ 所支持的 JESD204B 输出配置。需要注意的是，串行线速率须在 2.4Gbps 到 12.5Gbps 的支持范围内。

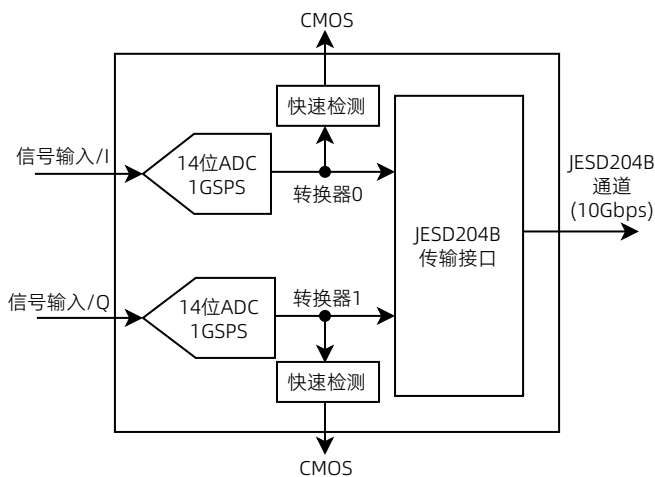
表 2 JESD204B 输出配置 ($N' = 16$)

支持的虚拟转换器数量	JESD204B 串行线速	JESD204B 传输层设置								
		L	M	F	S	HD	N	N'	CS	K
1	$10 \times f_S$	2	1	1	1	1	8~16	16	0~3	仅支持能够被 4 整除的有效 K 值。
	$10 \times f_S$	2	1	2	2	0	8~16	16	0~3	
	$5 \times f_S$	4	1	1	2	1	8~16	16	0~3	
	$5 \times f_S$	4	1	2	4	0	8~16	16	0~3	
2	$10 \times f_S$	4	2	1	1	1	8~16	16	0~3	
	$10 \times f_S$	4	2	2	2	0	8~16	16	0~3	

示例 1：典型应用

图 16 是 CM3452 的典型应用示例，包括两个 14 位转换器 (1GSPS)。

图 16 典型应用模式



JESD204B 输出配置如下：

- 需要两个虚拟转换器（参见表 2）
- $f_S = 1\text{GSPS}$

JESD204B 支持的输出配置包括：

- $N' = 16$ 位
- $N = 14$ 位
- $L = 4, M = 2, F = 1$ ，或 $L = 4, M = 2, F = 2$
- $CS = 0 \sim 2$
- $K = 32$
- 输出串行线速率 = 10Gbps 每通道

功能与模式

多芯片同步

常规模式

芯片同步模式位的默认状态为 0，这将 CM3452 配置为常规的芯片同步模式。JESD204B 标准规定使用 $\text{SYSREF}_{\pm}$ 信号在单个链路内提供一定的延迟。对于多个转换器和逻辑芯片的系统，也可以实现多芯片同步。该模式对应图 18 中的常规模式。按照流程图操作可以确保 CM3452 的正确配置。

时间戳模式

SYSREF 输入也可以用于时间戳标记采样。当芯片同步模式位 (0x1FF [0]) 被设置为 1 时，时间戳模式启用。该模式下，时钟不会被重置，而是通过该采样的 JESD204B 控制位标记重合的采样时间。该模式下，需要进行下设置：

- 启用连续或 N 次触发的 SYSREF (0x120[2:1] = 1 或 2)

- 至少启用一个控制位 ($\text{CS} > 0$ ，寄存器 0x58F，位 [7:6] = 1、2 或 3)
- 将其中一个控制位的功能设置为 SYSREF

如果使用控制位 0，寄存器 0x559，位 [2:0] = 5

如果使用控制位 1，寄存器 0x559，位 [6:4] = 5

如果使用控制位 2，寄存器 0x55A，位 [2:0] = 5

控制位必须从 MSB 开始启用。换句话说，如果只使用一个控制位 ($\text{CS} = 1$)，则必须启用控制位 2。如果使用两个控制位，则必须启用控制位 [2:1]。

图 17 展示了对与 SYSREF 重合的输入采样进行时间戳标记，并最终输出到 ADC。该图中，存在两个控制位，控制位 1 用于指示与 SYSREF 上升沿重合的采样。请注意，每个通道的流水线延迟是相同的。如需要，可以使用 SYSREF 时间戳延迟寄存器 (0x123) 来调整时间戳标记的采样时序。

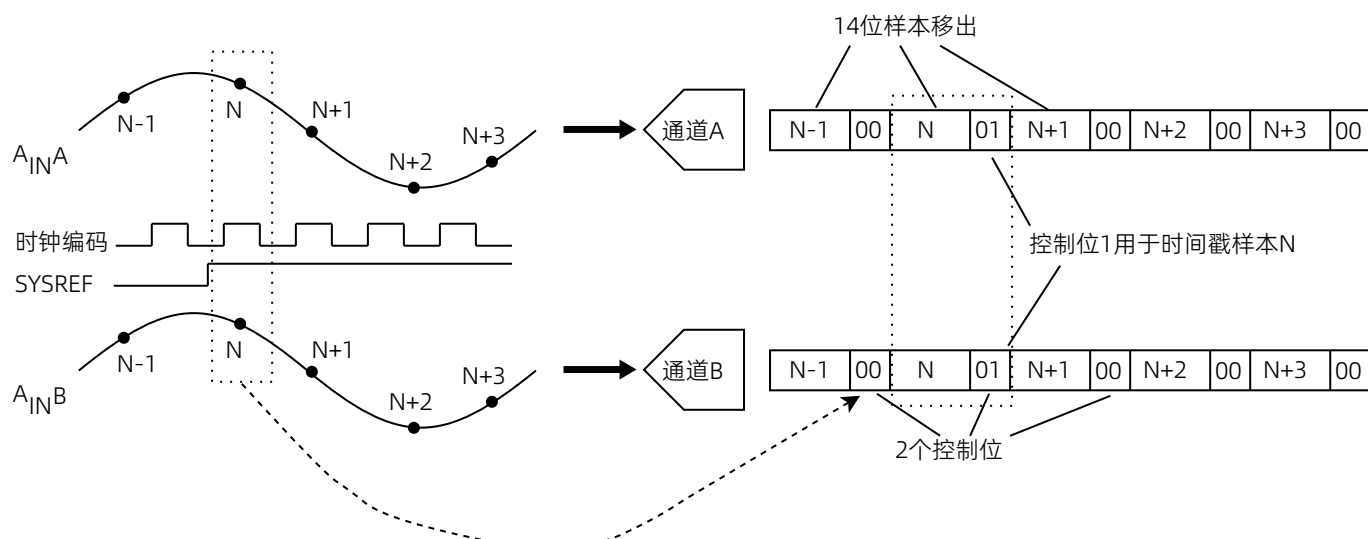


图 17 时间戳— $\text{CS} = 2$ (寄存器 0x58F，位 [7:6] = 2)，控制位 1 为 $\text{SYSREF}_{\pm}$ (寄存器 0x559，位 [6:4] = 5)

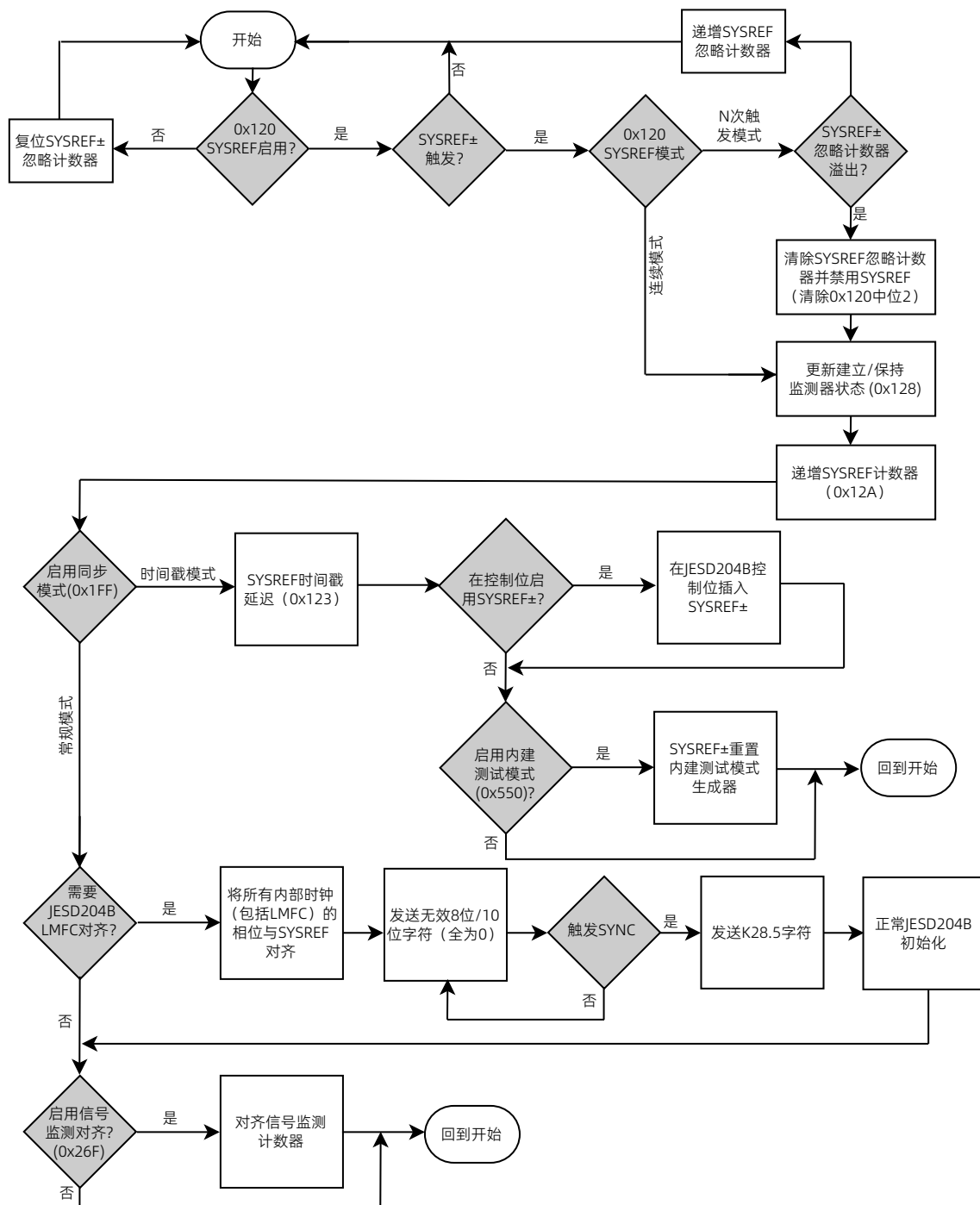


图 18 SYSREF±捕获场景和多芯片同步

SYSREF±输入

SYSREF± 输入信号用于高精度系统参考，以实现确定性延迟和多芯片同步。CM3452 接受单次触发或周期性输入信号。SYSREF± 模式选择位（寄存器 0x120，位 [2:1]）选择输入信号类型，并在设置时启动 SYSREF± 状态机。如果使用单次触发（或 N 次触发）模式（寄存器 0x120，位 [2:1] = 2），则在检测到适当的 SYSREF± 跳边沿后，SYSREF± 模式选择位会自动清除。脉冲宽度必须至少为两个 CLK± 周期。当使用连续 SYSREF± 信号（寄存器 0x120，位 [2:1] = 1）时，SYSREF± 信号的周期必须是 LMFC 的整数倍。可通过以下公式计算 LMFC：

$$\text{LMFC} = \text{ADC时钟} / S \times K$$

其中 S 和 K 为 JESD204B 的参数，S 用于表示每个转换器的样本数量，K 表示每个多帧中的帧数。

在常规同步模式下（寄存器 0x1FF，位 [1:0] = 0），SYSREF± 输入用于信号监视模块和 JESD204B 链路。SYSREF± 输入也可以用于为 ADC 样本打时间戳，从而提供一个机制来同步系统中多个 CM3452 芯片。为了获得最高精度的定时，SYSREF± 必须满足相对于 CLK± 输入的建立和保持要求。CM3452 中有多个功能可确保满足这些要求（参见 [SYSREF±控制功能](#)）。

SYSREF±控制功能

SYSREF± 与输入时钟 CLK± 一起用作源同步定时接口，并要求相对于输入时钟的建立和保持时间分别为 117ps 和 -96ps。

CM3452 提供了多个功能来满足这些要求。首先, SYSREF± 采样事件可以定义为同步的低到高跳变或同步的高到低跳变。其次, CM3452 允许使用输入时钟的上升沿或下降沿来采样 SYSREF± 信号。第三个与 SYSREF± 相关的功能是能够忽略可编程数量 (最多 16 个) 的 SYSREF± 事件。通过将 SYSREF± 模式寄存器 (寄存器 0x0120, 位 [2:1]) 设置为 2'b10, 即标记为 N 次触发

模式, 可以启用 SYSREF± 忽略功能。CM3452 能够忽略 N 个 SYSREF± 事件, 这对于处理启动后需要时间来稳定的周期性 SYSREF± 信号非常有用。通过在系统时钟稳定之前忽略 SYSREF±, 可以避免不准确的 SYSREF± 触发。图 19 展示了在忽略三个 SYSREF± 事件时的 SYSREF± 忽略功能示例。

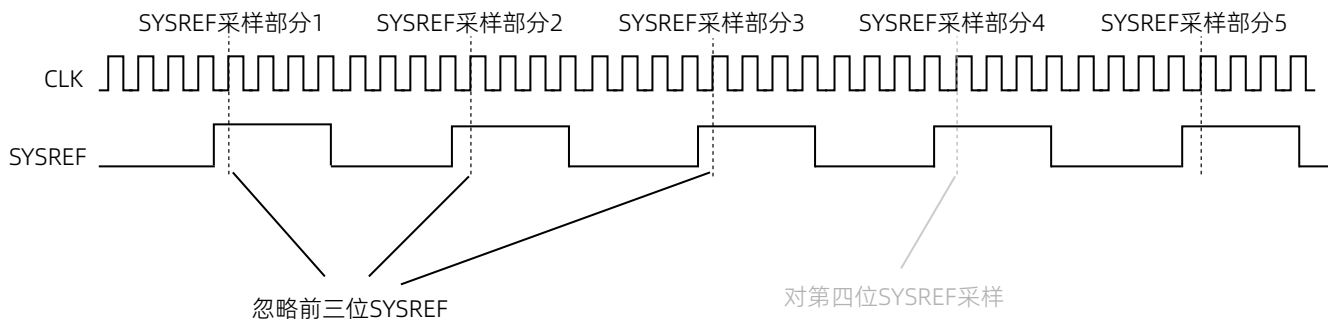


图 19 SYSREF±忽略计数位 (寄存器 0x0121, 位 [3:0] = 3)

当处于连续 SYSREF± 模式 (寄存器 0x120, 位 [2:1] = 1) 时, CM3452 会监测 SYSREF± 跳变沿与内部 LMFC 的对齐情况。如果 SYSREF± 边沿被捕获时, 与 LMFC 对齐的时钟边沿不同, CM3452 会启动链接的重新同步。

SYSREF± 建立/保持窗口监视器

为了确保有效的 SYSREF± 信号捕获, CM3452 配备了一个 SYSREF± 建立/保持窗口监视器。该功能允许系统设计师通过读取寄存器中的建立/保持余量, 来确定 SYSREF± 信号相对于 CLK± 信号的位置。

- 建立检测器返回 SYSREF± 信号在 CLK± 边沿之前的状态。
 - 保持检测器返回 SYSREF± 信号在 CLK± 边沿之后的状态。
- 寄存器 0x128 存储了 SYSREF± 的状态, 并告知用户 SYSREF± 信号是否被 ADC 捕获。

ADC 超量程和快速检测

ADC 超量程

当 ADC 的输入信号发生过载时, 会触发 ADC 过载指示器。过载指示器可以作为控制位嵌入到 JESD204B 链路中 (当 CSB > 0 时)。该过载指示器的延迟与采样延迟相匹配。CM3452 会记录两个转换器通道的超量程情况。每个转换器通道的超量程情况会存储在寄存器 0x563 中。寄存器 0x563 的内容可以通过寄存器 0x562 来清除。

快速阈值检测 (FD_A 和 FD_B)

当输入信号的绝对值超过可编程的阈值上限时, FD 位会立即被设置。只有当输入信号的绝对值降低到低于阈值下限并持续超过可编程的停留时间时, FD 位才会被清除。该功能提供了滞后效应, 防止 FD 位过度切换。

如果输入信号的幅度超过在快速检测阈值上限寄存器中的编程值 (位于寄存器 0x247 和寄存器 0x248), 则 FD 指示器会被触发。所选的阈值寄存器会与 ADC 输出信号的幅度进行比较。快

速阈值上限检测的延迟为 32 个时钟周期 (最大值)。阈值上限幅度的定义如下:

$$\text{阈值上限幅度} = 20\log \frac{\text{阈值幅度}}{2^{13}}$$

当信号幅度低于阈值下限并持续超过可编程的停留时间时, FD 指示器将被清除。阈值下限可以在快速检测阈值下限寄存器中进行编程, 位于寄存器 0x249 和寄存器 0x24A。快速检测阈值下限寄存器是一个 13 位寄存器, 它与 ADC 输出信号的幅度进行比较。该比较受到 ADC 流水线延迟的影响, 但转换器分辨率是准确的。阈值下限幅度的定义如下:

$$\text{阈值下限幅度} = 20\log \frac{\text{阈值幅度}}{2^{13}}$$

例如, 要设置阈值上限为 -6dBFS, 可以将 0xFFF 写入寄存器 0x247 和寄存器 0x248。要设置阈值下限为 -10dBFS, 可以将 0xA1D 写入寄存器 0x249 和寄存器 0x24A。

可通过将所需值写入快速检测停留时间寄存器 (位于寄存器 0x24B 和寄存器 0x24C) 来对停留时间进行编程, 范围为 1 到 65,535 个采样时钟周期。更多详细信息, 参见[寄存器汇总表](#) (寄存器 0x040、寄存器 0x245 到寄存器 0x24C)。

信号监测

通过 JESD204B 接口传输数据

信号监测数据也可以被序列化并通过 JESD204B 接口作为控制位发送。这些控制位必须从样本中反序列化, 以重建统计数据。信号控制监测功能通过设置寄存器 0x279 的位 [1:0] 和寄存器 0x27A 的位 1 来启用。图 20 展示了两种不同的信号监测控制位在 JESD204B 样本中的配置示例。最多可以在 JESD204B 样本中插入三个控制位, 但信号监测仅需要一个控制位。控制位从 MSB (最高位) 到 LSB (最低位) 插入。如果只插入一个控制位 (CS = 1), 则只使用 MSB 控制位 (参见图 20 中的示例配置 1 和示例配置 2)。要选择 JESD204B 选项, 需编程寄存器 0x559、

寄存器 0x55A 和寄存器 0x58F。有关设置这些寄存器的更多信息，参见寄存器汇总表。

图 22 显示了设置为 80 个样本的监测周期定时器的 JESD204B 信号监测数据。

图 21 显示了包含峰值检测值的 25 位帧数据。帧数据按 MSB 优先传输，包含五个 5 位子帧。每个子帧包含一个启动位，接收端可利用该位验证反序列化数据的有效性。

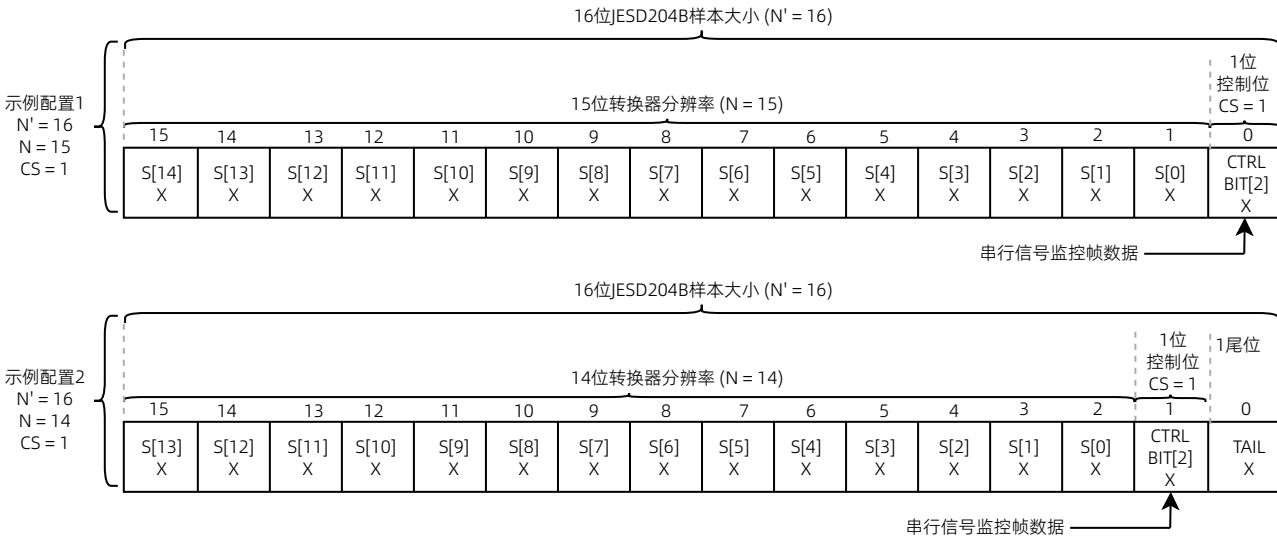


图 20 信号监测控制位位置

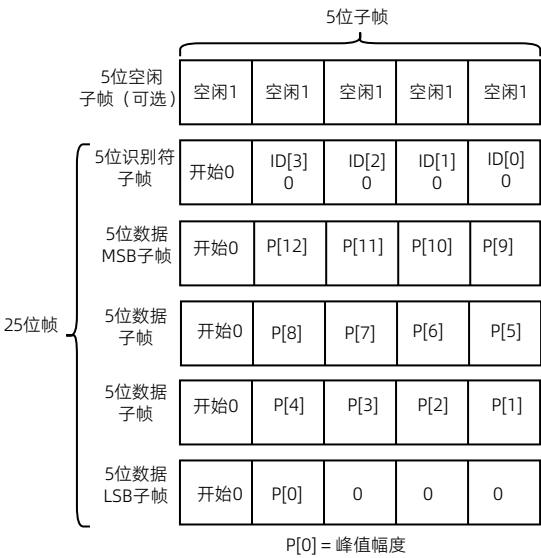


图 21 JESD204B 接口信号监测帧数据

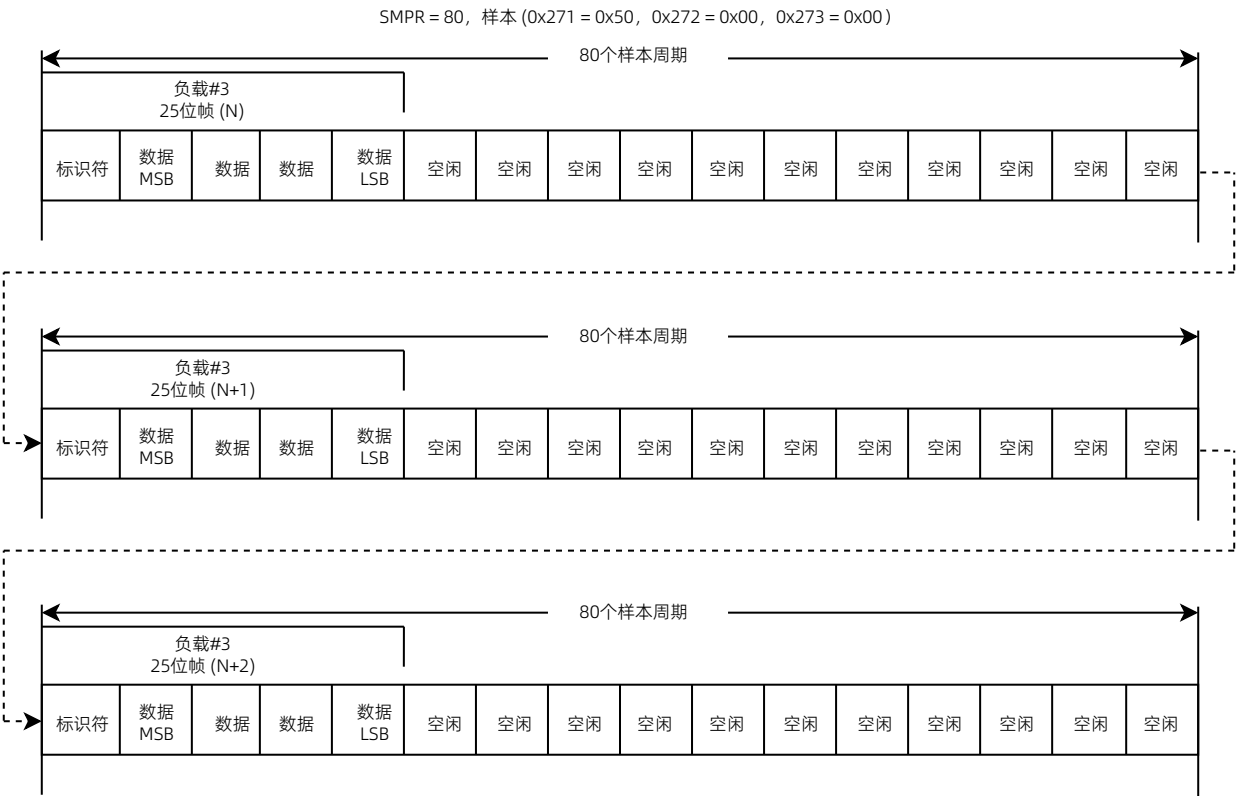


图 22 JESD204B 信号监测示例（周期 = 80 样本）

延迟

端到端总延迟

CM3452 的总延迟由 ADC 的延迟和 JESD204B 模块的延迟组成。无论在何种模式下，延迟为固定的 92 个采样时钟周期。

经由特定格式化模块进行输出。来自伪随机数 (PN) 序列测试的 PN 生成器可以通过设置寄存器 0x550 中的位 4 或位 5 来复位。ADC 测试可以在没有模拟信号的情况下执行（如果存在模拟信号，则会被忽略）；但是测试需要编码时钟。

测试模式

CM3452 在寄存器 0x550 中提供了 ADC 测试模式。当启用输出测试模式时，ADC 的模拟部分将与数字模块断开连接，测试向量

表 3 ADC 测试模式

输出测试模式位序列	模式名称	表达式	默认值/种子值	样本 (N, N+1, N+2, ...)
0000	测试模式关闭（默认）	N/A	N/A	N/A
0001	二进制补码中值	0000 0000 0000	N/A	N/A
0010	二进制补码正最大值	01 1111 1111 1111	N/A	N/A
0011	二进制补码负最大值	10 0000 0000 0000	N/A	N/A
0100	棋盘格	10 1010 1010 1010	N/A	0x1555、0x2AAA、 0x1555、0x2AAA、0x1555
0101	PN23 长伪随机序列	$x^{23} + x^{18} + 1$	0x3AFF	
0110	PN9 短伪随机序列	$x^9 + x^5 + 1$	0x0092	
0111	1/0 交替输出	11 1111 1111 1111	N/A	0x0000、0x3FFF、 0x0000、0x3FFF、0x0000

输出测试模式位序列	模式名称	表达式	默认值/种子值	样本 (N, N+1, N+2, ...)
1000	用户测试模式	寄存器 0x551 到寄存器 0x558	N/A	用户测试向量 1[15:2]、用户测试向量 2[15:2]、用户测试向量 3[15:2]、用户测试向量 4[15:2]、用户测试向量 1[15:2] ... , 用于重复模式; 用户测试向量 1[15:2]、用户测试向量 2[15:2]、用户测试向量 3[15:2]、用户测试向量 4[15:2]、0x0000..., 用于单一模式。
1111	保留位	$(x) \% 2^{14}$	N/A	$(x) \% 2^{14}$ 、 $(x+1) \% 2^{14}$ 、 $(x+2) \% 2^{14}$ 、 $(x+3) \% 2^{14}$

SPI 接口

SPI 接口存在两种工作模式。第一种为流式传输模式，通过将 CSB 管脚保持在低电平，永久使能 SPI 接口。第二种为总线模式，通过控制 CSB 管脚为高电平来关闭 SPI 接口，此时 SPI 接口将不再解析外部指令，SDIO 管脚变为高阻态。

不建议在数据转换期间使能 SPI 接口。由于 SCLK 信号、CSB 信号和 SDIO 信号通常与 CM3452 时钟异步，来自这些信号的噪声会降低转换器性能。如果 SPI 接口总线还连接了其他芯片，建议在该总线和 CM3452 之间放置缓冲器，以避免 SPI 总线信号干扰 CM3452 的正常工作。

SPI 接口时序和定义可参见图 23。CSB 的下降沿和 SCLK 的上升沿决定了起始帧。

数据可通过 MSB 模式或 LSB 模式发送，CM3452 上电默认采用 MSB 模式，可通过对应接口配置寄存器对模式进行更改。

SPI 通信的前 16 位是指令帧。指令帧的第一个位是读/写指示位，如果该位置高，指令帧结束后，CM3452 将转换 SDIO 管脚为输出。W1 和 W0 两位是指令长度控制字，它们决定了指令帧后，共有 W1:W0+1 个字节长度的数据将被传输。

指令帧余下的 13 位则表示了待通信寄存器的地址。

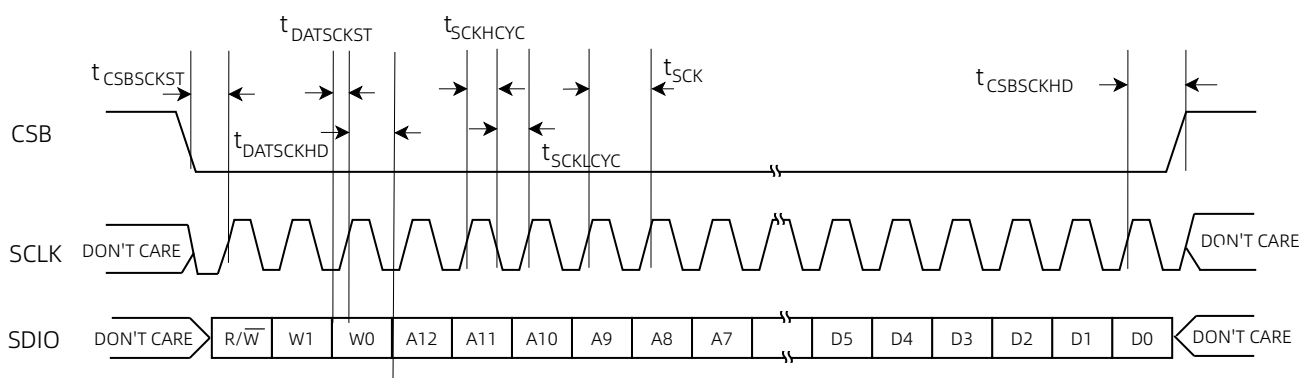


图 23 SPI 接口时序图

寄存器

SPI 软复位

在通过编程 0x81 到寄存器 0x000 发出软复位指令后，CM3452 需要 5 毫秒的时间来恢复。

对应寄存器。如果 0x008 寄存器中两个通道均使能，对于写操作，则通道 A 和通道 B 寄存器写入同样的配置；对于读操作，则只是返回通道 A 的对应寄存器配置。

[寄存器汇总表](#)中标注局部 (LOC) 寄存器或者某些位，通道 A 和通道 B 可以通过更改寄存器 0x008 后独立配置。

通道专用寄存器

通道功能设置相关的寄存器在 CM3452 内部均复制成双份，以保证通道 A 和通道 B 可以独立进行配置。双份寄存器享有同样的地址位，可通过 0x008 寄存器来确定配置通道 A 或通道 B 的

地址	名称	默认值	描述
模拟芯片 SPI 寄存器			
0x000	INTERFACE CONFIG A	0x00	接口配置。对于该寄存器，应将高 4 位和低 4 位互为镜像，以保证不管 SPI 是 LSB 优先模式还是 MSB 优先模式，均可正常配置生效。
0x001	INTERFACE CONFIG B	0x00	接口配置。用于禁用流传输模式和数据通路的软复位。
0x002	DEVICE CONFIG (LOC)	0x00	芯片软件控制进入低功耗模式。
0x003	CHIP TYPE	0x00	芯片类型 ID。只读。
0x004	CHIP ID (LOW BYTE)	0x7C	芯片 ID（低位）。只读。
0x005	CHIP ID (HIGH BYTE)	0x0D	芯片 ID（高位）只读。
0x006	CHIP GRADE	0xA0	芯片等级 ID。只读。
0x008	DEVICE INDEX	0x03	通道配置使能，用以实现通道 A 和通道 B 功能独立配置。
模拟输入缓冲控制寄存器			
0x015	ANALOG INPUT (LOC)	0x00	模拟输入缓冲器开关控制。
0x016	INPUT TERMINATION (LOC)	0x00	输入终端电阻配置。
0x018	BUFFER CTRL1 (LOC)	0x00	缓冲电流配置。
ADC 功能寄存器			
0x024	V 1P0 CTRL	0x00	内部和外部参考选择。
0x028	TEM DIODE	0x00	温度二极管开关控制，与寄存器 0x040 一起使用。
0x03F	PDWN/STBY PIN CTRL (LOC)	0x00	管脚控制进入低功耗模式选择，与寄存器 0x040 一起使用。
0x040	CHIP PIN CTRL	0x3F	芯片管脚功能控制。
0x11C	CLK STATUS	0x00	内部时钟状态。只读。
0x120	SYSREF± CTRL1	0x00	SYSREF 输入模式控制。
0x121	SYSREF± CTRL2	0x00	SYSREF 忽略输入个数控制。
0x123	SYSREF± TS DELAY CTRL	0x00	时间戳模式延迟调整。
0x128	SYSREF± STATUS1	0x00	SYSREF 相对时钟状态。只读。
0x12A	SYSREF± COUNTER	0x00	接收到的 SYSREF 个数。只读。
0x1FF	CHIP SYNC MODE	0x00	芯片同步模式选择。
0x228	CUSTOMER OFFSET (LOC)	0x00	输出偏移调整。
0x245	FD CTRL (LOC)	0x00	快速监测功能模式控制。

地址	名称	默认值	描述
0x247	FD UPPER THRESHOLD LSB (LOC)	0x00	快速监测上限设置低位。
0x248	FD UPPER THRESHOLD MSB (LOC)	0x00	快速监测上限设置高位。
0x249	FD LOWER THRESHOLD LSB (LOC)	0x00	快速监测下限设置低位。
0x24A	FD LOWER THRESHOLD MSB (LOC)	0x00	快速监测下限设置高位。
0x24B	FD DWELL TIME LSB (LOC)	0x00	快速监测标志停留周期设置低位。
0x24C	FD DWELL TIME MSB (LOC)	0x00	快速监测标志停留周期设置高位。
0x26F	SIGNAL MONITOR SYNC CTRL	0x00	信号监测同步模式选择。参见 信号监测 。
0x270	SIGNAL MONITOR CTRL (LOC)	0x00	信号监测模式开关。
0x271	SIGNAL MONITOR PERIOD0 (LOC)	0x80	信号监测模式周期设置低位。
0x272	SIGNAL MONITOR PERIOD1 (LOC)	0x00	信号监测模式周期设置中位。
0x273	SIGNAL MONITOR PERIOD2 (LOC)	0x00	信号监测模式周期设置高位。
0x274	SIGNAL MONITOR RESULT CTRL (LOC)	0x01	信号监测模式结果更新。
0x275	SIGNAL MONITOR RESULT LOW (LOC)	0x00	信号监测模式结果。
0x276	SIGNAL MONITOR RESULT MID(LOC)	0x00	信号监测模式结果。
0x277	SIGNAL MONITOR RESULT HIGH (LOC)	0x00	信号监测模式结果。
0x278	SIGNAL MONITOR PERIOD COUNTER (LOC)	0x00	信号监测周期计数器。
0x279	SIGNAL MONITOR SPORT JESD204B CTRL (LOC)	0x00	信号监测结果通过 JESD204B 输出使能。
0x27A	SPORT JESD204B INPUT SELECT (LOC)	0x00	信号监测结果通过 JESD204B 输出选择。

数字输出和测试模式寄存器

0x550	ADC TEST MODE (LOC)	0x00	内建测试模式输出选择。当设置了该寄存器时，测试数据会在输入到 JESD204B 接口之前被替换。
0x551	TEST PATTERN1 LSB	0x00	用户测试向量 1 低 8 位。
0x552	TEST PATTERN1 MSB	0x00	用户测试向量 1 高 8 位。
0x553	TEST PATTERN2 LSB	0x00	用户测试向量 2 低 8 位。
0x554	TEST PATTERN2 MSB	0x00	用户测试向量 2 高 8 位。

地址	名称	默认值	描述
0x555	TEST PATTERN3 LSB	0x00	用户测试向量 3 低 8 位。
0x556	TEST PATTERN3 MSB	0x00	用户测试向量 3 高 8 位。
0x557	TEST PATTERN4 LSB	0x00	用户测试向量 4 低 8 位。
0x558	TEST PATTERN4 MSB	0x00	用户测试向量 4 高 8 位。
0x559	OUTPUT MODE CTRL1	0x00	JESD204B 控制位 0/1 输出选择。
0x55A	OUTPUT MODE CTRL2	0x01	JESD204B 控制位 2 输出选择。
0x561	OUTPUT MODE	0x00	数据输出模式选择。 00: 二进制补码 01: 二进制移码
0x562	OUTPUT OVERRANGE CLEAR	0x00	信号超量程标志复位。
0x563	OUTPUT OVERRANGE STATUS	0x00	信号超量程标志状态。
0x564	OUTPUT CHANNEL SELECT	0x00	数据输出通道交换。
0x56E	JESD204B LANE RATE CTRL	0x00	JESD204B 通道速率调整。
0x56F	JESD204B PLL LOCK STATUS	0x00	JESD204B PLL 状态。
0x571	JESD204B LINK MODE CTRL1	0x14	JESD204B 链路模式控制 1。
0x572	JESD204B LINK MODE CTRL2	0x00	JESD204B 链路模式控制 2。
0x573	JESD204B LINK MODE CTRL3	0x00	JESD204B 链路模式控制 3。
0x574	JESD204B LINK MODE CTRL4	0x00	JESD204B 链路模式控制 4。
0x578	JESD204B LMFC OFFSET	0x00	JESD204B 本地多帧时钟相位偏移调整。
0x580	JESD204B DID CONFIG	0x00	JESD204B DID 配置。
0x581	JESD204B BID CONFIG	0x00	JESD204B BID 配置。
0x583	JESD204B LID CONFIG1	0x00	JESD204B LID 1 配置。
0x584	JESD204B LID CONFIG2	0x01	JESD204B LID 2 配置。
0x585	JESD204B LID CONFIG3	0x01	JESD204B LID 3 配置。
0x586	JESD204B LID CONFIG4	0x03	JESD204B LID 4 配置。
0x58B	JESD204B PARA SCR/L	0x8X	JESD204B 加扰和 L 设置。
0x58C	JESD204B F CONFIG	0x88	JESD204B F 设置。
0x58D	JESD204B K CONFIG	0x1F	JESD204B K 设置。
0x58E	JESD204B M CONFIG	0x01	JESD204B M 设置。
0x58F	JESD204B CS/N CONFIG	0x0F	JESD204B CS 和 N 设置。
0x590	JESD204B N' CONFIG	0x2F	JESD204B N'设置。
0x591	JESD204B S CONFIG	0x20	JESD204B S 状态。
0x592	JESD204B HD & CF CONFIG	0x80	JESD204B HD 和 CF 状态。
0x5A0	JESD204B CHKSUM0	0x44	JESD204B 通道 0 校验和。
0x5A1	JESD204B CHKSUM1	0x45	JESD204B 通道 1 校验和。
0x5A2	JESD204B CHKSUM2	0x46	JESD204B 通道 2 校验和。

地址	名称	默认值	描述
0x5A3	JESD204B CHKSUM3	0x47	JESD204B 通道 3 校验和。
0x5B0	JESD204B LANE PD	0xAA	JESD204B 通道断电模式开关。
0x5B2	JESD204B LANE SERDOUT0± ASSIGN	0x00	JESD204B 通道 0 输出选择。
0x5B3	JESD204B LANE SERDOUT1± ASSIGN	0x11	JESD204B 通道 1 输出选择。
0x5B5	JESD204B LANE SERDOUT2± ASSIGN	0x22	JESD204B 通道 2 输出选择。
0x5B6	JESD204B LANE SERDOUT3± ASSIGN	0x33	JESD204B 通道 3 输出选择。
0x5BC	SERDOUT0 DRVAMP	0x04	JESD204B 通道 0 输出幅度调整。
0x5BD	SERDOUT1 DRVAMP	0x04	JESD204B 通道 1 输出幅度调整。
0x5BE	SERDOUT2 DRVAMP	0x04	JESD204B 通道 2 输出幅度调整。
0x5BF	SERDOUT3 DRVAMP	0x04	JESD204B 通道 3 输出幅度调整。
0x5C2	SERDOUT0± De-EMPHASIS SETTING	0x00	JESD204B 通道 0 去加重调整。
0x5C3	SERDOUT1± De-EMPHASIS SETTING	0x00	JESD204B 通道 1 去加重调整。
0x5C4	SERDOUT2± De-EMPHASIS SETTING	0x00	JESD204B 通道 2 去加重调整。
0x5C5	SERDOUT3± De-EMPHASIS SETTING	0x00	JESD204B 通道 3 去加重调整。

I 应用

电源和接地建议

接通 CM3452 电源时，必须使用以下三种电源：1.3V (AVDD1)、2.5V (AVDD2)、3.3V (AVDD3)。

对 CM3452 进行布局布线时，建议在芯片下方铺设一个完整稳固的地平面，不建议对 CM3452 进行分地处理。优秀的电源去耦，以及模拟、时钟和数字电路良好空间布局有利于实现 CM3452 的最佳性能。

裸露焊盘散热块建议

CM3452 底部的焊盘必须连接至模拟地 (AGND)，以实现最佳电性能和热性能。PCB 板上的铜平面应与焊盘相匹配。

铜平面应具有多个过孔，以实现最短的热路径，以便通过 PCB 板底部散热。这些过孔应使用非导电环氧树脂材料填充或阻塞。

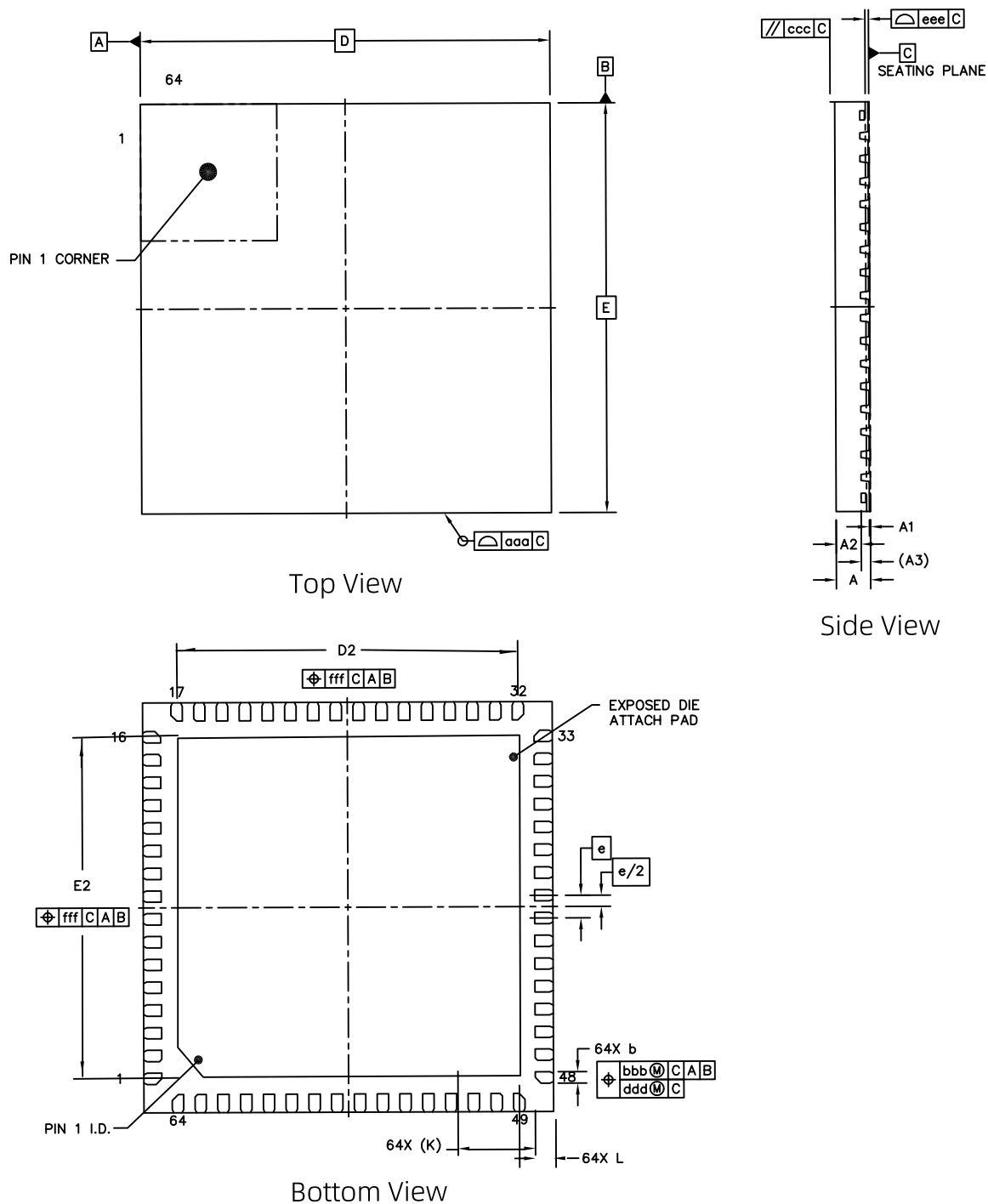
为了使 CM3452 和 PCB 板之间的覆盖率和附着力最大，建议将焊盘位置钢网开窗分割成几个均匀的部分。这样，回流焊过程中在 CM3452 和 PCB 板之间至少能保证多个连接点。使用无分区的连续平面可能导致 CM3452 和 PCB 板之间仅有一个连接点。

封装及订购信息

封装方式

CM3452 采用 QFN64 封装。

产品外形图



标识	尺寸 (毫米)		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0	0.03	0.05
A2	-	0.55	-
A3	0.20 (REF)		
b	0.20	0.25	0.30
D (X)	9.00 (BSC)		
E (Y)	9.00 (BSC)		
e	0.50 (BSC)		
D2 (X)	7.40	7.50	7.60
E2 (Y)	7.40	7.50	7.60
L	0.30	0.40	0.50
K	0.35 (REF)		
aaa	0.10		
ccc	0.10		
eee	0.08		
bbb	0.10		
fff	0.10		

订购信息

型号	温度范围	封装	包装	包装数量
CM3452-QFNTR	-40°C~85°C	QFN64	Tray	2600

免责声明

本数据手册按“现状”(AS IS)提供, 所含信息仅供设计参考, 不构成任何明示或暗示的性能、适用性、可靠性或安全性的保证。我司保留随时对产品规格、技术资料及相关手册进行更正的权利。用户应独立负责产品选择、应用设计、功能验证及合规性评估, 确保满足相关法规与安全要求。我司不对应用设计提供支持或承担由此产生的任何责任。

本产品资料不适用于生命支持、植入式医疗设备、军事、航空航天及其他安全关键应用, 除非另有书面协议。在此类应用中使用该产品及资料的风险由用户自行承担。