

小梅哥 AC620 FPGA 开发板使用手册

全功能高性价比 FPGA 开发板 AC620 火热销售中，配套培训视频



购买链接:

<https://item.taobao.com/item.htm?spm=a1z10.1-c-s.w4004-13687301132.6.8uPVJ6&id=544830995588>

修订记录

V1.4	2017/5/26	增加 Modelsim 仿真问题第 9 点
V1.5	2017/10/23	增加学习资料说明和开发板使用部分的硬件图例
V1.6	2018/1/24	细化开发板驱动安装部分说明，增加了几个 Modelsim 常见问题，细化了 Quartus 开发板安装和破解指导书内容
V2.0	2018/4/4	1、优化文档结构，将 Modelsim 和 Quartus 相关内容全部制作为独立文档，并从本手册中移除，方便随时更新最新知识内容。独立出来的文档，可在芯路恒各大 FPGA 技术支持群下载，也可在 www.corecourse.cn 网站搜索下载。 2、丰富各个扩展模块与 AC620 开发板连接的说明，基本覆盖了当前 AC620 开发板支持的所有扩展模块。 3、替换手册中所有原“芯航线”名称为“芯路恒”
V2.1	2018/8/2	修复细节 bug
V2.2	2019/6/13	更新完善一些细节内容。

AC620 全功能 FPGA 实验平台使用教程

目录

AC620 全功能 FPGA 实验平台使用教程.....	3
【用户须知】用户须知（AC620 开发板用户开机前必读）	5
第一步：给开发板供电.....	5
第二步：测试开发板功能.....	6
不含屏幕的单独主板测试方法：	6
含屏幕的测试方法.....	错误!未定义书签。
第三步：安装开发软件.....	7
第四步：安装开发板所需驱动.....	8
一、FPGA 下载器 USB Blaster 驱动安装说明.....	8
二、CH340 USB 转串口芯片驱动安装说明.....	13
第五步：了解我们提供的学习资料.....	16
视频教程.....	16
教程文档.....	17
例程源码.....	17
第六步：学习建议.....	17
第七步：关于开发板引脚分配.....	18
第八步：关于学习或实验中遇到的问题.....	19
第九步：关于各个扩展模块与主板的连接.....	19
1、摄像头模块.....	19
2、VGA 模块和液晶显示屏.....	21
3、高速 ADC 模块 ACM9226 与 AC620 连接.....	22
4、高速 DAC 模块 ACM9767 与 AC620 连接.....	22
5、ACM5500 与 AC620 FPGA 开发板连接.....	23
6、ACM7180 型 PAL 解码模块与 AC620 连接.....	24
7、ACM7606 与 AC620 开发板连接	24
【第一部分】芯路恒 AC620 开发板规格书	24
一、芯路恒 AC620 开发板功能特点	25
1.1 布局及组件.....	25
1.2 AC620 开发板器件资源	27
1.3 核心板接口资源.....	28
二、开发板使用.....	29
2.1 开发板烧写配置.....	29
2.2 轻触按键.....	29
2.3 用户 LED	30
2.4 时钟输入.....	31
2.5 GPIO 接口	32
2.6 红外接收.....	34

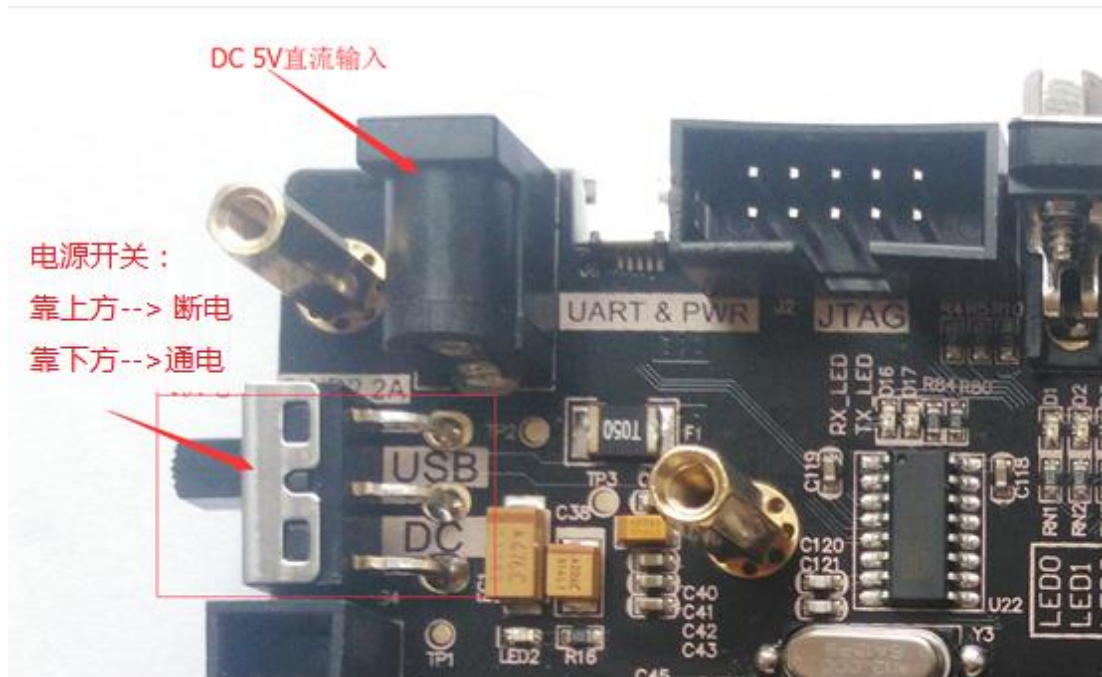
2.7	SDRAM	35
2.8	IIC 总线（EEPROM+RTC+WM8731）	36
2.9	通用显示扩展接口	38
2.10	摄像头接口	40
2.11	USB to UART	42
2.12	电源拓展端口	44
2.13	无源蜂鸣器驱动电路	44
2.14	音频编解码电路	45
2.15	以太网收发器	46
2.16	RS232 接口	47
2.17	RS485 接口	49
2.18	CAN 接口	50
2.19	12 位 8 通道 ADC	51
2.20	12 位 2 通道 DAC	52
2.21	7 段 8 位数码管	53

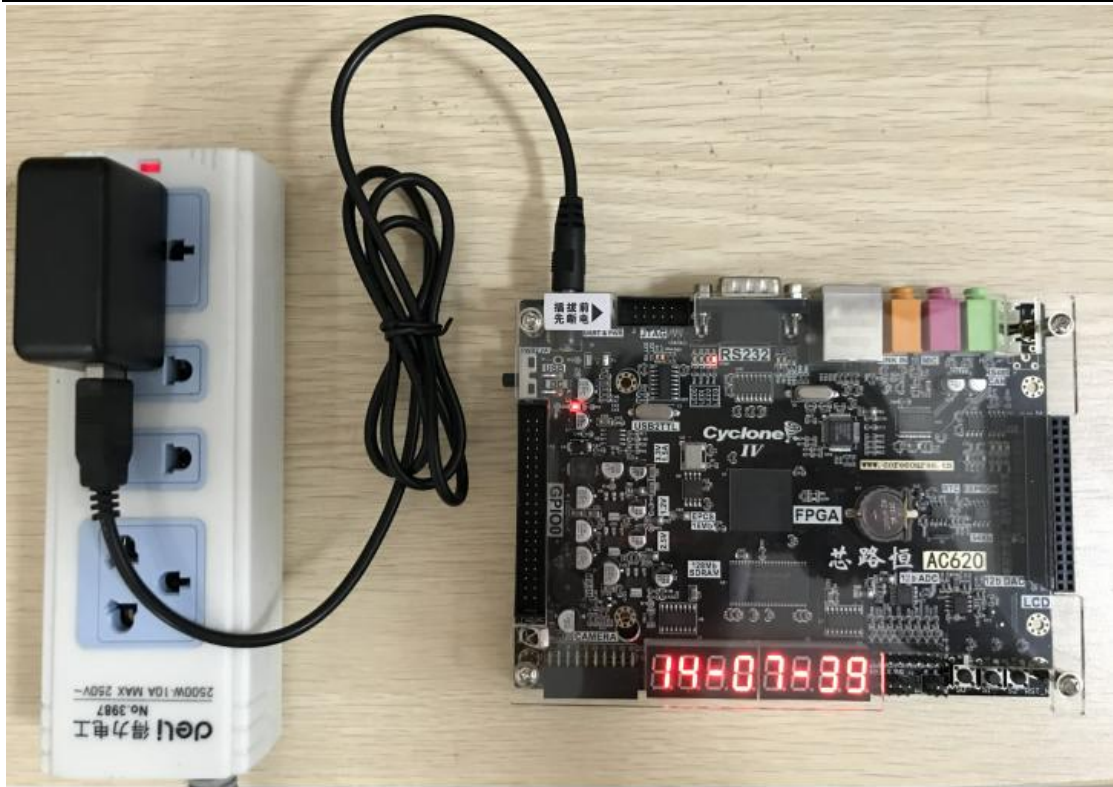
【第一部分】先把环境搭起来

本须知主要针对用户在学习和使用芯路恒 AC620 开发板时若干常见问题进行说明，避免大家走弯路。希望大家依次阅读。

第一步：给开发板供电

AC620 开发板需要使用标配的外接 5V 直流电源供电。开发板输入电源电压最高不能超过 5.5V，请务必使用开发板标配的 5V/1A 电源适配器供电。





开发版正常工作要素：

- 1、连接 5V 电源适配器
- 2、开发板左上角的电源开关拨动到靠下方（DC）的位置

当然，您也可以使用移动电源（充电宝）替代图中的电源适配器，或者，也可以将接适配器一端的 USB 口连接到电脑的 USB 接口上给开发板供电。

第二步：测试开发板功能

考虑到有的网友选购带屏幕的套餐，有的又选择不带屏幕的套餐，为了方便大家统一测试，开发板出厂默认烧写不带屏幕的程序。请大家先按照下述方法测试开发板主板是否正常工作。

测试方法：

- 1、供电，使用标配提供的 5V/1A 电源适配器通过开发板的 DC 电源接口为开发板供电。参考“**第一步：给开发板供电**”
- 2、将开发板左上角的拨动开关拨动到靠下方（DC 侧），给开发板上电。
- 3、开发板上电后，蜂鸣器清脆的一声鸣叫。（由于蜂鸣器变音是 NIOS II CPU 通过调整 PWM 频率决定的，而 NIOS II 工作在使用 PLL 倍频到 100MHz 的频率下，使用 SDRAM 作为运行内存，因此此现象表明蜂鸣器、SDRAM、PLL 都是正常工作的。）

- 4、数码管低四位显示时间，该时间从 PCF8563 时钟芯片中读到，默认从 00-00 开始。表明数码管是工作正常。
- 5、使用电压表测量 DAC B 通道的电压值（右下角排针，有丝印标注 DB），电压会缓慢增长。（如无电压表，此步骤可以跳过，下一步会有板上 ADC 测试 DAC 输出的回环测试功能）。
- 6、使用杜邦线将 ADC 的输入通道 0 即 A0（数码管右侧有一个 2*8 的排针，仔细看，左下角的那个针标记的就是 A0）接到 DAC 的输出通道 B（DB）（按键的左侧，有一个 2*2 的排针，仔细看，右下角的那个针标记就是 DB）上，数码管高四位（左侧 4 个）显示当前实际电压，单位为 mv，与电压表测量结果一致。（如果没有电压表，只要能看到这四个数码管的显示值在缓慢上升，就表明硬件应该没有问题）
- 7、将网线插入网口，另一端插入电脑网口或者路由器。开发板上的网口上个两个 LED 灯一个常亮一个快速闪烁，表明 PHY 正常。具体收发数据的测试，可参考《AC620 以太网设计与应用教程.pdf》中相关内容，由于此部分测试操作较为复杂，不建议新手尝试，建议用户有一定基础后再行操作。初次测试只要灯能正常闪烁，即表明 PHY 和网口是正常的。
- 8、使用 3.5mm 公对公音频连接线插到 LINK IN 接口（最左侧那个，橙色），另一端插到播放音乐的设备（手机或电脑耳机孔）中，然后将耳机或音响插头插到开发板的 OUT 接口（最右侧那个，绿色），在耳机中能听到播放的音乐，将 MIC 风插入 MIC 座，对着 MIC 说话，耳机或音响中也能听到声音。（如无麦克风，此步骤只能跳过了）
- 9、其他部分需另行的固件测试，出厂固件暂不支持其他功能的测试，如果固件被客户烧写覆盖，可以使用光盘中提供的“AC620 开发板测试文件（请先将文件拷贝到纯英文目录）.rar”压缩包中的 jic 文件恢复。该文件包中也含有 5 寸显示屏、摄像头、VGA 等模块的测试固件。

如果测试有疑问，或者有其他需求，可以看看这个帖子，我们会更新一些相关说明：

【开发板使用】AC620 开发板出厂测试方法

<http://www.corecourse.cn/forum.php?mod=viewthread&tid=28310>

(出处：芯路恒电子技术论坛)

第三步：安装开发软件

开发板配套开发软件为 Quartus II 13.0.请用户自行下载并安装，详细下载和安装教程见：

《Quartus II 13.0 安装和破解指导书.pdf》

该文档已经提供在开发板标注配套资料盘里，同时，大家也可在芯路恒各大 FPGA 技术支持群内或 www.corecourse.cn 论坛搜索下载。



第四步：安装开发板所需驱动

开发板与电脑连接需要安装 2 个驱动，分别是 USB 转串口驱动和 USB Blaster 下载器驱动，

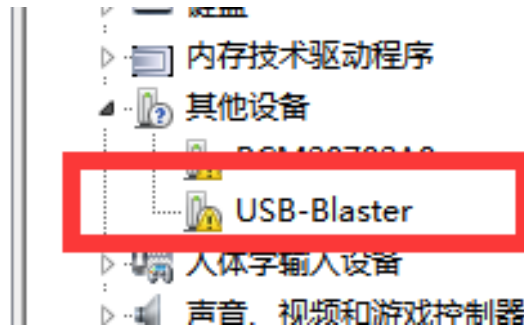
USB 转串口驱动是为了实现 USB 转串口功能，实现 FPGA 和电脑通过串口进行通信，USB Blaster 驱动是给 FPGA 下载程序时候用的。不安装的话会无法下载程序到 FPGA。**大家在**

安装时候千万要把硬件和驱动文件对应起来，不要闹用 USB 转串口的驱动去安装 USB-

Blaster 下载器驱动的笑话 !!!!

接下来分别介绍两个驱动的安装方法。

一、FPGA 下载器 USB Blaster 驱动安装说明(点击本标题快速到达)



二、CH340 USB 转串口芯片驱动安装说明(点击本标题快速到达)



一、FPGA 下载器 USB Blaster 驱动安装说明

Altera 的 FPGA 器件下载配置文件需要使用到专用的下载器——USB Blaster（很早之前使用的是并口下载器，不过由于并口目前很多地方已经被淘汰，所以使用受限，而且并口下载器的速度也很慢，所以本文就不过多介绍并口下载器，而是只针对 USB 接口的下载器进行说明）。由于该下载器使用的协议很透明，所以实现该下载器的方案也是五花八门，基本上只要是个带 USB 接口的单片机，都能设计并实现该下载器。

目前淘宝上销售的 USB Blaster 基本分为三类：普通版、极速版、官方原版。其中普通版使用各种带 USB 接口的单片机实现，例如使用 Cy7c68013（一款内嵌 8051 CPU 的 USB 协议芯片）、STM32、C8051，此种方案实现的下载器成本低廉（甚至只有几块钱量产成本，淘宝上售价在 20 元以内），但是性能并不十分稳定，小梅哥本人曾经使用这种廉价下载器，调试项目一直出错，直到换了一个极速版下载器，问题就全部解决了。此种方案的下载器适合简单的逻辑设计学习用，不推荐用于项目开发或复杂的学习。极速版则使用高性能 USB 传输芯片，能够达到媲美原厂方案的速度和性能，因此价格相对于普通版来说，也要高一些，一般在 40 元到 50 元，此种方案的下载器基本能满足所有的学习和项目开发用。原厂版方案使用 FT245+CPLD 实现，性能稳定，速度快，但是价格也很高，淘宝上销售的采用全新原装新片生产的这种方案的下载器，价格一般在 60 元以上。当然，目前也有几家能够将这种方案的下载器卖到 50 元以内，50 元以内的，很多都是使用的二手翻新芯片。所以，如果有经济实力，选择原厂版方案一定是最好的选择。为了节约经费，使用极速版是推荐的方案，而普通版是我们坚决反对使用的方案。

无论使用哪种方案制作的 USB Blaster，其驱动程序都是一样的。要想安装该驱动程序，比较推荐的方式就是安装好 **Quartus II 软件**，那么该软件的安装目录下就会**自带 USB Blaster 驱动程序**。当我们安装驱动程序时，直接从该路径下安装即可。

1、准备 USB Blaster 硬件。

USB Blaster 外形比较多，但是功能都一样，以下图中所示均为 USB Blaster 下载器：



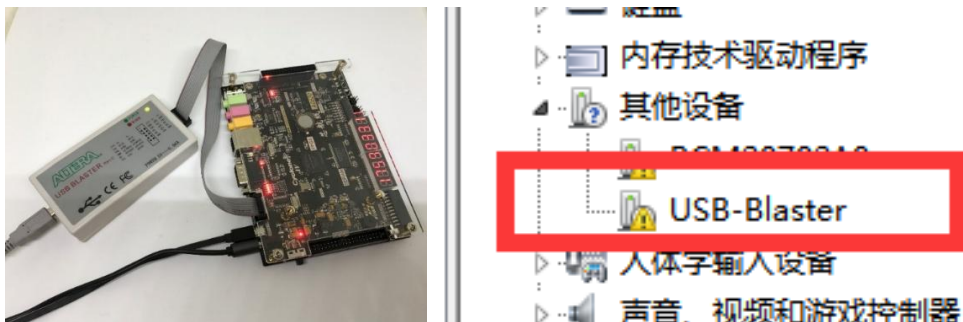
2、连接 USB Blaster 到开发板和电脑

将 USB Blaster 下载器使用配套的 USB 数据线插接到电脑的 USB 接口。



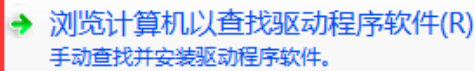
3、在设备管理器中查看硬件

这里，我们假设用户已经安装好了 Quartus II 软件。那么当 USB Blaster 首次插到电脑上时，会提示安装驱动，这个时候，我们在 windows 系统的设备管理器中可以查看到如下设备：



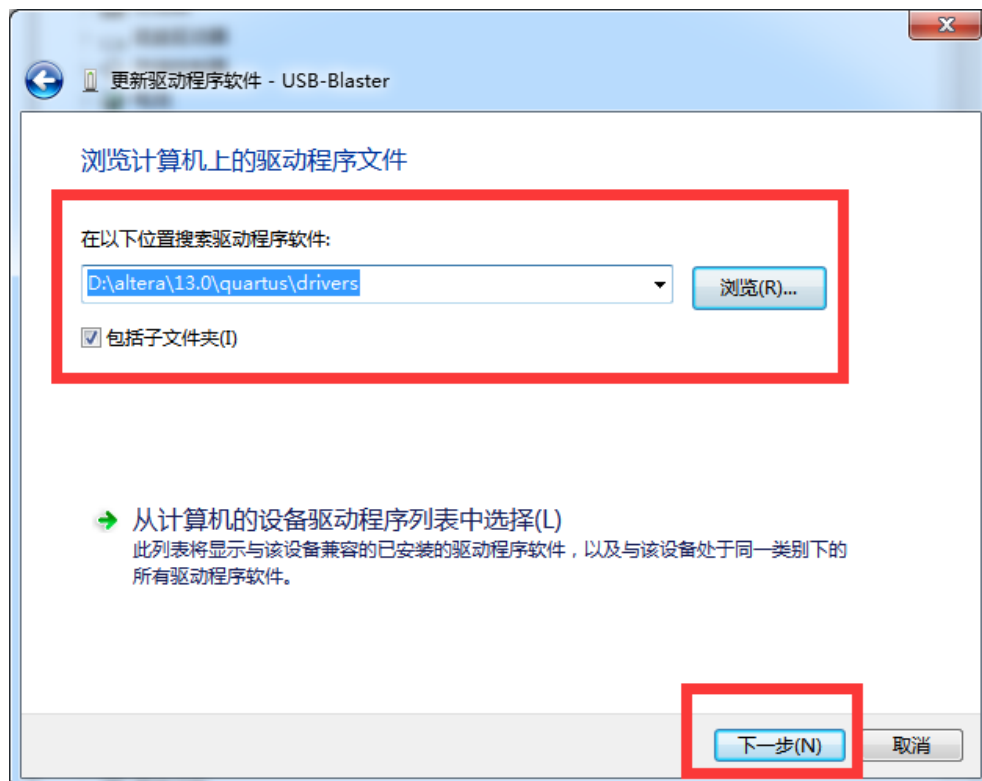
4、安装驱动

带黄色感叹号表示设备驱动不正常，这个时候我们就需要手动安装该设备驱动。选中 USB-Blaster，单击鼠标右键，选择更新驱动程序。在弹出的界面中，选择浏览计算机以查找驱动程序软件：

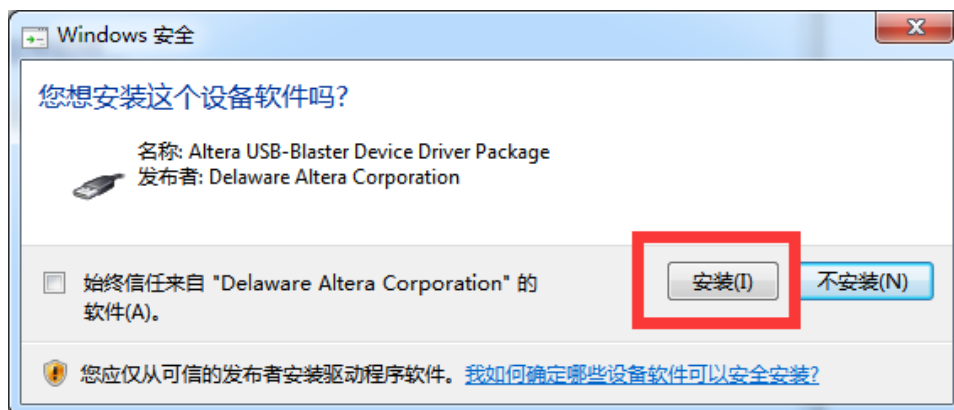


浏览计算机以查找驱动程序软件(R)
手动查找并安装驱动程序软件。

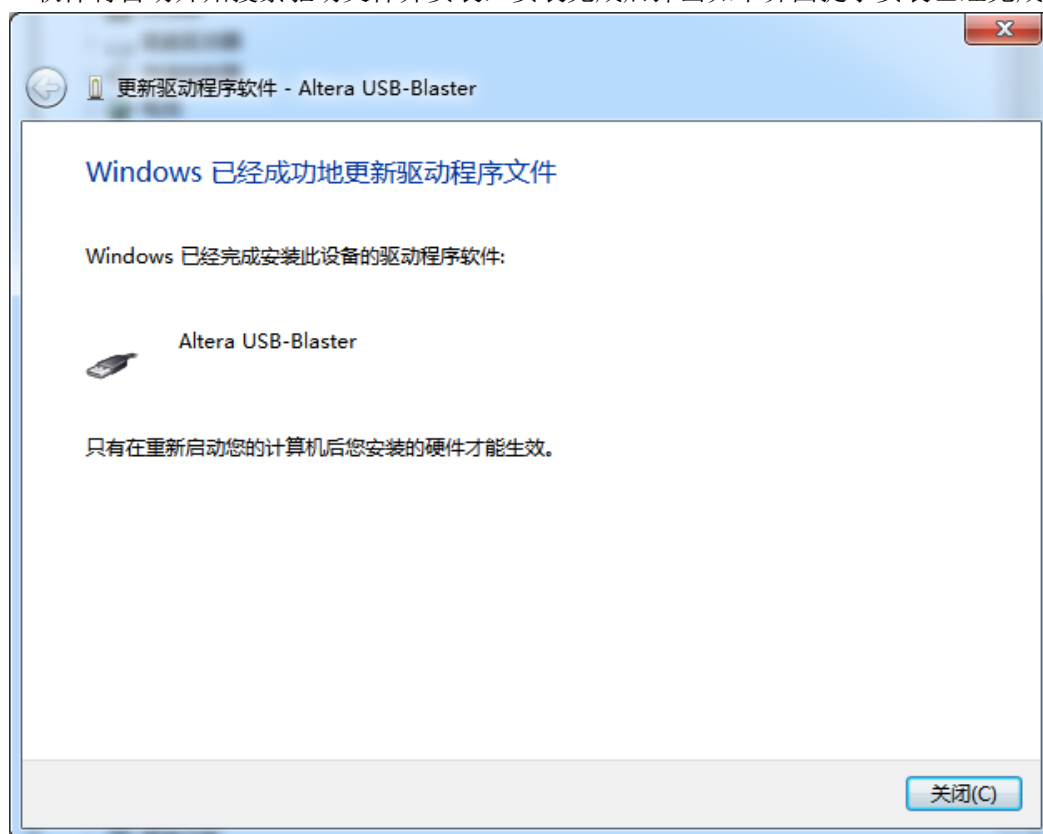
在弹出的窗口中，点击浏览，将路径定位到你电脑上 Quartus II 软件的安装目录下的 drivers 文件夹，例如我的电脑上该路径为：D:\altera\13.0\quartus\drivers，（敲黑板，看清楚，路径只到 Drivers 这一级，没有再深入到下一级）勾选包括子文件夹，然后点击下一步，如下图所示：



然后会弹出如下对话框，我们选择“安装”即可。



软件将自动开始搜索驱动文件并安装，安装完成后弹出如下界面提示安装已经完成：



5、检查安装结果

点击关闭即可。虽然这里说需要重启计算机硬件才能生效，但是我们在使用时发现，不重启计算机也是可以生效的。在设备管理器中可以看到如下已经就绪设备：



自此，USB Blaster 下载器驱动安装完毕。接下来就可以使用该下载器进行配置文件的烧写和单板的调试了（不用慌，教程教做实验的时候会讲的）。

二、CH340 USB 转串口芯片驱动安装说明

目前很多的开发板都使用 CH340 作为 USB 转串口的方案，芯路恒 FPGA 开发板上也提供了一路 USB 转串口接口，该接口如下图所示：



该 USB 转串口接口使用一根 USB 数据线与电脑连接，作为 USB 转串口功能使用。

1、连接开发板 USB 到电脑

使用套件提供的 USB 数据线，一端插入 PC 的 USB 接口，一端插入开发板上的 Micro USB 接口，如下图所示：



注意事项：

店铺：<https://xiaomeige.taobao.com>

技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：www.corecourse.cn

技术群组：615381411

安装该驱动时候，开发板可以不供电

安装该驱动时候，开发板可以不连接 USB Blaster

2、在设备管理器中查看硬件

当插上电脑后，部分电脑能够自动识别芯片并安装驱动。如果你的电脑没有正确自动安装驱动，在设备管理器中将看到如下信息：



有的网友电脑可能之前已经安装过该芯片的驱动了，所以插上之后会直接在设备管理器的“端口（COM 和 LPT）”下面显示找到对应的 COM 口，这样就不需再安装驱动。如果出现的是上述感叹号的内容，请继续执行下文操作。

另外，如果“端口（COM 和 LPT）”和“其他设备”中均没有该硬件，请再次确认开发板和 PC 是否已经使用 USB 线接到一起了。如果都接好了，考虑使用的 USB 线是否存在不良。可以尝试更换 USB 线测试。

3、运行驱动安装包

在开发板配套资料里面找到 **CH340 驱动(USB 串口驱动)_XP_WIN7 共用.rar** 文件，解压后，运行文件中的 **setup.exe** 文件。如果找不到。

打开 SETUP.EXE，提示 INF 文件为 CH341SER.INF，我们不需要理会（341，340 共用的），所以直接点安装即可！！

4、查看驱动安装结果

安装成功后设备管理器中显示如图所示：

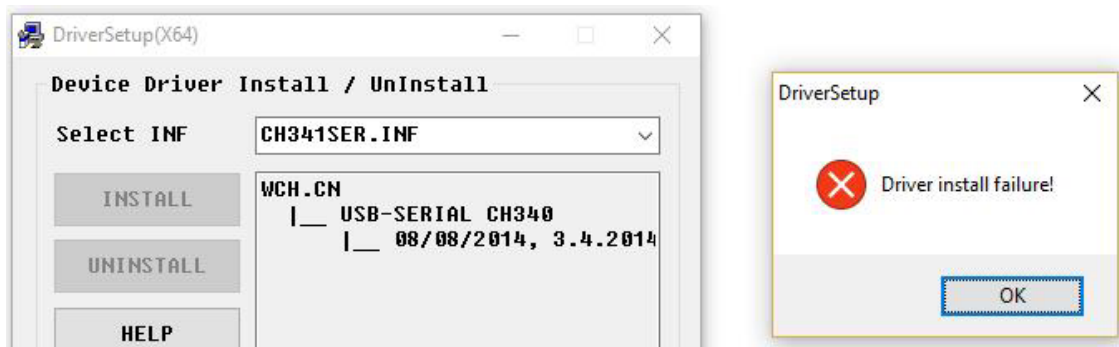


如果提示：预安装成功，主要考虑 USB 数据线没有连接成功，考虑没有插接好开发板，或者更换 USB 数据线测试。

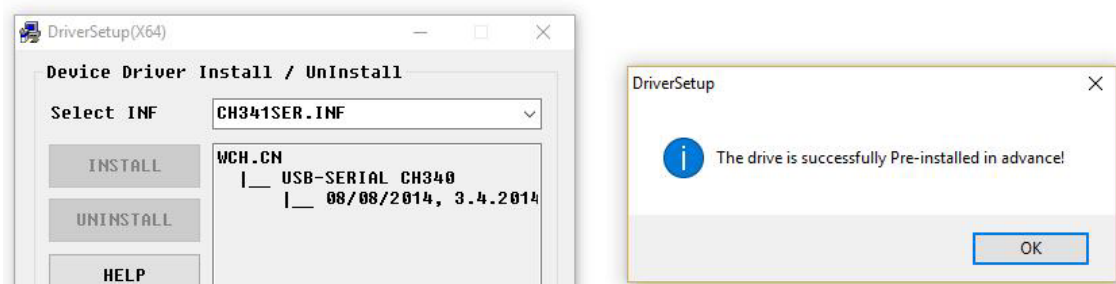
对于 WIN8 系统，安装失败，可参考此贴：

<http://www.openedv.com/posts/list/0/45091.htm>

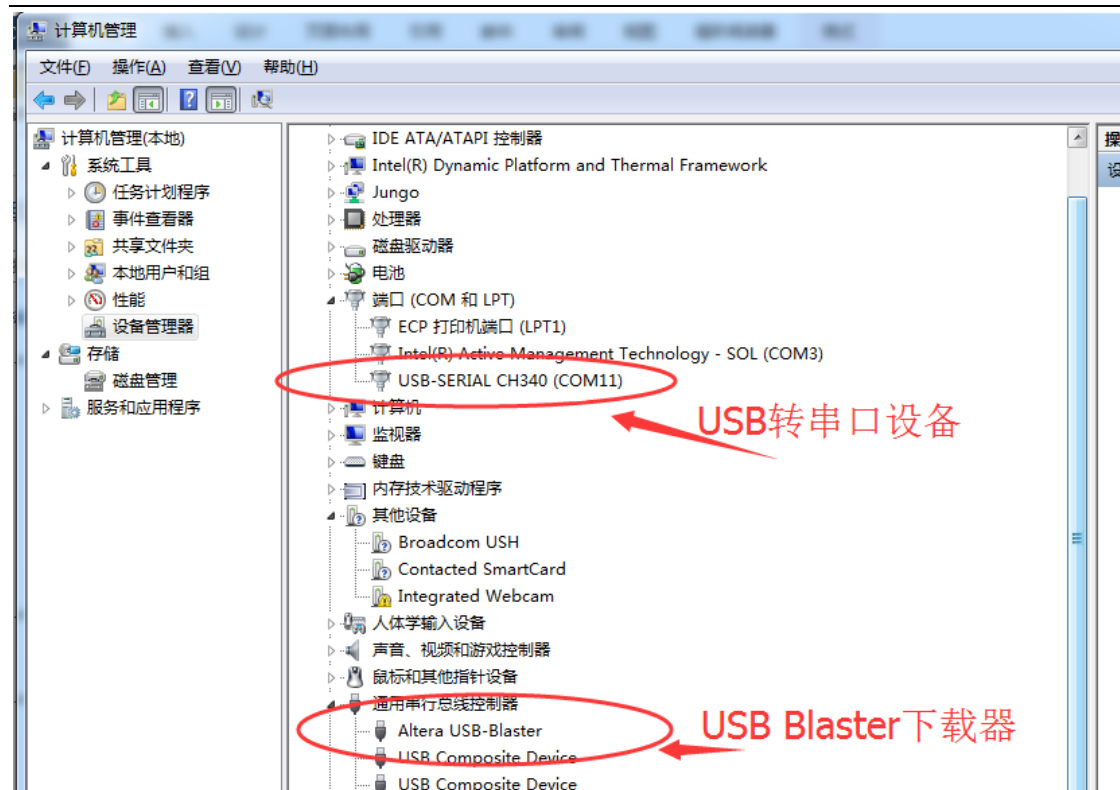
根据用户反馈，有用户反馈安装失败（win10, 64 位环境），截图如下所示：



后面，只要先点击下 UNINSTALL 按钮，然后在重新点击 INSTALL 就可正确安装了，如下图：



如果两个驱动都安装好以后，在电脑设备管理器中应该能够看到如下两个设备：



第五步：了解我们提供的学习资料

AC620 开发板主要提供 3 类资料

- 1、视频教程
- 2、教程文档和书籍
- 3、例程源码

视频教程

视频教程主要分为 3 大块

- 1、AC620 开发板入门视频，5 讲，主要通过细致的理论和实例讲解带领客户详细的了解 AC620 开发板的软硬件特点，以及如何使用 AC620 开发板进行学习。同时，该 5 集也对 Verilog 语法有较为详细的讲解
- 2、《小梅哥 FPGA 培训实录视频》，该视频是小梅哥 2017 年 7 月月在武汉开展的实地培训的全程实录，全部都是电脑屏幕的高清实录，包含 Verilog 数字系统设计教程和基于 NIOS II CPU 的 SOPC 系统教程总共，2 个月内容。属于独家重量级配套资料，适合希望参加实地培训但又受现实限制的网友进行接近于培训班式的学习。此部分视频内容为一机一码加密，提供前 5 天试看内容。加密部分需要购买开发板才能够获取密码。
- 3、《FPGA 设计思想与验证方法视频教程》，该视频教程由小梅哥专为 0 基础学员录制，全程都是一点一点讲原理，一行一行写代码，一步一步做仿真，非常的细致深入，

教程文档

- 1、《AC620FPGA 开发板用户手册》，详细介绍了 AC620 开发板的所有软硬件信息，使用 AC620 开发板时，需要经常参考此手册。
- 2、《FPGA 自学笔记——设计与验证》，AC620 开发板完全配套书籍，北航出版社出版，从 0 开始，以 30 多个实验详细讲解了 FPGA 的开发和验证过程。涉及到 DDS、IIC、SDRAM 控制器的设计和验证。（当前 458 页）
- 3、《AC620 扩展和补充设计教程》，该文档包含了《FPGA 自学笔记——设计与验证》一书中未能完全收录的设计教程。例如矩阵键盘、VGA 控制器、触摸屏等。
- 4、《AC620 以太网设计与应用教程》该文档详细讲解了使用 Verilog 设计以太网协议的教程，包括 MAC 层、IP 层和 UDP 层。绝非说明书式的例程介绍，而是真正的手把手设计和分析教程。
- 5、《AC620 SOPC 嵌入式系统设计教程》介绍了使用 AC620 开发板进行 SOPC 开发的相关内容。
- 6、《ModelSim 仿真使用常见问题解答》，该文选摘自《AC620FPGA 开发板用户手册》，作为独立文档出现，主要是方便新客户快速定位查看。另外，也希望新手在学习过程中，使用 modelsim 仿真遇到问题或错误时，先看本文，查找对应错误的解释说明。

说明：对于 2、3、4 文档，我们现在已经将其合并为一个大的 pdf 文档，名为《FPGA 系统设计与验证实战指南》。大家可以直接看这个合并后的大文档。内容还更丰富一点（加入了图像处理，USB 相关的内容）

例程源码

太多了，不一一列举，简单说下分类

- 1、《FPGA 自学笔记——设计与验证》书中实例配套源码
- 2、《AC620 扩展和补充设计教程》配套源码
- 3、《AC620 以太网设计与应用教程》配套源码
- 4、AC620 图像视频监控系统源码
- 5、小梅哥 FPGA 暑期培训班视频源码（Verilog+SOPC）
- 6、AC620 图像处理相关例程

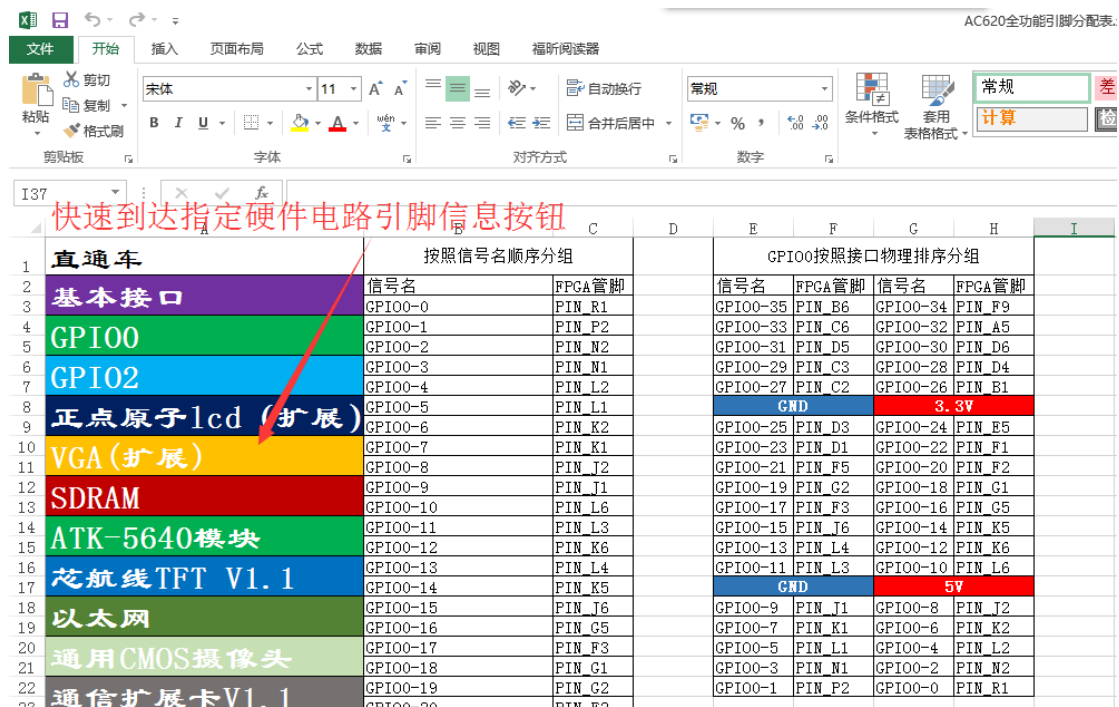
第六步：学习建议

1. 观看 AC620 的盘符下的 5 集“AC620 配套视频教程”，了解如何使用本开发板进行开发和学习；
2. 能力强的，看完这 5 集视频后，可以观看“小梅哥 2017 暑期培训视频”；
3. 如果观看暑期培训视频发现难以跟上，建议回头将《FPGA 设计思想与验证方法视频教程》先学习一遍，然后再回来看培训视频；
4. 书本内容的话，可以作为不习惯看视频的学员的独立的完整学习教材；

5. 建议先看下书本目录，很多时候书里的内容就是视频讲过的，很多时候视频也就是对着书里的内容进行展开的

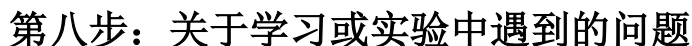
第七步：关于开发板引脚分配

我们提供一个专用的引脚分配表格《AC620 全功能引脚分配表》，用户可以直接打开该文件，切换到自己需要的相关设备页面，从中查看相关信息并输入到 Quartus 软件的引脚分配窗口中，Quartus 的引脚分配工具支持直接从 Excel 中直接复制引脚信息粘贴到分配工具中。另外，用户也可以查看本文档“芯路恒 AC620 FPGA 开发板规格书——>开发板使用”章节，该章节中也对每个硬件电路的引脚分配信息有讲解。当然，更加快速直观的方式就是一一在开发板的背面，我们将所有功能电路的引脚分配信息都以印字的方式印在了开发板背面，用户直接对着开发板背面的引脚分配信息即可输入相应引脚到 Quartus 引脚分配工具中。



快速到达指定硬件电路引脚信息按钮

按照信号名顺序分组		GPIO0按照接口物理排序分组			
信号名	FPGA管脚	信号名	FPGA管脚	信号名	FPGA管脚
GPIO0-0	PIN_R1	GPIO0-35	PIN_B6	GPIO0-34	PIN_F9
GPIO0-1	PIN_P2	GPIO0-33	PIN_C6	GPIO0-32	PIN_A5
GPIO0-2	PIN_N2	GPIO0-31	PIN_D5	GPIO0-30	PIN_D6
GPIO0-3	PIN_M1	GPIO0-29	PIN_C3	GPIO0-28	PIN_D4
GPIO0-4	PIN_L2	GPIO0-27	PIN_C2	GPIO0-26	PIN_B1
GPIO0-5	PIN_L1	GND		3.3V	
GPIO0-6	PIN_K2	GPIO0-25	PIN_D3	GPIO0-24	PIN_E5
GPIO0-7	PIN_K1	GPIO0-23	PIN_D1	GPIO0-22	PIN_F1
GPIO0-8	PIN_J2	GPIO0-21	PIN_F5	GPIO0-20	PIN_F2
GPIO0-9	PIN_J1	GPIO0-19	PIN_G2	GPIO0-18	PIN_G1
GPIO0-10	PIN_L6	GPIO0-17	PIN_F3	GPIO0-16	PIN_G5
GPIO0-11	PIN_L3	GPIO0-15	PIN_J6	GPIO0-14	PIN_K5
GPIO0-12	PIN_K6	GPIO0-13	PIN_L4	GPIO0-12	PIN_K6
GPIO0-13	PIN_L4	GPIO0-11	PIN_L3	GPIO0-10	PIN_L6
GPIO0-14	PIN_K5	GND		5V	
GPIO0-15	PIN_J6	GPIO0-9	PIN_J1	GPIO0-8	PIN_J2
GPIO0-16	PIN_C5	GPIO0-7	PIN_K1	GPIO0-6	PIN_K2
GPIO0-17	PIN_F3	GPIO0-5	PIN_L1	GPIO0-4	PIN_L2
GPIO0-18	PIN_G1	GPIO0-3	PIN_N1	GPIO0-2	PIN_N2
GPIO0-19	PIN_G2	GPIO0-1	PIN_P2	GPIO0-0	PIN_R1



- ◆ Modelsim 相关问题参见:《Modelsim 使用常见问题及解决办法集锦.pdf》
- ◆ Quartus II 相关问题参见:《Quartus II 使用常见问题及解决办法集锦.pdf》
- ◆ SOPC 学习相关问题:《SOPC 嵌入式系统设计常见问题解决办法集锦.pdf》

上述文档可在芯路恒各大 FPGA 技术支持群内或 www.corecourse.cn 论坛搜索下载。

第九步：关于各个扩展模块与主板的连接

1、摄像头模块

AC620 开发板支持市面上主流的 CMOS 摄像头模块，支持但不限于下列摄像头模组，所有模组均连接到 AC620 开发板的专用 CMOS 摄像头接口（CAMERA）上，见下图 2。所有摄像头模组都靠着该接口的 1 脚插接，模块都直接立起，向上插接，如下图 3：



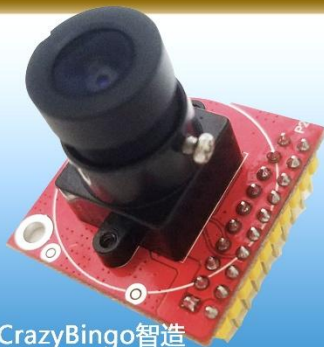
OV5642 500W像素



OV2640 200W像素



OV7670 30W像素



CrazyBingo智造

OV7725 30W像素



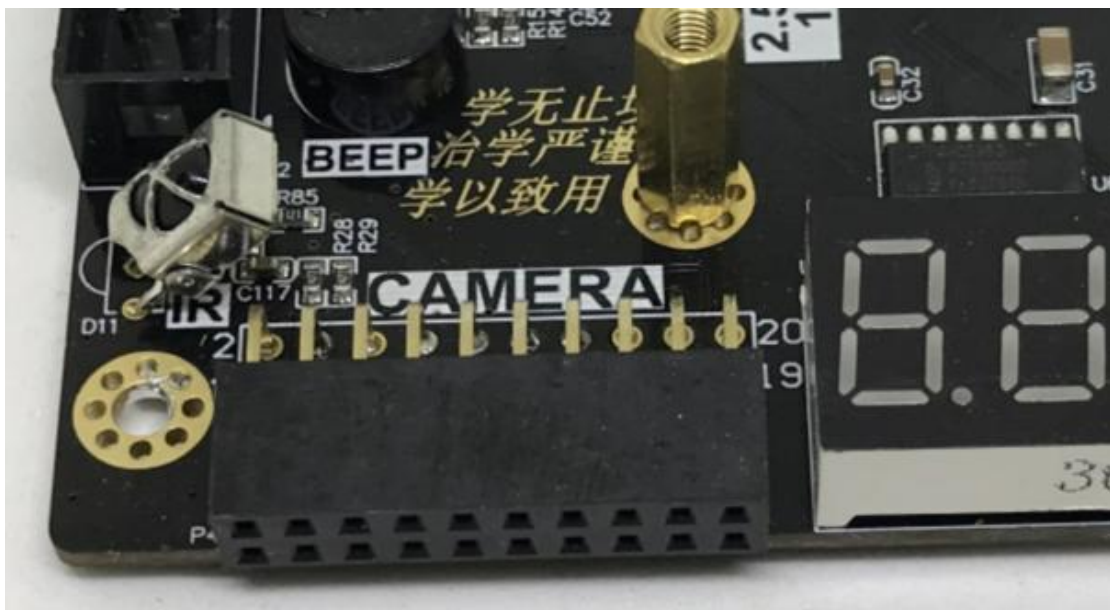
CrazyBingo智造

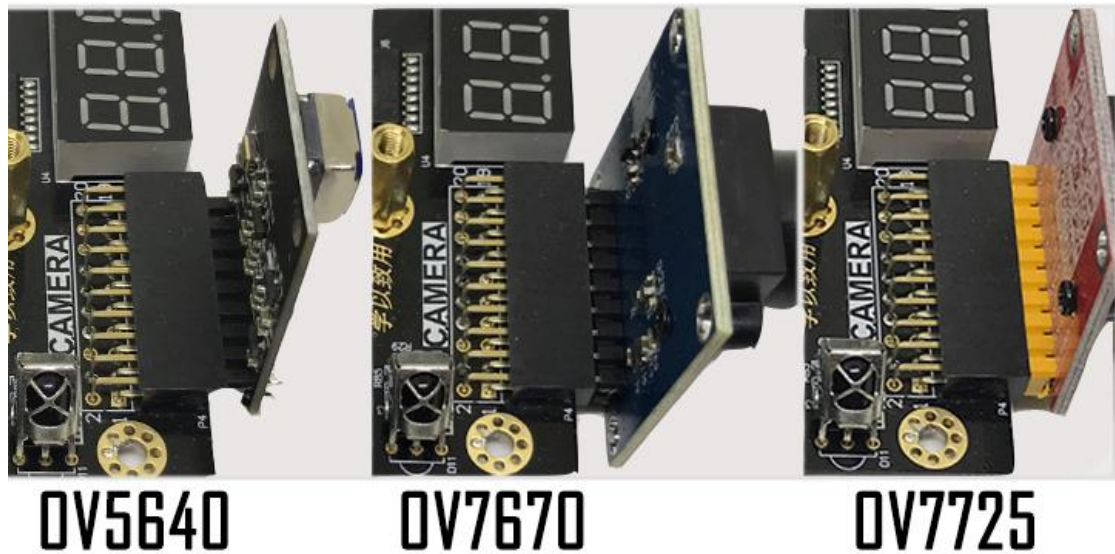
MT9V034 752x480@60Hz



正点原子智造

OV5640 500W





2、VGA 模块和液晶显示屏

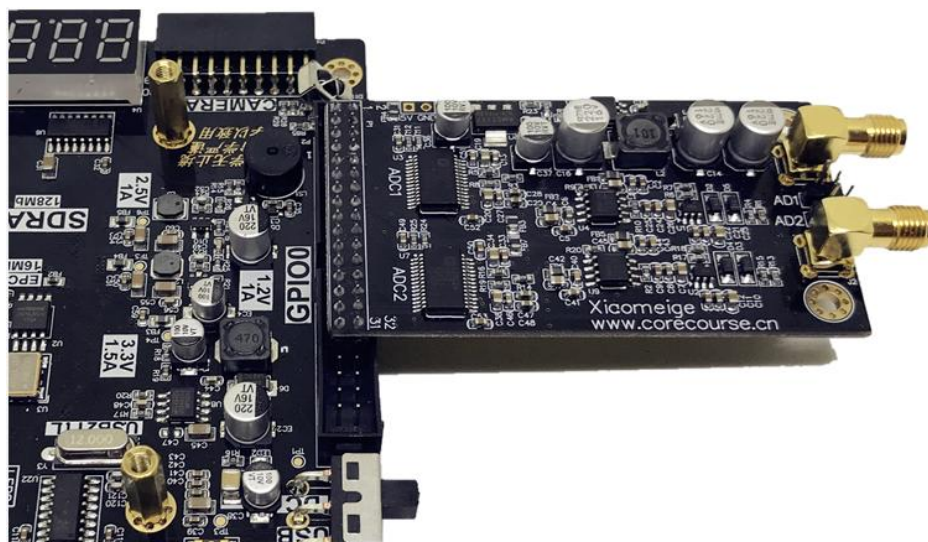
新购买 AC620 开发板的客户，收到的显示屏上接口和开发板上的连接口都是一一对应的，直接插到开发板上就可以用，而早期的显示屏因为接口少 2 根针，所以插接时候需要注意，下面主要介绍早期购买开发板和显示屏的用户在连接显示屏的时候需要注意的事项。

AC620 开发板上设计了一个通用显示扩展接口，该接口可以接我们推出的 24 位高性能 VGA 模块，也可以连接我们推出的 5 寸或 4.3 寸 TFT 显示屏。该显示扩展接口有 2*18 共 36 个接口座，而 VGA 模块或早期 5 寸/4.3 寸显示屏各有 2*17 共 34 个接口针，用户在连接的时候，无论是 VGA 输出模块还是 TFT 屏模块，请保持靠下插接的方式，即空出主板上显示扩展接口的 1、2 脚，如下图所示。其他模块如正点原子的显示屏或其他兼容模块，也按照下述方式连接，这里就不过多的介绍。

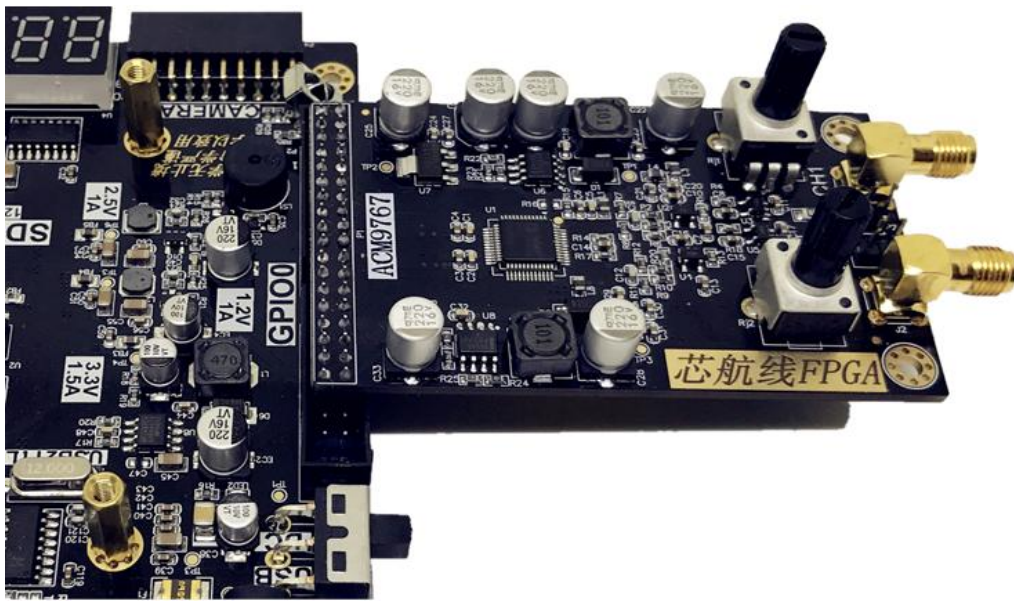




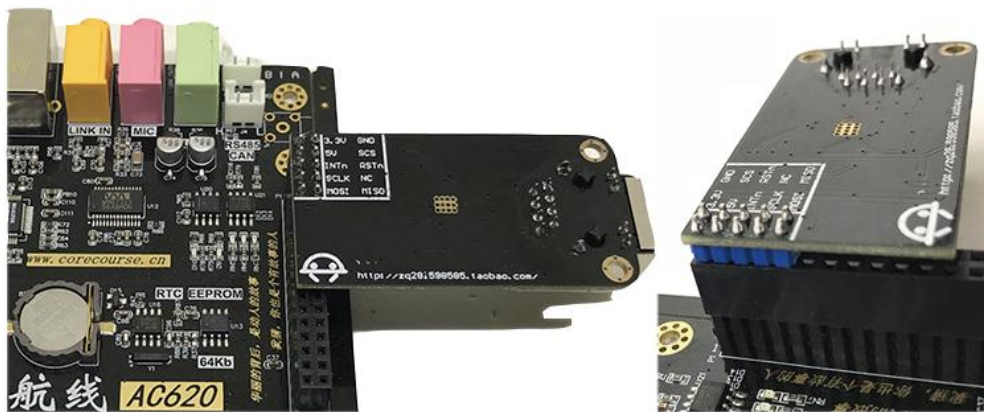
3、高速 ADC 模块 ACM9226 与 AC620 连接



4、高速 DAC 模块 ACM9767 与 AC620 连接

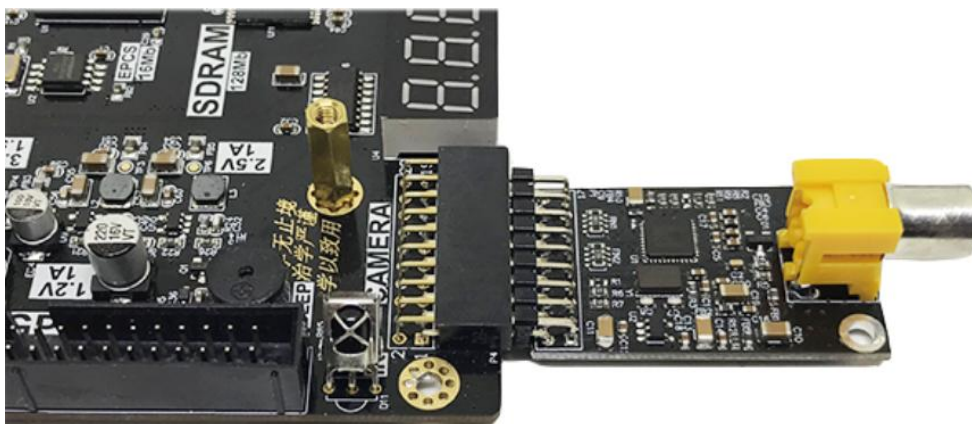


5、ACM5500 与 AC620 FPGA 开发板连接

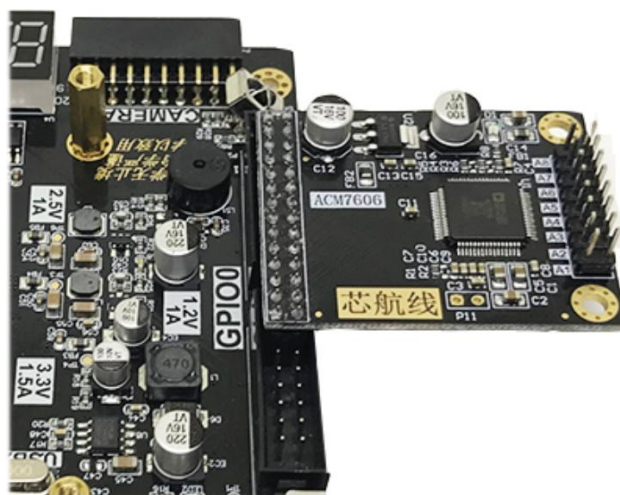


方案 1：ACM5500 使用排针通过通用显示扩展接口连接

6、ACM7180 型 PAL 解码模块与 AC620 连接



7、ACM7606 与 AC620 开发板连接



【第二部分】熟悉下板子各个电路结构

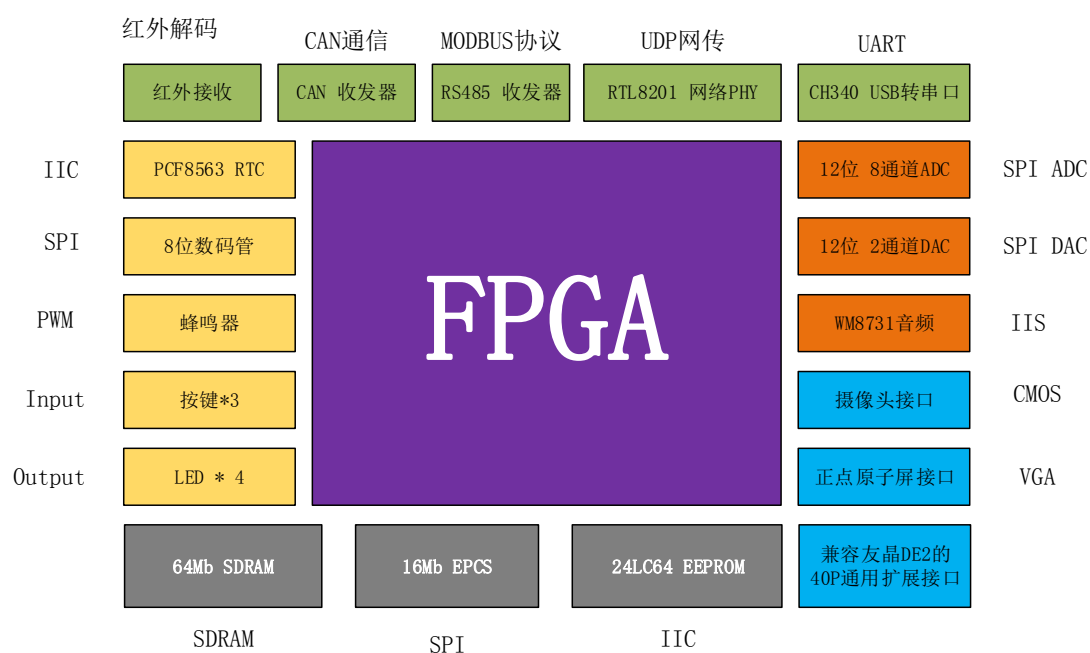
由小梅哥团队历经 3 个月，精心打造的第二代 FPGA 学习套件 AC620 开发板正式发售，在此，特别鸣谢：

- ACM620 背后的故事
- 芯路恒团队联合创始人暨上海 V3 学院王建飞老师（梦翼师兄）
- 山东大学研友 袁卓
- 杭州电子科技大学研友 曾凯峰
- **光电科技工程师 避风港
- 电子发烧友论坛（<http://bbs.elecfans.com/>）
- EEWORLD 论坛（<http://bbs.eeworld.com.cn/>）

- ChinaAET 小组 (<http://group.chinaaet.com/>)
- 芯路恒全体新老用户

一、芯路恒 AC620 开发板功能特点

本章说明了芯路恒 AC620 开发板的功能以及设计特点



1.1 布局及组件

图 1-1 展示了芯路恒核心开发板的图片，它们描绘出了开发板布局以及一些接插件和关键元件的位置信息。

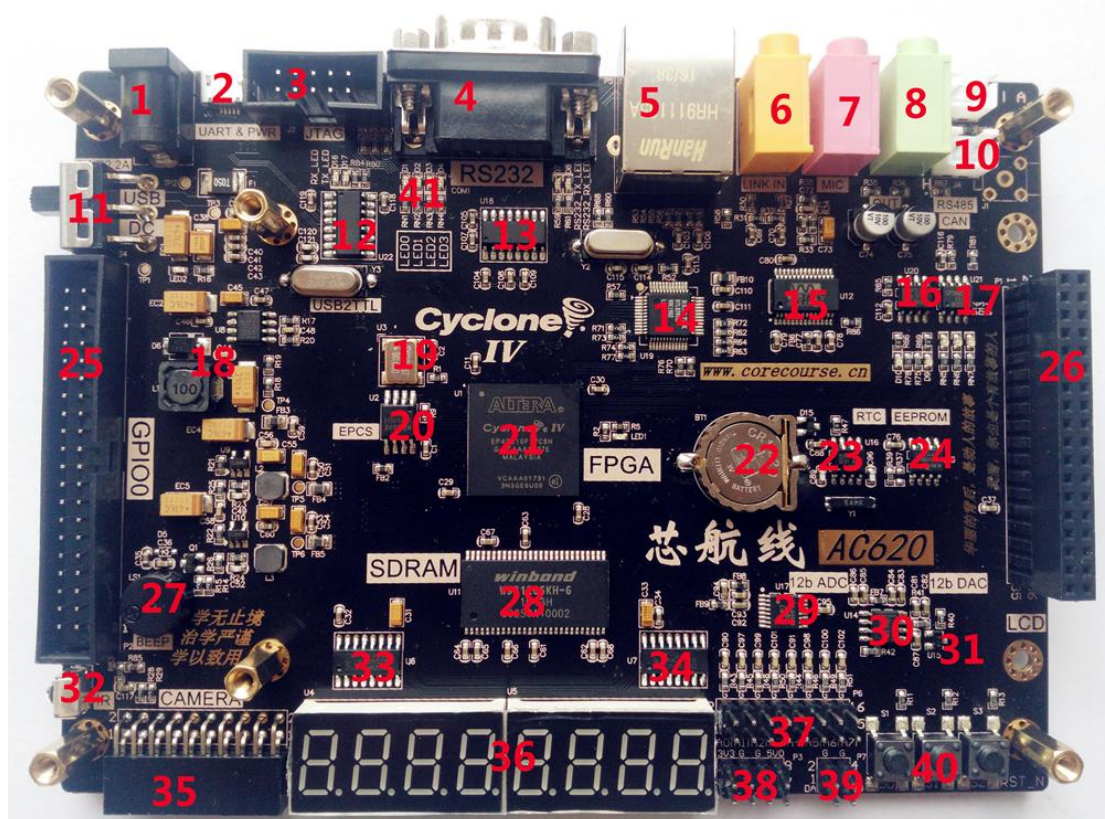


图 1-1 芯路恒 AC620 开发板顶层视图

1	DC 5V 输入	12	CH340G	19	50M 有源晶振
2	USB 转串口接口	13	SP3232	20	W25Q16
3	JTAG 连接口	14	RTL8201CP	21	EP4CE10F17
4	RS232 接口	16	VP230	24	AT24C64
5	以太网接口	17	SP3485	28	W9812G6KH-6
6	音频输入接口				
7	麦克风输入接口	15	WM8731S	18	电源电路
8	音频输出接口	29	ADC128S052	22	CMOS 后背电池
9	RS485 接口	30	TLV5618	33	74HC595
10	CAN 接口	31	LM4040-2.0	34	
11	供电切换电源开关			38	供电输出接口
25	通用 40 针扩展接口	27	无源蜂鸣器		
26	芯路恒显示扩展接口	32	HS38B		
35	通用摄像头接口	36	8 位数码管		
37	ADC 输入接口	40	3 位轻触按键		
39	DAC 输出接口	41	4 位 LED 灯		

AC620 开发板拥有非常丰富的功能，从简单的逻辑到各种各样的多媒体项目，允许使用者在一个较为宽广的领域内进行数字逻辑设计。

1.2 AC620 开发板器件资源

FPGA 主芯片 EP4CE10F17C8N, 拥有 10K 的逻辑单元, 两个独立锁相环, 180 个用户 IO 管脚, 423936bit 嵌入式 RAM, 46 个 9 位嵌入式硬件乘法器.....资源丰富, 完全可以满足绝大部分中小型设计的资源需求。	电可擦除只读存储器 (EEPROM) AT24C64, 拥有 64K 位的存储容量, 使用两线制 IIC 接口, 可读可写, 掉电数据不丢失, 可用来存储各种配置数据 (如触摸屏校准参数)
动态刷新随机存取存取存储器 (SDRAM) W9812G6KH-6, 拥有 128Mbit 的存储器资源, 最高运行速度 166MHz, 即可使用逻辑直接驱动, 用来进行大量数据存储 (视频图像数据, ADC 采集数据), 也可作为 NIOS II 处理器运行内存, 用来运行较大的 NIOS II 软件系统。	串行 FLASH 芯片 W25Q16, 拥有 2M 字节的存储空间, 使用 SPI 接口, 默认作为 FPGA 芯片的上电配置器件, 当使用 NIOS II 软核时, 还可以作为软件代码的存储空间。同时, 在 NIOS II 中, 还可以使用 EPCS 控制器, 将该存储器当做通用型 FLASH 进行读写, 以存储运行过程中产生的各种数据。
RS232 收发器 RS3232, 3.3V 供电的 RS232 收发器, 实现 TTL 电平和 RS232 电平的互转。RS232 接口作为标准的工业设备接口, 存在于当前在大部分工业设备上, 使用该接口, AC620 可以实现对带 RS232 接口的设备控制。	以太网收发器 RTL8201, 10M/100M 以太网收发器, 以太网以其便捷的组网特性, 几乎存在于我们生活的每个角落, 使用 FPGA 实现以太网, 可以方便的实现采集数据的便捷传输。
RS485 收发器 SP3485, 3.3V 供电的 RS485 总线收发器。工业设备中, 为了保证可靠连接和组网, 常使用 RS485 接口进行数据传输, 上层使用 MODBUS 通信协议如。使用该接口, 用户可以学习 MODBUS 协议的实现。	CAN 收发器 VP230, TI 公司生产的 3.3V CAN 收发器芯片, 可工作在高达 1Mbps 的速率, CAN 总线以其高度的可靠性和便捷组网特性, 大量应用于汽车电子系统中, 使用该接口, 用户可以学习 CAN 接口的实现和数据传输。
ADC 芯片 ADC128S052, TI 公司生产的 12 位 8 通道 ADC 芯片, 采用标准的 SPI 串行接口, 可实现对模拟信号的采集, 实现对模拟信号的分析处理。	DAC 芯片 TLV5618, TI 公司生产的 12 位 2 通道 DAC 芯片, 采用标准的 SPI 串行接口, 可实现数字信号到模拟信号的转换, 以实现数控系统的设计。
USB 转串口芯片 CH340, 实现 USB 转串口协议, 使得 AC620 开发板能够使用一根普通的 USB mini 数据线即可与 PC 进行通信, 实现方便灵活的通信和控制。	红色 LED 灯, LED 最为最基础的输出设备, 单个 LED 能够显示两种不同的状态, 4 个 LED 组合能够最多显示 16 种状态, 方便设计和调试。

音频编解码器 WM8731 ，IIS 总线作为一个简单高效的音频传输总线，目前已经成了各种多媒体设备中进行音频数据传输的标配，学习使用 IIS 接口的音频编解码器，实现对音频数据的处理。	红外遥控接收 ，开发板自带红外遥控接收器，可接收 38KHz 的红外遥控信号，从而为开发板提供红外遥控功能，另外，当开发板上用户按键不够用时，也可以使用红外遥控来作为开发板的扩展键盘。
蜂鸣器 ，当用户有输入请求或者系统有输出请求时，使用一个蜂鸣器发声来提示用户输入或者输出有效。以获得更加直观的输入输出体验。	串行移位寄存器 74HC595 ，使用 SPI 接口，实现串行数据到并口数据的转换，通过 3 个 IO 口扩展得到更多的输出引脚。适用于 IO 需求量巨大的应用，如大屏 LED 显示、多位数码管驱动。AC620 上使用两片 74HC595 驱动 8 位数码管。
实时时钟 (RTC) 芯片 PCF8563 ，IIC 接口的实时时钟芯片，带后备电池，可掉电走时，为系统提供精准的时钟。	独立按键 ，三个独立按键，可以作为用户控制按键，实现对系统运行状态的控制

1.3 核心板接口资源

同时，为了尽量提升板卡的可扩展性和实用性，芯路恒 AC620 开发板上提供了多个通用或专用接插口，用来方便的扩展各种外设模块，接插口主要有：

一个 40Pin 的排针接口 ，该接口与友晶 DE2 的单个 40Pin 接口完全兼容，每个接插口提供 36 个通用 IO 口，一个 5V 供电和一个 3.3V 供电。用户可以使用该接口连接一些扩展模块，以实现自定义功能。	一个 LCD 液晶屏的接口 ，该接口 100% 兼容正点原子开发的 STM32 开发板配套液晶屏，方便大家使用手头现有的液晶屏插接到开发板上进行数据显示，同时该接口也可用来插接我们开发的数码管_VGA_PS2 摄像头模块，以进行简易逻辑功能设计。我们设开发的 5 寸 TFT 触摸液晶模组也完美支持该接口，可直接插接在此接口上，进行图像的显示。
一个 CMOS 摄像头的摄像头接口 ，该接口兼容市面上主流的 CMOS 摄像头，方便需要进行图像采集处理的朋友插接摄像头进行项目开发（OV7670，OV7725，OV2640，OV5640 全兼容）	一组电源接口 ，方便喜欢 DIY 的用户直接从开发板上取电，给外挂模块供电，满足无限创意需求。

二、开发板使用

本章给出了芯路恒开发板的使用说明，同时详细描述了芯路恒的所有组件

2.1 开发板烧写配置

芯路恒 AC620 开发板提供了一个串行配置设备用来对 Cyclone IV E FPGA 芯片进行配置，上电以后配置数据可以自动从配置设备加载到 FPGA，使用 Quartus 软件，我们也可以在任何时候重新配置 FPGA，当然也可以改变串行非易失串行存储设备，下面将描述这两种类型的配置。

1. JTAG 配置：这种编程方法将配置比特流直接下载到了开发板上的 Cyclone IV E FPGA 芯片中，在上电状态下，FPGA 将保留此配置，逻辑功能可以正常运行，但断电以后，配置信息将会丢失，需要上电以后重新进行配置。
2. JIC 配置：Altera 允许我们在 JTAG 下载模式下配置 EPCS 器件，通过 Quartus 软件自带的转换工具，我们可以将编译生成的 .sof 文件转换为 .jic 文件，然后通过 JTAG 口下载到 EPCS 器件，这样就可以做到配置数据掉电不丢失。

关于本开发板固件的烧写（配置），在我们提供的教程《FPGA 系统设计与验证实战指南》中“2.2 Intel FPGA 开发流程”和“2.2 Intel FPGA 开发流程”中有详细说明。

2.2 轻触按键

如图 2-1 所示，AC620 开发板提供了三个轻触按键，三个按键分别被称为 S0、S1、S2。此三个引脚直接与 FPGA 管脚相连，并接上了上拉电阻。在没有按键按下的时候，每个按键端输出的都是高电平，当按键按下的时候，被按下的按键端会输出低电平。

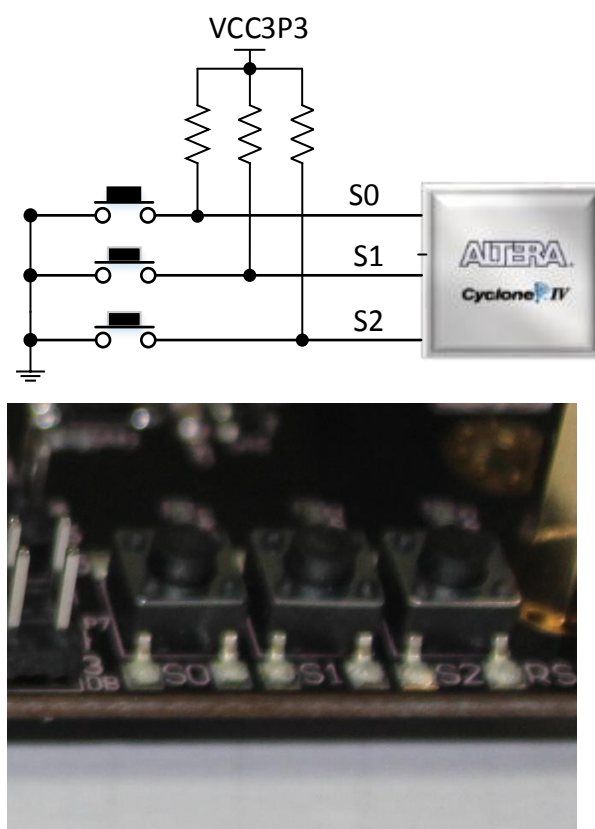


图 2-1 轻触按键和 Cyclone IV E FPGA 连接关系示例

按键管脚分配表

Signal Name	FPGA pin No.
S0	PIN_M16
S1	PIN_E15
S2	PIN_E16

2.3 用户 LED

芯路恒开发板提供了四个红色的 LED 调试灯，所有的 LED 灯都是通过 Cyclone IV E FPGA 直接驱动；当 FPGA 输出低电平时，LED 点亮，当 LED 输出高电平时，LED 灯熄灭。图 2-2 展示了 LED 和 FPGA 的连接关系（LED 和 FPGA 之间串联有 1K 限流电阻，图中未画出）。

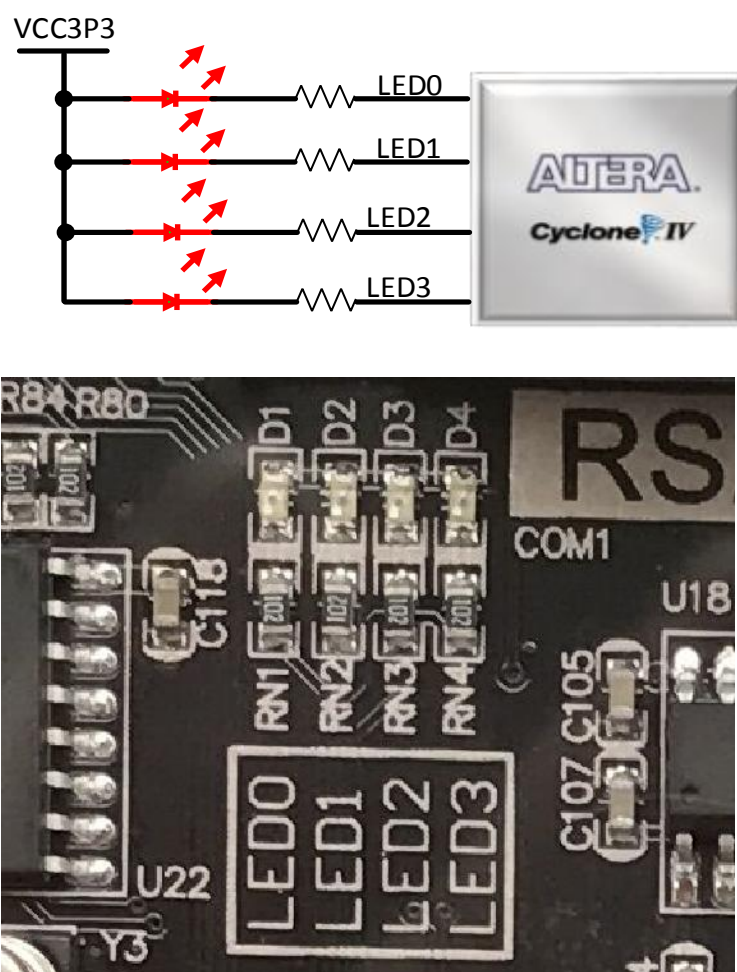


图 2-2 流水灯 和 Cyclone IV E FPGA 连接示例

LED 管脚分配表

Signal Name	FPGA pin No.
LED0	PIN_A2
LED1	PIN_B3
LED2	PIN_A4
LED3	PIN_A3

2.4 时钟输入

AC620 开发板设计了三路时钟源，第一路由板载 50MHz 有源晶振提供，第二路由同轴接口输入，另外第三路集成在 CMOS 摄像头接口中（一般用于输入 CMOS 摄像头时钟像素时钟）。三路时钟均通过 Cyclone IV E 专用的时钟引脚进行输入，保证了最好的时钟质量，并保证可以配置到对应的全局时钟链路上。

图 2-3 展示了时钟和 FPGA 的连接关系

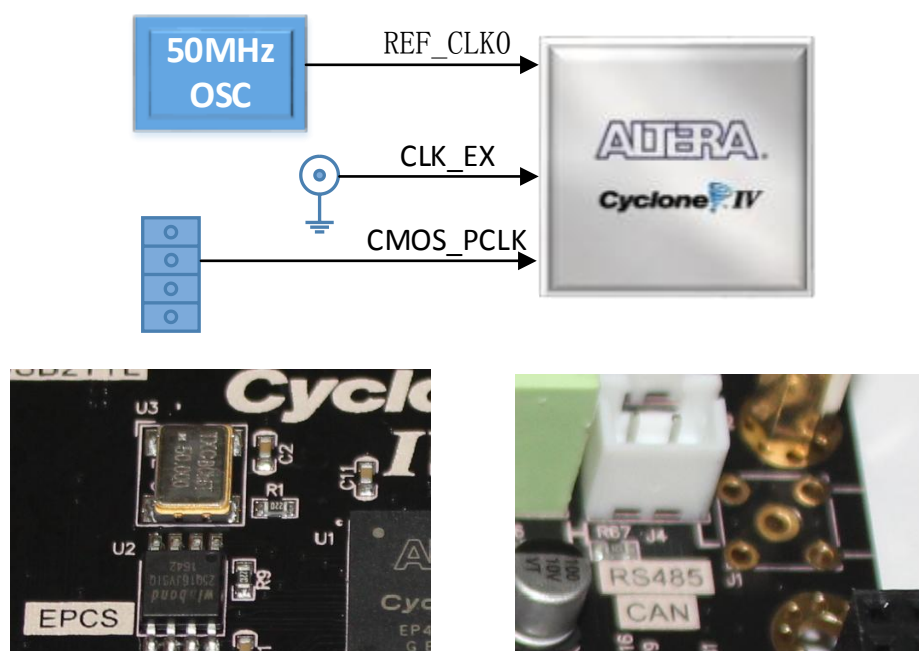


图 2-3 晶振和 Cyclone IV E FPGA 连接示例

时钟管脚分配表

Signal Name	FPGA pin No.
REF_CLK0	PIN_E1
CLK_EX	PIN_M15
CMOS_PCLK	PIN_M2

2.5 GPIO 接口

芯路恒开发板提供了1个40Pin的与友晶科技DE2开发板兼容的GPIO接口，端口使用标准的 IDC3-40 接口。该接口除了有 36 个引脚直接连到了 Cyclone IV E FPGA 以外，还输出了 DC +5V (VCC5)，DC +3.3V (VCC3P3)，和两个接地的引脚。端口名为 GPIO0，。图 2-4 展示了 GPIO0 的端子 FPGA 管脚连接关系

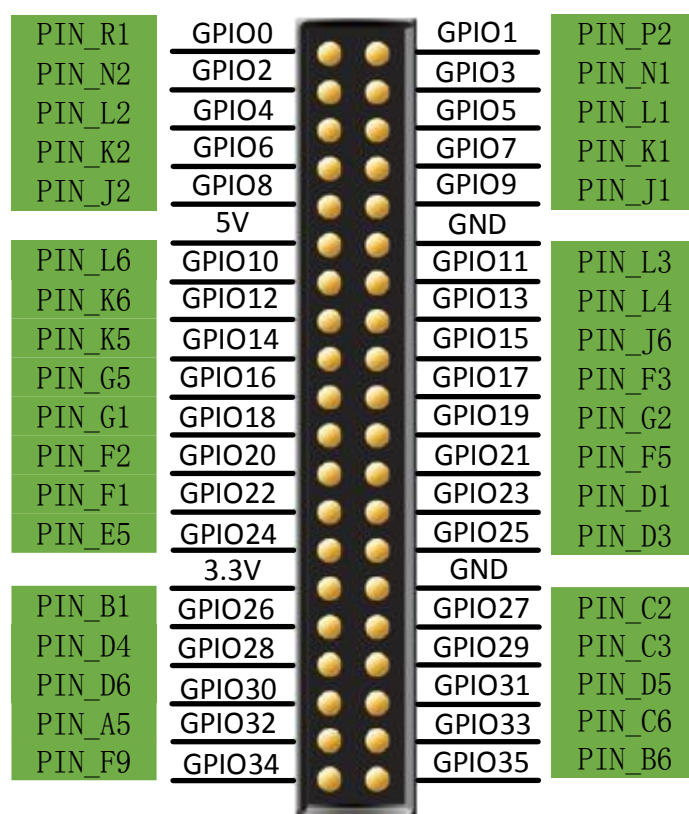


图 2-4 GPIO0 和 Cyclone IV E FPGA 连接示例

GPIO0 管脚分配表

Signal Name	FPGA pin No.		Signal Name	FPGA pin No.
GPIO0	PIN_R1		GPIO18	PIN_G1
GPIO1	PIN_P2		GPIO19	PIN_G2
GPIO2	PIN_N2		GPIO20	PIN_F2
GPIO3	PIN_N1		GPIO21	PIN_F5
GPIO4	PIN_L2		GPIO22	PIN_F1
GPIO5	PIN_L1		GPIO23	PIN_D1
GPIO6	PIN_K2		GPIO24	PIN_E5
GPIO7	PIN_K1		GPIO25	PIN_D3
GPIO8	PIN_J2		GPIO26	PIN_B1
GPIO9	PIN_J1		GPIO27	PIN_C2

GPIO10	PIN_L6		GPIO28	PIN_D4
GPIO11	PIN_L3		GPIO29	PIN_C3
GPIO12	PIN_K6		GPIO30	PIN_D6
GPIO13	PIN_L4		GPIO31	PIN_D5
GPIO14	PIN_K5		GPIO32	PIN_A5
GPIO15	PIN_J6		GPIO33	PIN_C6
GPIO16	PIN_G5		GPIO34	PIN_F9
GPIO17	PIN_F3		GPIO35	PIN_B6

2.6 红外接收

芯路恒开发板包含一个红外接收模块 IR，图 2-5 展示了 IR 和 FPGA 的电路连接关系。

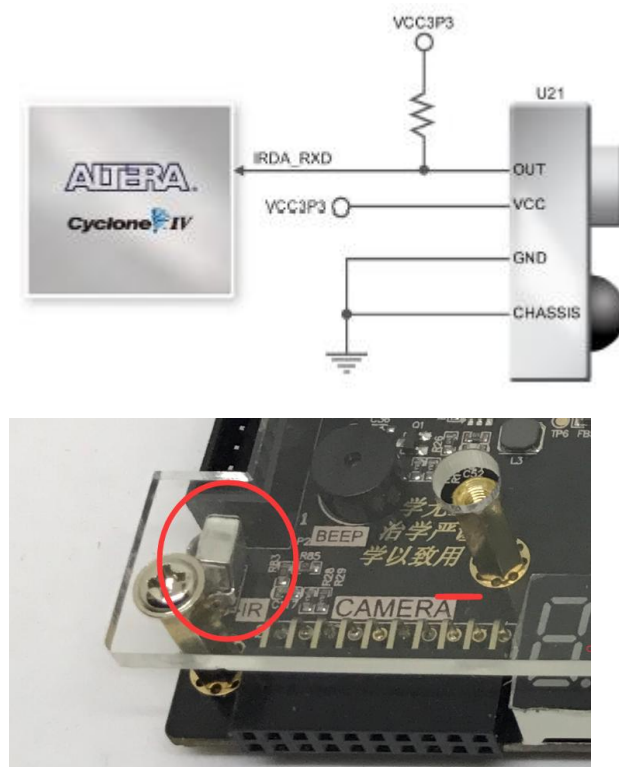


图 2-5 IR 和 Cyclone IV E FPGA 连接示例

IR 管脚分配表

Signal Name	FPGA pin No.
IRDA_RXD	PIN_M1

2.7 SDRAM

AC620 开发板设计了一个最大可安装 256Mb 的 SDRAM 电路，实际生产时使用 128Mb 的 SDRAM 存储器，该芯片与 FPGA 相连的数据总线位宽为 16 bit，SDRAM 采用 3.3V 供电。图 2-6 展示了 SDRAM 和 FPGA 之间的连接关系。

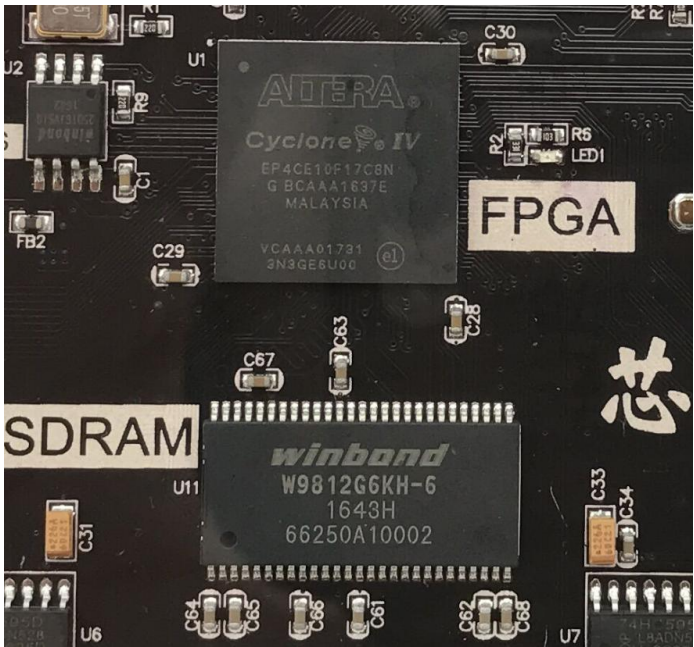
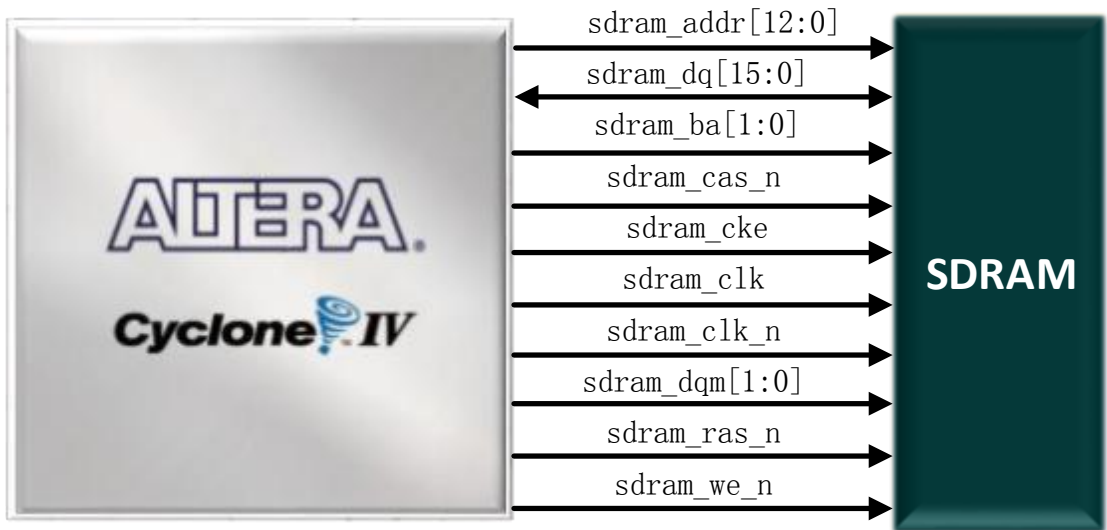


图 2-6 SDRAM 和 Cyclone IV E FPGA 连接示例

SDRAM 管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
-------------	--------------	-------------	--------------

sdram_addr0	PIN_P11	sdram_dqm0	PIN_T8
sdram_addr1	PIN_L10	sdram_dqm1	PIN_R10
sdram_addr2	PIN_P14	sdram_dq0	PIN_R3
sdram_addr3	PIN_T13	sdram_dq1	PIN_T3
sdram_addr4	PIN_N12	sdram_dq2	PIN_R4
sdram_addr5	PIN_M11	sdram_dq3	PIN_T4
sdram_addr6	PIN_L11	sdram_dq4	PIN_R5
sdram_addr7	PIN_T15	sdram_dq5	PIN_T5
sdram_addr8	PIN_R14	sdram_dq6	PIN_R6
sdram_addr9	PIN_T14	sdram_dq7	PIN_R8
sdram_addr10	PIN_M10	sdram_dq8	PIN_R9
sdram_addr11	PIN_R13	sdram_dq9	PIN_K9
sdram_addr12	PIN_N11	sdram_dq10	PIN_L9
sdram_ba0	PIN_T12	sdram_dq11	PIN_K8
sdram_ba1	PIN_M9	sdram_dq12	PIN_L8
sdram_cas_n	PIN_R11	sdram_dq13	PIN_M8
sdram_cke	PIN_T11	sdram_dq14	PIN_N8
sdram_clk	PIN_T10	sdram_dq15	PIN_P9
sdram_cs_n	PIN_R12	sdram_ras_n	PIN_N9
sdram_we_n	PIN_T9		

2.8 IIC 总线（EEPROM+RTC+WM8731）

芯路恒开发板有 4 个设备使用 IIC 总线，分别为 AT24C64 的 EEPROM 存储器、PCF8563 型实时时钟芯片、WM8731 控制接口以及 CMOS 摄像头接口，其中，CMOS 摄像头接口上的 IIC 配置总线单独与 FPGA 连接，不与其他 IIC 器件共享总线，EEPROM 存储器、PCF8563 型实时时钟芯片、WM8731 控制接口共享同一个 IIC 总线。图 3-10 给出了 EEPROM+RTC+WM8731 与 FPGA 的连接关系

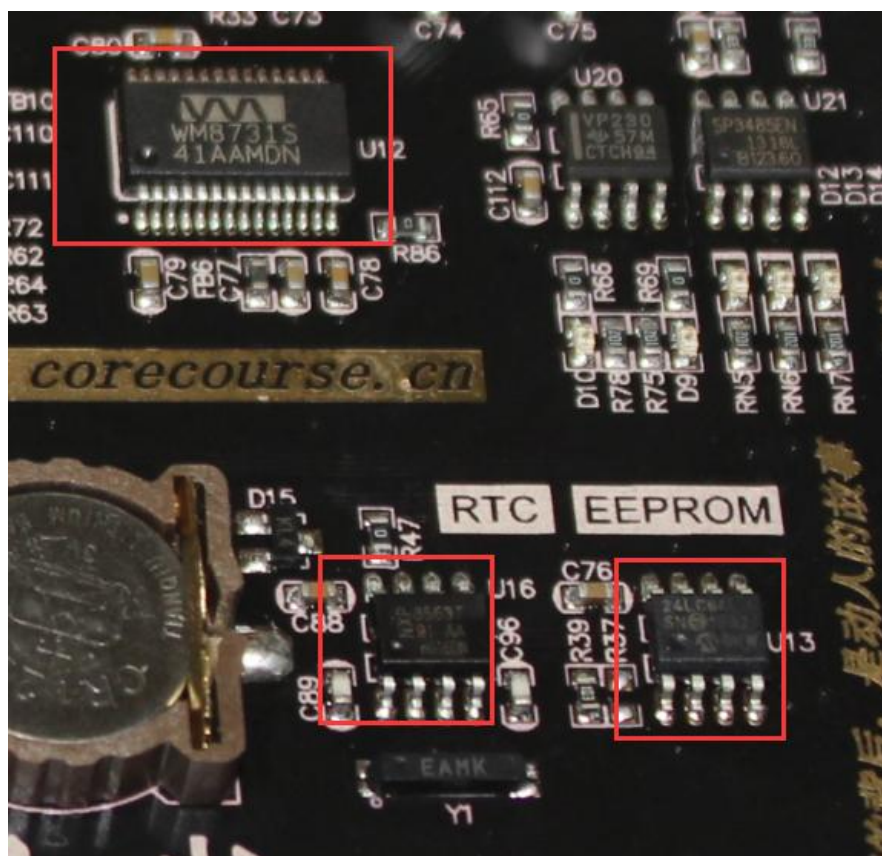
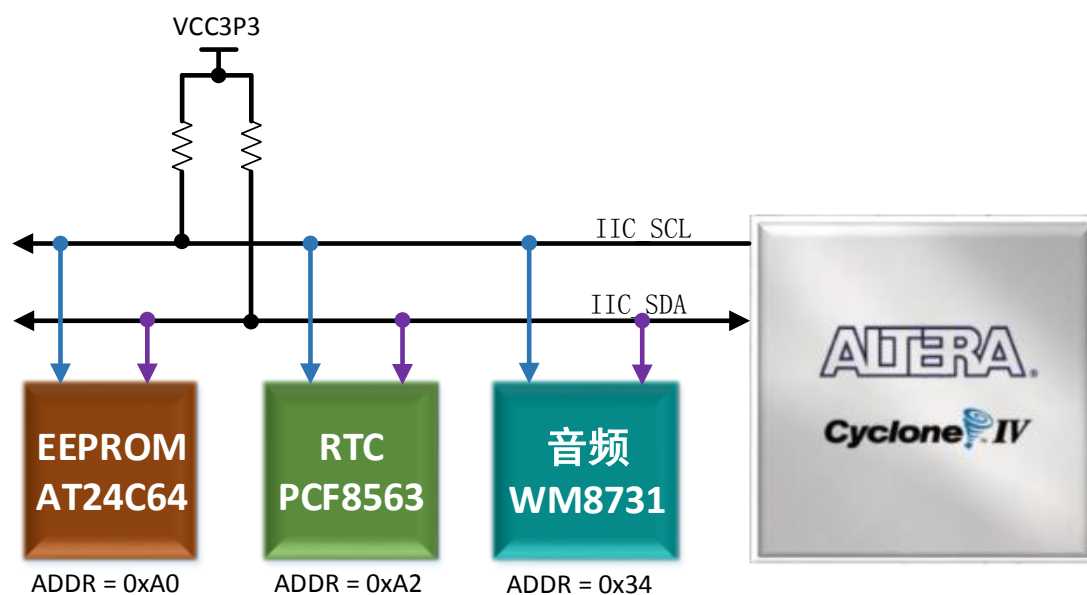


图 2-7 IIC 总线和 Cyclone IV E FPGA 连接示例

IIC 管脚分配表

Signal Name	FPGA pin No.
-------------	--------------

IIC_SCL	PIN_D8
IIC_SDA	PIN_F7

每个 IIC 设备都有一个设备地址，上述三个设备的设备地址如下表所示：

器件名称	器件地址
AT24C64	0xA0
PCF8563	0xA2
WM8731	0x34

2.9 通用显示扩展接口

AC620 开发板上提供了一个兼容性强大的 2*18 通用显示扩展接口，该接口的引脚配置完全兼容正点原子团队推出的 STM32F103 系列开发板的液晶屏接口。用户通过该接口可以连接非常多的显示设备，如正点原子推出的各尺寸 MCU 液晶屏接口（见图 2-8），也可连接我们推出的 5 寸 800*480 RGB 接口的显示屏（代替 VGA 显示器），或者连接我们之前学习套件提供的数码管+8 位 VGA+PS2 三合一模块，还可连接我们推出的 24 位高性能 VGA 输出模块。当然，用户也可以使用该接口作为通用扩展接口连接用户自己的设备。图 2-8 给出了通用显示扩展接口与 FPGA 的连接关系

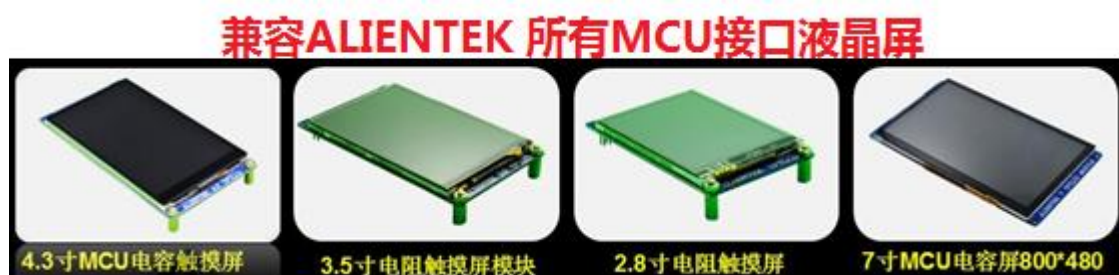


图 2-8 兼容第三方显示屏列表

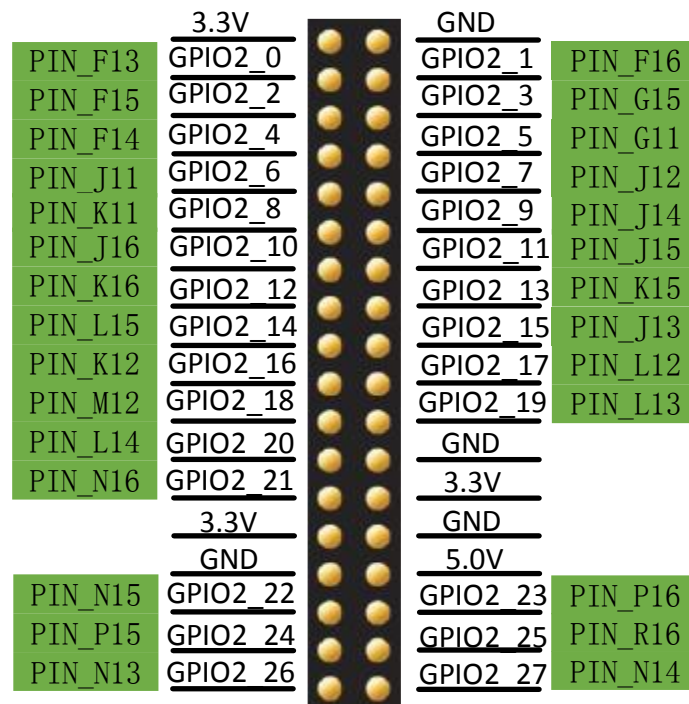


图 2-9 通用显示扩展接口与 FPGA 连接

通用显示扩展接口管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
GPIO2_0	PIN_F13	GPIO2_14	PIN_L15
GPIO2_1	PIN_F16	GPIO2_15	PIN_J13
GPIO2_2	PIN_F15	GPIO2_16	PIN_K12
GPIO2_3	PIN_G15	GPIO2_17	PIN_L12
GPIO2_4	PIN_F14	GPIO2_18	PIN_M12
GPIO2_5	PIN_G11	GPIO2_19	PIN_L13
GPIO2_6	PIN_J11	GPIO2_20	PIN_L14
GPIO2_7	PIN_J12	GPIO2_21	PIN_N16
GPIO2_8	PIN_K11	GPIO2_22	PIN_N15
GPIO2_9	PIN_J14	GPIO2_23	PIN_P16
GPIO2_10	PIN_J16	GPIO2_24	PIN_P15

GPIO2_11	PIN_J15	GPIO2_25	PIN_R16
GPIO2_12	PIN_K16	GPIO2_26	PIN_N13
GPIO2_13	PIN_K15	GPIO2_27	PIN_N14

2.10 摄像头接口

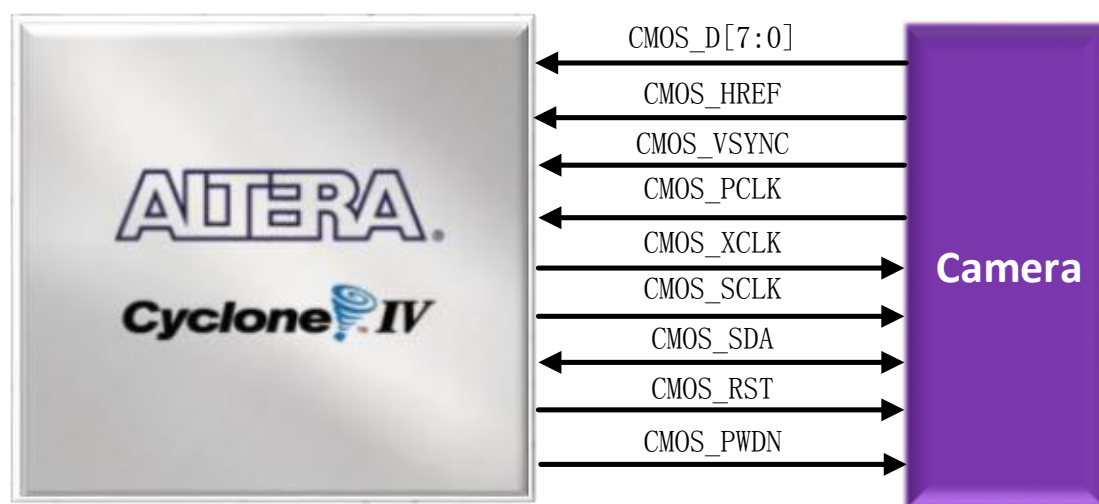
芯路恒开发板支持视频图像项目的开发，板载的 CMOS 接口可以用来连接 OV7670 (30W)、OV7725 (30W)、OV2640 (200W)、OV5640 (500W)、OV5642 (500W) 等常用图像采集摄像头(见图 2-10)。配合芯路恒板载的片外 SDRAM 数据存储器，用户可以进行数字图像的采集处理，也可以很方便地验证图像领域的各种算法。

图 2-11 给出了 CMOS 端子和 FPGA 连接关系。





图 2-10 Camera 常见的兼容模组



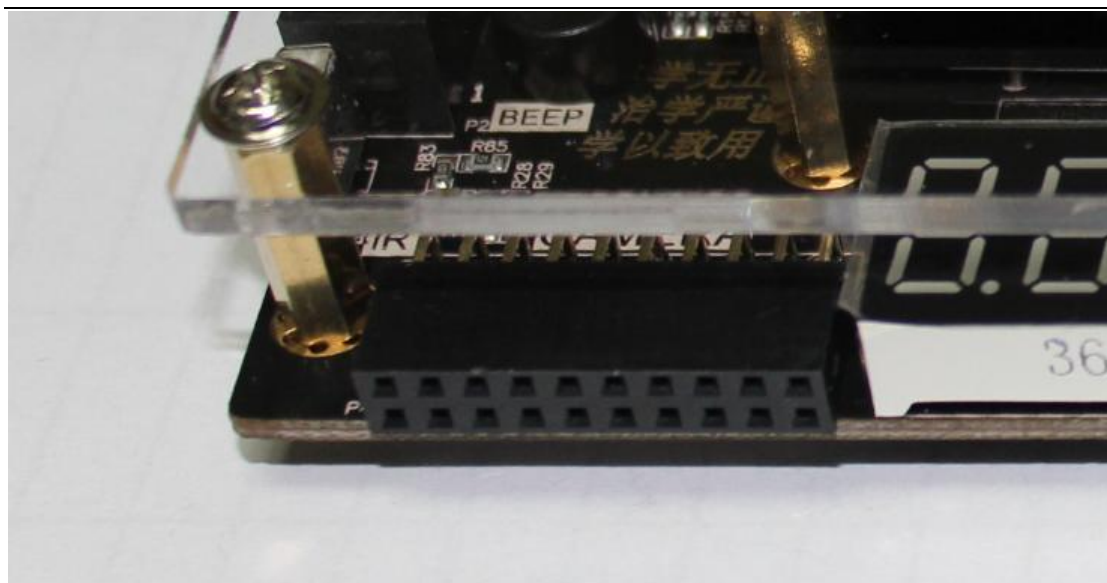


图 2-11 Camera 和 Cyclone IV E FPGA 连接示例

摄像头管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
CMOS_D0	PIN_K10	CMOS_HREF	PIN_N3
CMOS_D1	PIN_P8	CMOS_PCLK	PIN_M2
CMOS_D2	PIN_M7	CMOS_PWDN	PIN_P1
CMOS_D3	PIN_T6	CMOS_SCLK	PIN_T2
CMOS_D4	PIN_N6	CMOS_SDA	PIN_R7
CMOS_D5	PIN_P6	CMOS_RST	PIN_T7
CMOS_D6	PIN_L7	CMOS_VSYNC	PIN_M6
CMOS_D7	PIN_P3	CMOS_XCLK	PIN_N5

2.11 USB to UART

为了方便开发板与 PC 机相连，AC620 上提供了一个 USB 转串口的电路，该 USB 可以直接作为开发板供电端口，也可以作为一个串口电路使用，通过串口（UART），可以很方便的实现芯路恒开发板与计算机之间的通信。图 2-12 给出了该转换电路和 FPGA 连接关系

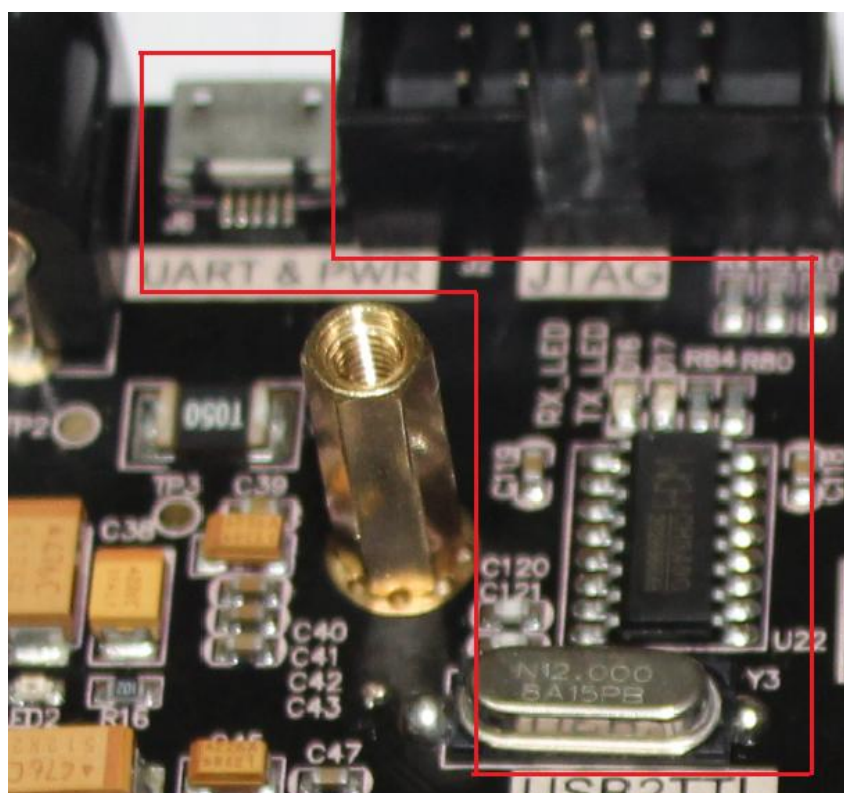
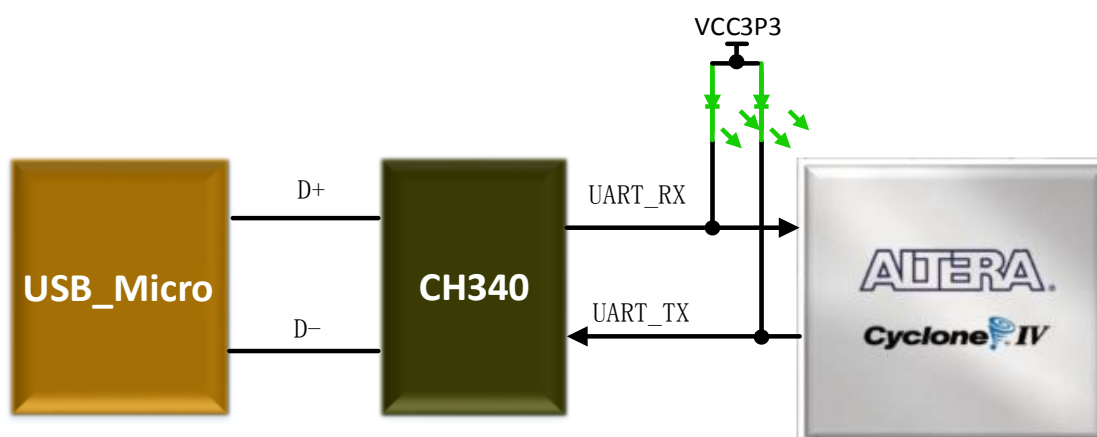


图 2-12 USB、CH340 和 Cyclone IV E FPGA 连接示例

UART 管脚分配表

Signal Name	FPGA pin No.
UART_RX	PIN_B5
UART_TX	PIN_A6

2.12 电源拓展端口

为了方便用户添加 DIY 模块或者其他外设，芯路恒开发板提供了一组电源拓展端子，通过这些端子，其他类型的开发板或外设可以方便的实现和芯路恒开发板的共地或者共电源，以此形成一个大型的系统。图 2-13 展示了三组电源拓展端子的连接属性。

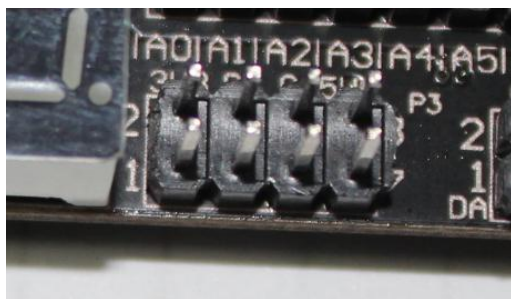
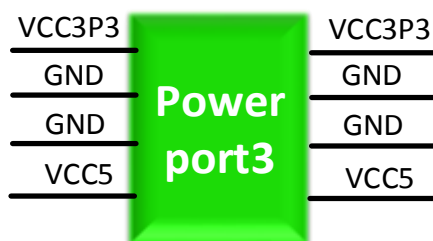


图 2-13 电源拓展端子示例

2.13 无源蜂鸣器驱动电路

芯路恒开发板为用户配备了发声装置—无源蜂鸣器。用户可以根据自己的喜好播放音乐，也可以将蜂鸣器作为报警装置，在某些需要的时刻发出警报声。图 2-14 给出了无源蜂鸣器和 FPGA 的连接关系



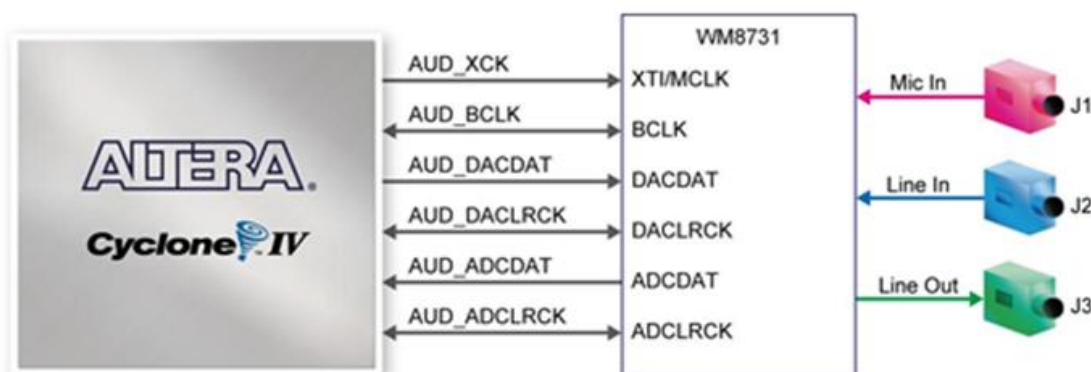
图 2-14 Beep 和 Cyclone IV E FPGA 连接示例

蜂鸣器管脚分配表

Signal Name	FPGA pin No.
BEEP	PIN_L16

2.14 音频编解码电路

AC620 开发板上提供了一个高品质的 24 位音频接口，该接口使用 Wolfson 公司的 WM8731 音频编解码芯片。WM8731 带有麦克风输入，音频输入和音频输出端口，音频采样率从 8KHz 到 96KHz 可设置。该芯片使用 IIS 接口传输音频，使用 IIC 接口接受来自 FPGA 的控制，AC620 上，IIC 总线上总共连接了 EEPROM、RTC 和 WM8731 三个设备，因此当需要同时使用到此三个设备时，请重点关注 IIC 主机的逻辑设计。图 2-15 为 WM8731 与 Cyclone IV E 的连接关系





Signal Name	FPGA pin No.
AUD_ADCLRCK	PIN_B10
AUD_ADCDAT	PIN_A10
AUD_DACLCK	PIN_A9
AUD_DACDAT	PIN_F8
AUD_XCK	PIN_A7
AUD_BCLK	PIN_B8
I2C_SCLK	PIN_D8
I2C_SDAT	PIN_F7

AC620 开发板通过一片 Realtek 的 RTL8201 以太网 PHY 提供对以太网连接的支持，RTL8201 是一片 10M/100M 自适应以太网收发器，提供 MII/SNI 接口的 MAC 连接。在 Cyclone IV E 器件中，调用三速以太网 IP 核（MAC），实现完整的以太网连接。或者用户使用 Verilog 编写的自定义用户逻辑来实现以太网连接。图 2-16 为 RTL8201 与 Cyclone IV E 的连接关系

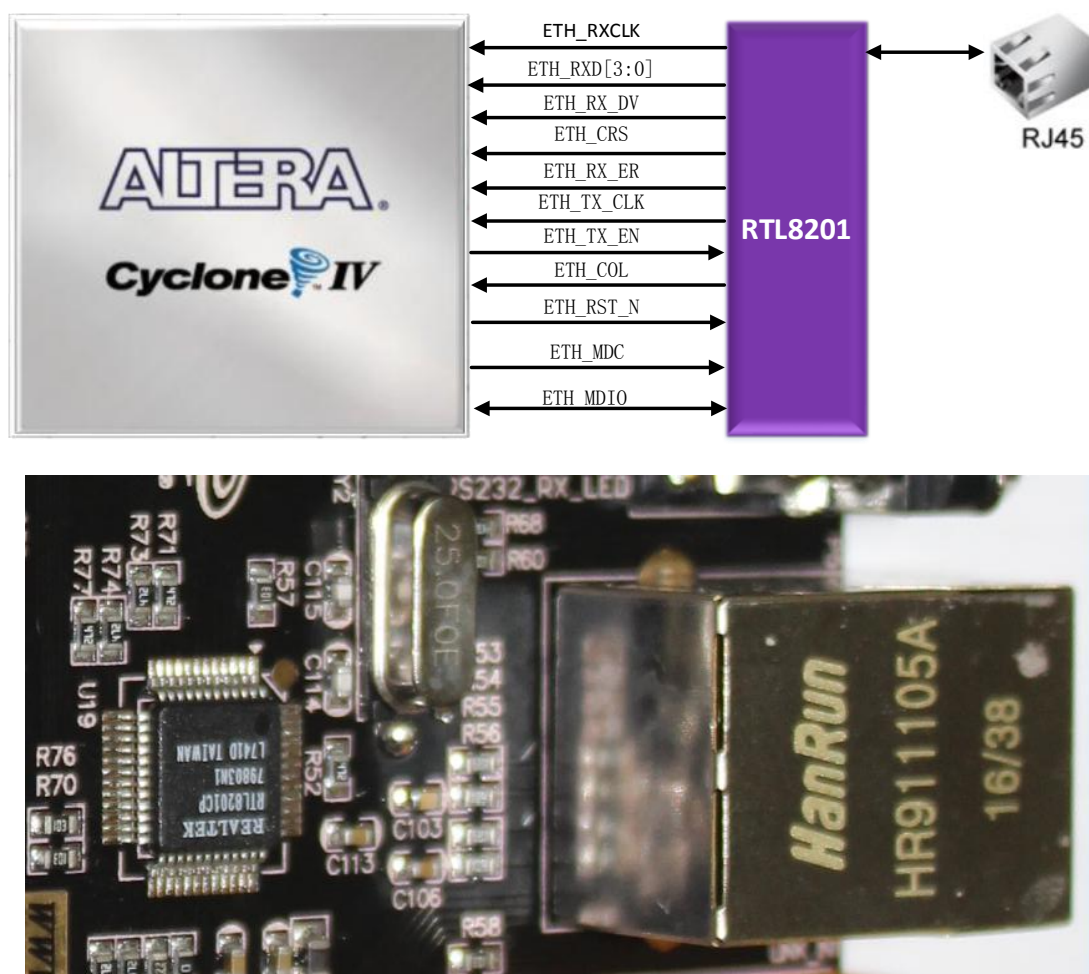


图 2-16 为 RTL8201 与 Cyclone IV E 的连接关系

以太网收发器管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
ETH0_TX_EN	PIN_C14	ETH0_RX_DV	PIN_A15
ETH0_TXCLK	PIN_D11	ETH0_RX_ER	PIN_F11
ETH0_TXD0	PIN_C11	ETH0_RXCLK	PIN_A13
ETH0_TXD1	PIN_B12	ETH0_RXD0	PIN_E10
ETH0_TXD2	PIN_A12	ETH0_RXD1	PIN_B14
ETH0_TXD3	PIN_B11	ETH0_RXD2	PIN_A14
ETH0_MDC	PIN_E11	ETH0_RXD3	PIN_B13
ETH0_MDIO	PIN_D12	ETH0_COL	PIN_A11
ETH0_RST_N	PIN_D14	ETH0_CRD	PIN_F10

2.16 RS232 接口

AC620 开发板上, 提供了一个 RS232 接口, 用于实现和带标准 RS232 接口的设备进行连接, 以实现相应的数据传输和控制功能。RS232 接口使用标准的 DB9 公口连接器, 和 Cyclone

IV E 之间使用 SP3232 电平转换芯片，实现 TTL 电平和 RS232 电平之间的转换。图 2-17 为 SP3232 与 Cyclone IV E 的连接关系

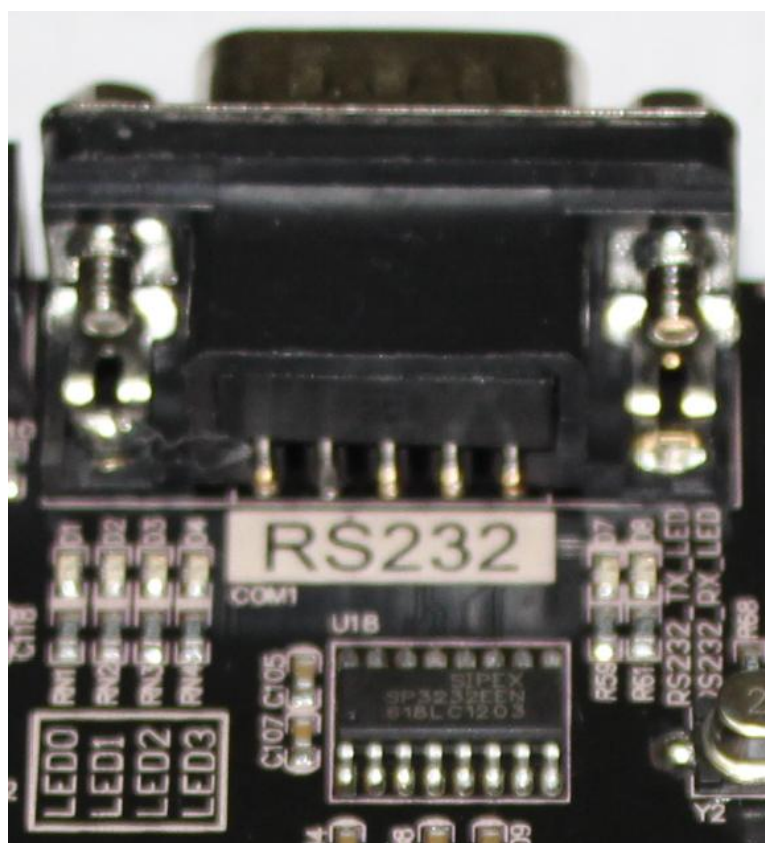
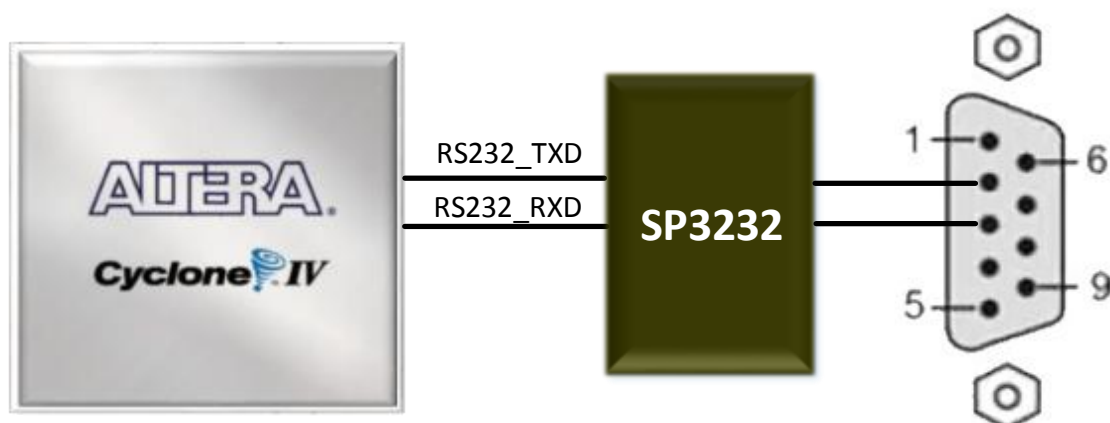


图 2-17 SP3232 与 Cyclone IV E 的连接关系

RS232 管脚分配表

Signal Name	FPGA pin No.
RS232_TXD	PIN_A8
RS232_RXD	PIN_B9

2.17 RS485 接口

AC620 开发板上，提供了一个 RS485 接口，用于实现和常见的带 RS485 接口的工业设备进行连接，以实现相应的数据传输和控制功能。RS485 接口配合上层 MODBUS 协议，广泛应用于各自工业设备接口。RS485 接口使用 XH2.54 防呆连接器，和 Cyclone IV E 之间使用 SP3485 收发器芯片进行连接，实现 TTL 电平和 RS485 电平之间的转换。图 2-18 为 SP3485 与 Cyclone IV E 的连接关系

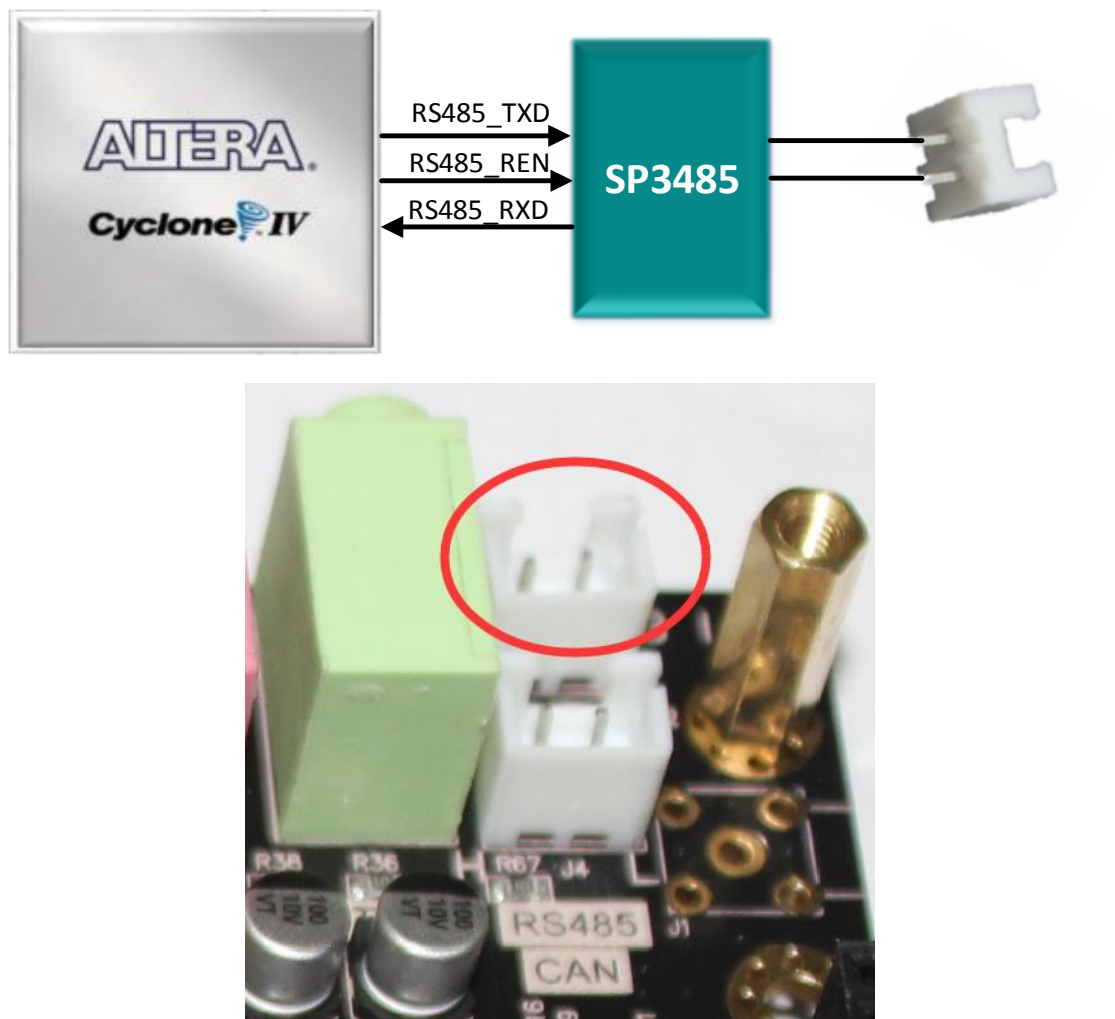


图 2-18 SP3485 与 Cyclone IV E 的连接关系

RS485 管脚分配表

Signal Name	FPGA pin No.
RS485_TXD	PIN_C16
RS485_REN	PIN_D16
RS485_RXD	PIN_D15

2.18 CAN 接口

AC620 开发板上，提供了一个 CAN 接口，用于实现和常见的带 CAN 接口的工业设备进行连接，以实现相应的数据传输和控制功能。CAN 总线以其高度的可靠性和便捷的组网特性，广泛应用于汽车电子系统中。CAN 接口使用 XH2.54 防呆连接器，和 Cyclone IV E 之间使用 VP230 CAN 收发器芯片进行连接，实现 TTL 电平和 CAN 总线电平之间的转换。图 2-19 为 VP230 与 Cyclone IV E 的连接关系

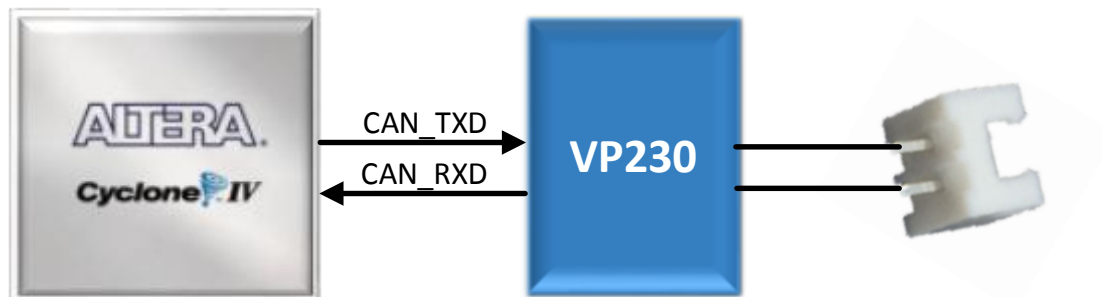


图 2-19 VP230 与 Cyclone IV E 的连接关系

CAN 管脚分配表

Signal Name	FPGA pin No.
CAN_TXD	PIN_B16
CAN_RXD	PIN_C15

2.19 12 位 8 通道 ADC

AC620 开发板上使用一片 TI 公司生产的 ADC128S052 型 ADC 芯片实现模拟和数字信号之间的转换，该芯片提供一个 12 位采样精度的 ADC 和 8 个模拟输入通道，转换速率最高 200Ksps，模拟输入信号电压范围为 $0 \sim V_A$ (模拟供电电压)，使用该电路，用户可以非常方便的实现多路模拟电源的高精度测量。ADC128S052 对外提供一个标准的 SPI 数字接口，将该数字接口连接到 Cyclone IV E 上，可以实现通过 Cyclone IV E 控制 ADC128S052 实现模拟电源到数字信号的转换。图 2-20 为 ADC128S052 与 Cyclone IV E 的连接关系

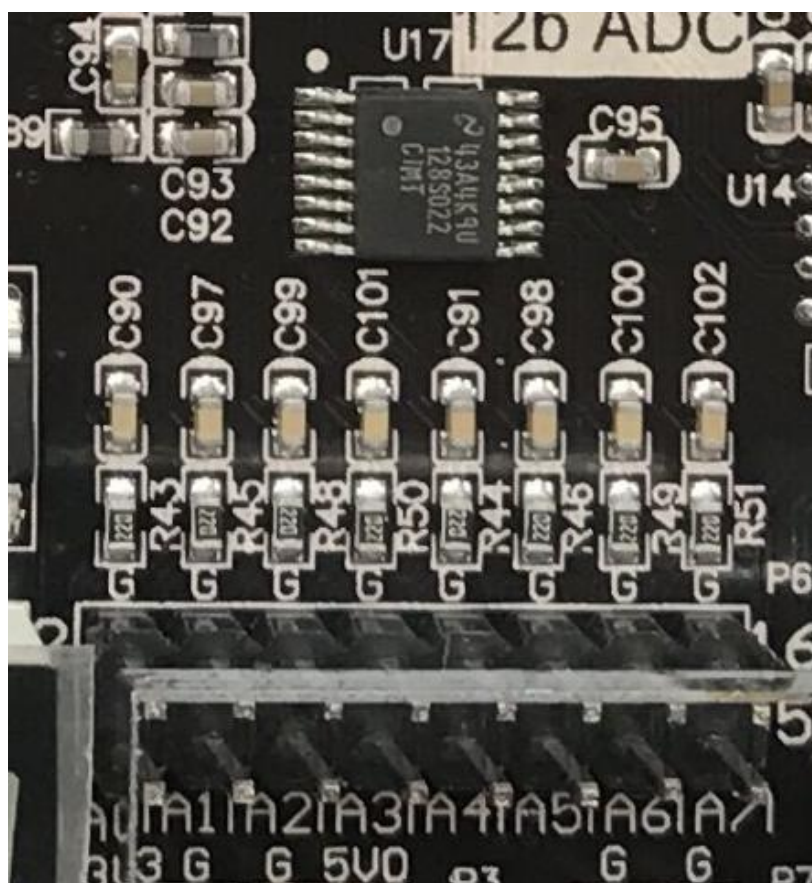
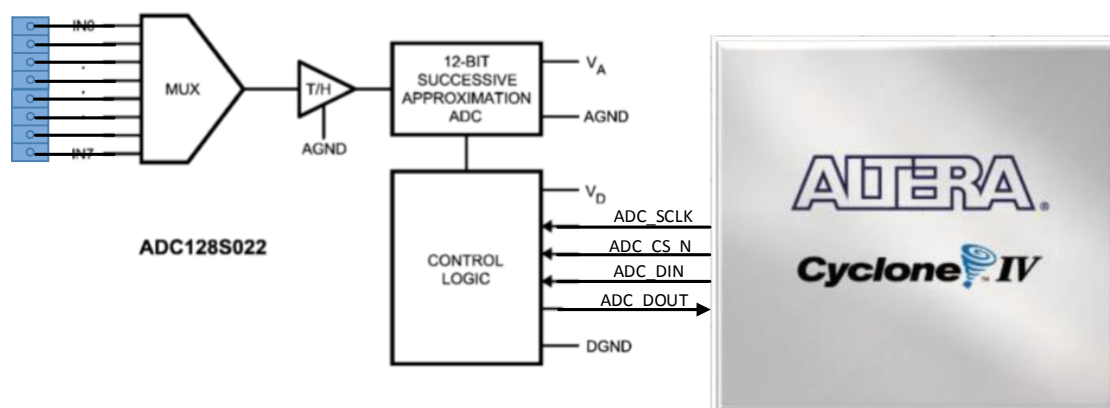


图 2-20 ADC128S052 与 Cyclone IV E 的连接关系

ADC 管脚分配表

Signal Name	FPGA pin No.
ADC_CS_N	PIN_D9
ADC_DIN	PIN_C9
ADC_SCLK	PIN_B7
ADC_DOUT	PIN_E9

2.20 12 位 2 通道 DAC

AC620 开发板上使用一片 TI 公司生产的 TLV5618 型 DAC 芯片实现数字信号到模拟信号之间的转换。TLV5618 提供两个 12 位采样精度的 DAC 输出通道，转换速率最短为 1us，模拟输出信号电压范围为 0~2Vref，AC620 开发板上使用一颗 LM4040-2.0 精密参考源芯片，为 TLV5618 提供 2.048V 的精密参考源，因此整个 DAC 电路的输出电压范围为 0V~4.096V。使用该电路，用户可以非常方便的实现多路模拟信号输出，进行数控系统的设计。ADC128S052 对外提供一个标准的 SPI 数字接口，将该数字接口连接到 Cyclone IV E 上，可以实现通过 Cyclone IV E 传输数字信号给 TLV5618，最终得到对应的模拟电压信号的功能。图 2-21 为 TLV5618 与 Cyclone IV E 的连接关系

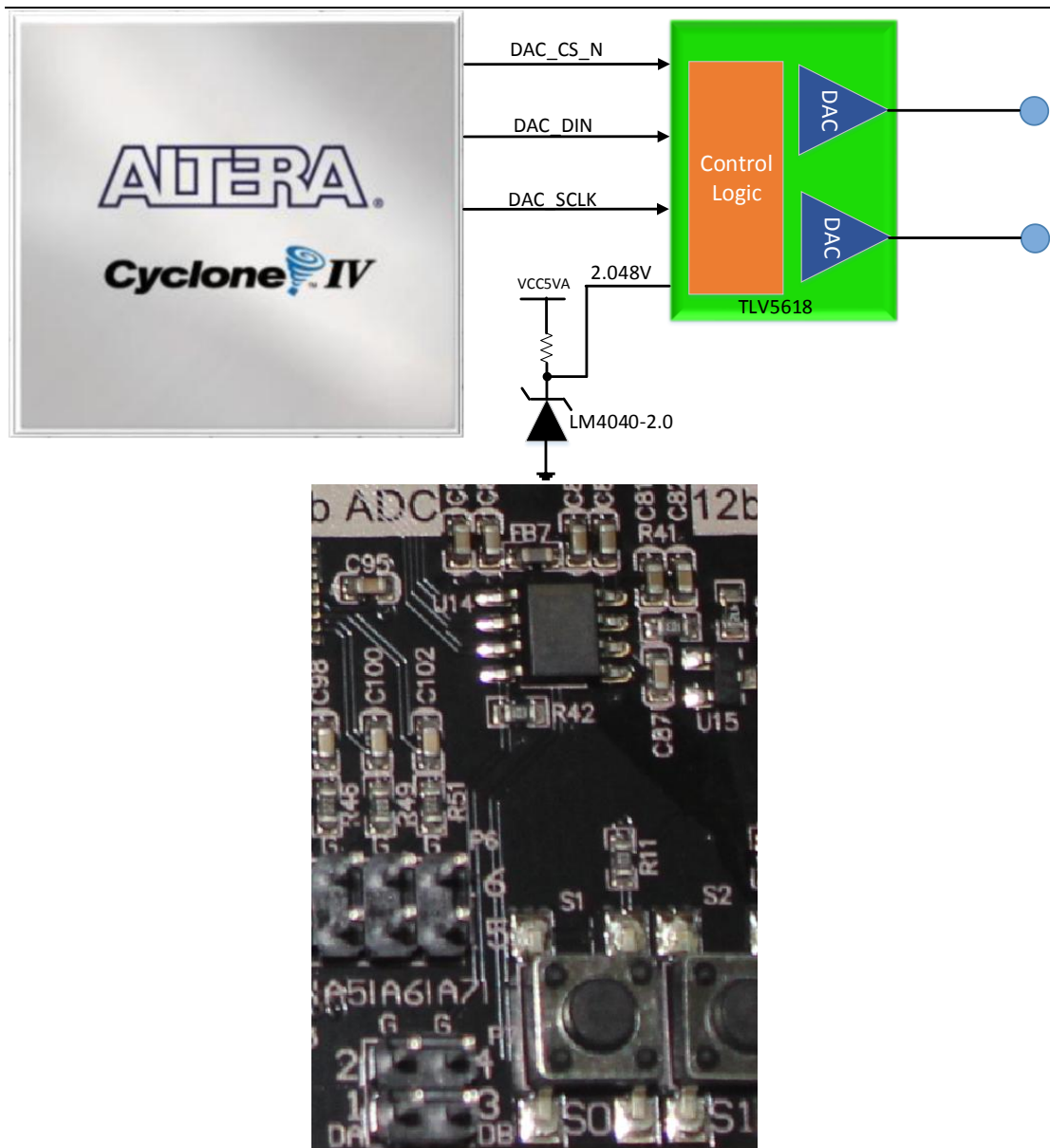


图 2-21 TLV5618 与 Cyclone IV E 的连接关系

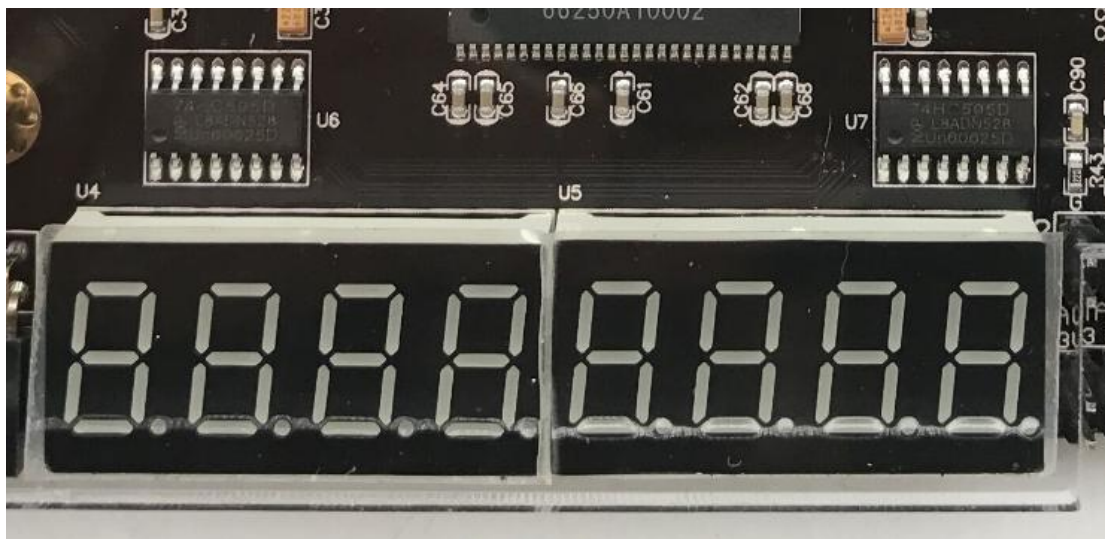
DAC 管脚分配表

Signal Name	FPGA pin No.
DAC_CS_N	PIN_E8
DAC_DIN	PIN_C8
DAC_SCLK	PIN_E7

2.21 7 段 8 位数码管

为了提供一种最简单直观的显示，AC620 开发板上提供了一个 7 段 8 位共阳极数码管电路，为了减少对 FPGA 引脚资源的占用，AC620 开发板上的数码管采用串行移位寄存器芯片

The diagram illustrates the hardware connection for the 74HC595 shift register. On the left, an Altera Cyclone IV FPGA is shown. Three signals are connected from the FPGA to the first 74HC595 chip: SEG7 DIO, SEG7 RCLK, and SEG7 SCLK. The first 74HC595 chip has its QH output connected to the clock input (SCLK) of the second 74HC595 chip. The HEX_SEL[0:7] output of the first chip is connected to the data input (DIO) of the second chip. The HEX[A:G] output of the second chip is connected to the RCLK input of the first chip. The HEX_DP output of the second chip is connected to the SCLK input of the first chip. The 74HC595 chips are connected to a 7-segment display, which shows the hexadecimal value 0x00.



74HC595 数码管驱动电路管脚分配表

Signal Name	FPGA pin No.
SEG7_SCLK	PIN_F6
SEG7_DIO	PIN_E6
SEG7_RCLK	PIN_B4