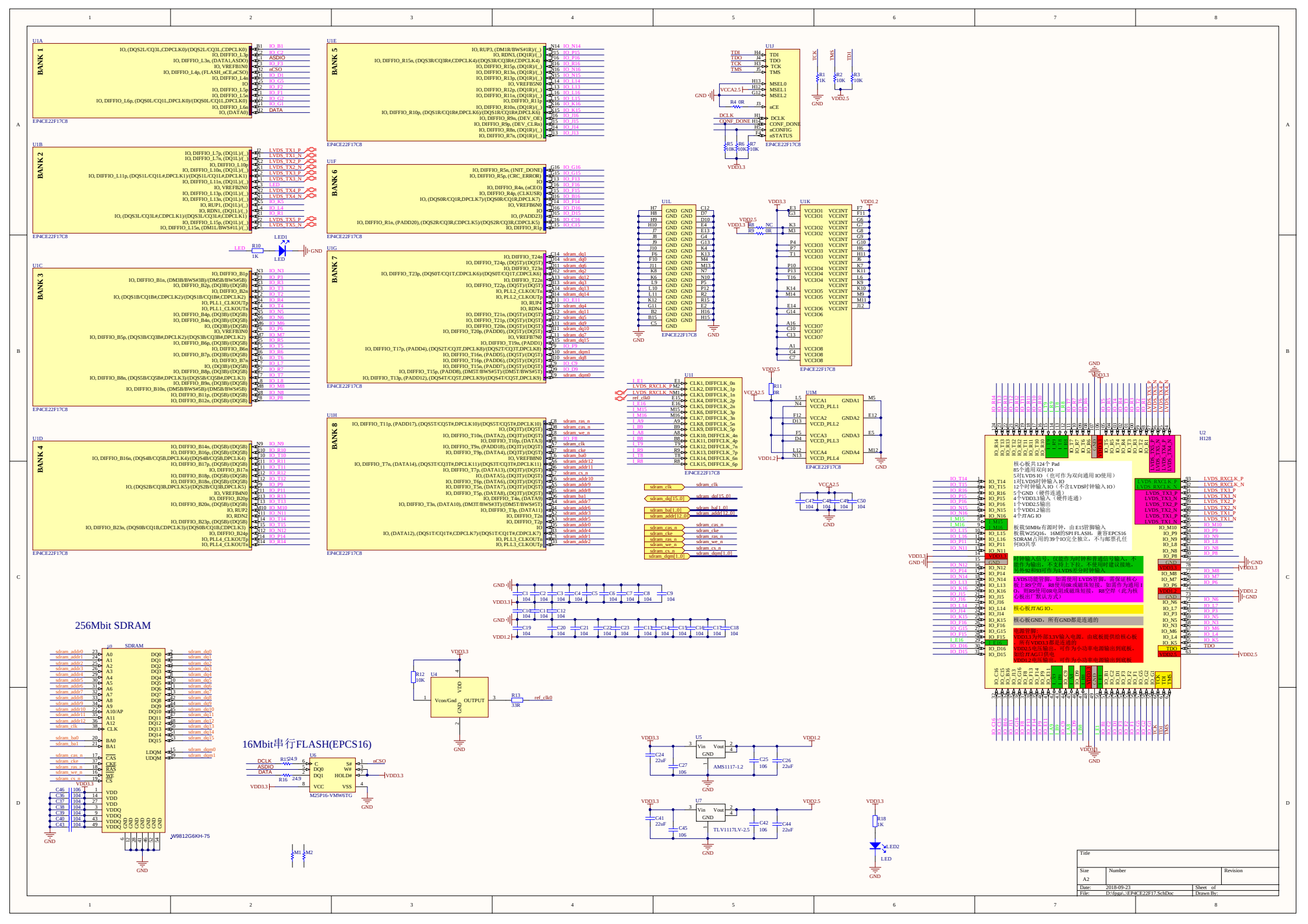

BANK 1
BANK 2
BANK 3
BANK 4
BANK 5
BANK 6
BANK 7
BANK 8
EP4CE22F17C8
256Mbit SDRAM
SDRAM
W9812G6KH-75
16Mbit串行FLASH(EPCS16)
M25P16-VMW6TG
AMS1117-1.2
TLV1117LV-2.5
核心板共124个 Pad
85个通用双向IO
5对LVDS IO（也可作为双向通用IO使用）
1对LVDS时钟输入IO
12个时钟输入IO（不含LVDS时钟输入IO）
5个GND（硬件连通）
4个VDD3.3输入（硬件连通）
1个VDD2.5输出
1个VDD1.2输出
4个JTAG IO
板载50MHz有源时钟，由E15管脚输入
板载W25Q16，16M的SPI FLASH，兼容EPCS16
SDRAM占用的39个IO完全独立，不与邮票孔任何IO共享
时钟输入信号，仅能作为时钟和普通信号输入，不能作为输出，不支持上下拉，不使用时建议接地，另外92和93可作为LVDS差分时钟输入
LVDS功能管脚，如需使用LVDS管脚，需保证核心板上R9空焊，R8使用0R或磁珠短接，如需作为通用IO，则R9使用0R电阻或磁珠短接，R8空焊（此为核心板出厂默认方式）
核心板JTAG IO。
核心板GND，所有GND都是连通的
电源管脚：
VDD3.3为外部3.3V输入电源，由底板提供给核心板，所有VDD3.3都是连通的
VDD2.5电压输出，可作为小功率电源输出到底板，如给JTAG口供电
VDD1.2电压输出，可作为小功率电源输出到底板
Title
Size
A2
Number
Revision
Date: 2018-09-23
File: D:\fpga\..\EP4CE22F17.SchDoc
Sheet of
Drawn By: