1 千兆以太网传输 AD7606 数据采集

工程源码	|-ACZ702 开发板 |-- acz702_ad7606_udp_ddr3
相关视频课程	无
说明	如果您手头的硬件不支持本实验，您可以学习本实验的理论内容，也可以跳过本节内容，继续后续内容的学习。

章节导读

本节实验结合 ADI 公司的 16 位 8 通道并行采样 ADC 芯片 AD7606，并利用 ACZ702 开发板上一片 Realtek 的 RTL8211 以太网收发器，实现了对 AD7606 型 8 通道 16 位 ADC 的数据转换控制并输出到电脑。FPGA 采用 RGMII 接口与以太网 PHY 芯片通信，接收以太网数据包，并提取出以太网数据包中 UDP 协议报文的数据内容，然后将数据转化成控制命令，最终实现对 AD7606 的采样频率、数据采样个数以及采样通道的合理配置，采集完成后的数据存放至 DDR3 中，然后通过网口以 UDP 协议传输到电脑。用户可以在电脑上通过网口调试工具进行指令的下发，并对采样到的数据进行导出，然后使用 MATLAB 软件进行进一步的数据处理分析。

1.1 系统整体设计

在整个设计中，首先通过电脑上的网络调试助手，将命令帧进行发送，然后通过 ACZ702 开发板上的以太网芯片接收，随后将接收到的数据转换成命令，最终实现对 AD7606 采样频率、数据采样个数以及采样通道的配置。配置完成之后，AD7606 开始采集数据，将 AD7606 采集的数据存储至 DDR3 中，最后数据通过网口传输至电脑，电脑端将采集到的数据通过 MATLAB 进行进一步的分析，系统的整体设计框图如下图 1-1 所示。

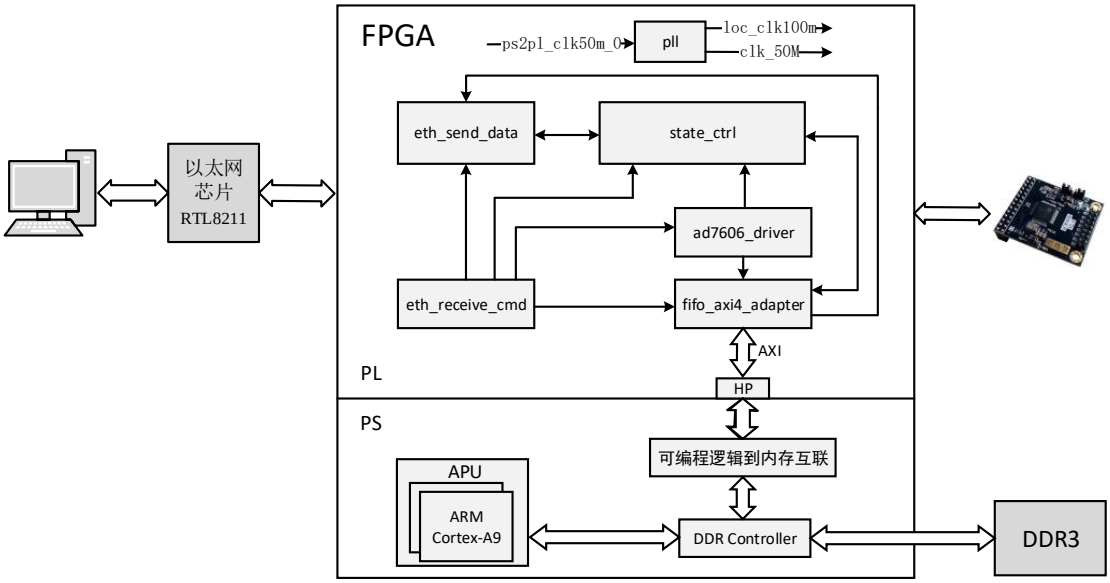

图 1-1 千兆以太网传输 AD7606 数据采集整体设计框图

本章实验仅针对于上述图中的 PL 部分的代码设计进行讲解，PS 部分的内容请参看：

【ACZ702】ZYNQ PL 读写 PS DDR3 双端口读写控制器设计

http://www.corecourse.cn/forum.php?mod=viewthread&tid=29312

PL 部分的模块说明如下：

1. pll 模块：锁相环模块，输入时钟 50M，由 PS 输出给 PL；输出 100M 的时钟给到 DDR3 控制器使用；输出 50M 的时钟给其它模块使用。
2. eth_receive_cmd 模块：以太网接收命令模块，对以太网接收到的数据进行分析，将接收的数据转换成相应的控制数据并输出到对应的模块。
3. ad7606_driver 模块：AD7606 控制器驱动模块，该控制器实现了对 AD7606 型 8 通道 16 位 ADC 的数据转换控制并输出。使用该控制器时，用户无需关心 AD7606 的具体控制时序，一切都在控制器内部完成，用户只需要像使用并行 ADC 一样取用数据即可。
4. state_ctrl 模块：ADC 采集数据 DDR3 缓存以太网发送状态控制模块，协调各个模块的信号控制，程序状态的总控制模块。
5. fifo_axi4_adapter 模块：fifo 接口到 AXI4 接口的转换模块(含 2 个 FIFO)。

1.2 ACM7606 模块简介

ACM7606 数据采集模块使用的是 ADI 公司的 16 位 8 通道同步采样模数转

换器 AD7606，模块图如下图 1-2 所示。

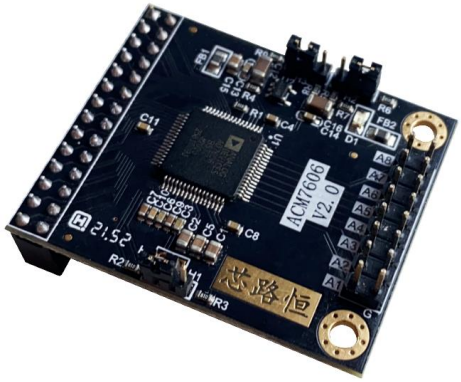

图 1-2 AD7606 模块图

AD7606 是 16 位 8 通道同步采样模数数据采集系统（DAS）。内置模拟输入箝位保护、二阶抗混叠滤波器、跟踪保持放大器、16 位电荷再分配逐次逼近型模数转换器（ADC）、灵活的数字滤波器、2.5V 基准电压源、基准电压缓冲以及高速串行和并行接口。AD7606 采用 5V 单电源供电，可以处理±10V 和±5V 真双极性输入信号。同时所有通道均能以高达 200kSPS 的吞吐速率采样。输入箝位保护电路可以耐受最高达±16.5V 的电压。无论以何种采样频率工作，其模拟输入阻抗均为 1MΩ。采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。AD7606 抗混叠滤波器的 3dB 截止频率为 22kHz；当采样频率为 200Ksps 时，它具有 40dB 的抗混叠抑制特性。

芯片对外提供 SPI 和并行的数字接口。当 AD7606 的 8 个通道全部以 200KPS 的最高速率进行转换时，数据输出速率达到 25.6Mbps，需要使用高性能 MCU 的 SPI 外设才能勉强该速率要求。因此可以使用 16 位并口来进行数据的传输，提高数据传输速率。当 AD7606 应用在 FPGA 系统中的时候，使用 SPI 串行接口和并行接口都能够轻松的满足数据传输的速率需求。当在 FPGA 系统上应用 AD7606 时，可以通过在 FPGA 上设计 AD7606 控制转换逻辑，将转换结果数据直接存储到片上的存储器如 FIFO 或者 RAM 中，也可以存储到 FPGA 片外的存储器如 SRAM 或 SDRAM 中，然后由其他主控芯片如 MCU 或 DSP 读出，或者直接在 FPGA 内部进行数据的运算和处理。当然，由于 FPGA 片上可以设计软核控制器，也可以直接使用软核控制器完成数据的处理和传输工作。

1.2.1 功能框图

AD7606 的功能框图如下图 1-3 所示：

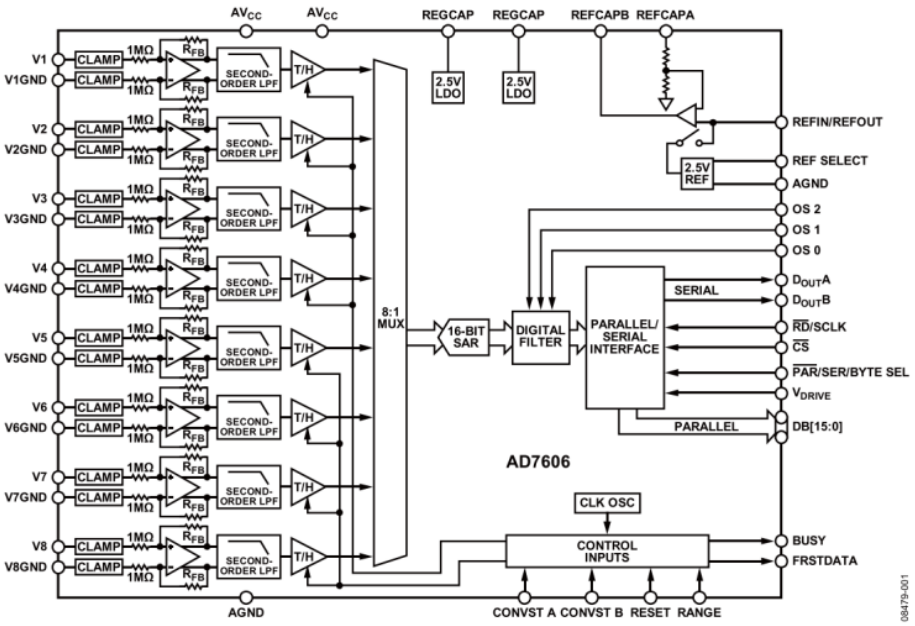

图 1-3 AD7606 功能框图

如上图所示，采集到的数据在经过稳压滤波和采样保持后通过 8 选 1 多路选择器被分别送入到 16 位逐次逼近型 ADC 芯片 AD7606 中进行转换，最后经由数字滤波后输出，当数据以串行模式输出时，数据会从 DoutA、DoutB 中输出，如果数据是以并行方式输出，那么数据将从 DB[15:0]中输出。

1.2.2 模拟输入

AD7606 可处理真双极性、单端输入电压。RANGE 引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。AD7606 的模拟输入阻抗为 1MΩ。这是固定输入阻抗，不随 AD7606 采样频率而变化。AD7606 的输入结构如下图 1-4 所示，其各路模拟输入均含有箝位保护电路。虽然采用 5V 单电源供电，但此模拟输入箝位保护允许输入过压达到±16.5V。

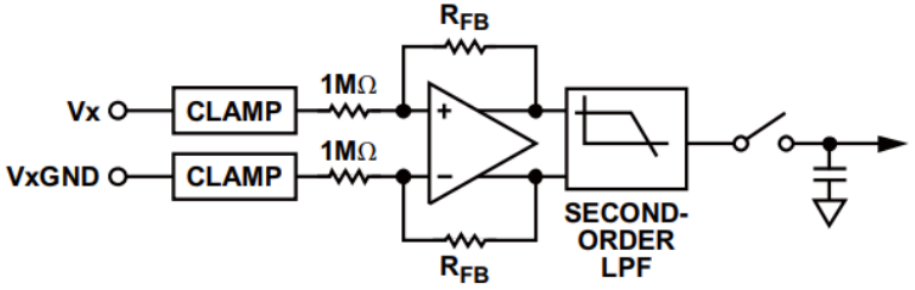

图 1-4 AD7606 模拟输入结构

1.2.3 数字滤波器与过采样

AD7606 内置一个可选的数字一阶 sinc 滤波器，在使用较低吞吐率或需要更高信噪比或更宽动态范围的应用中，应使用该滤波器。数字滤波器的过采样引脚 OS[2:0]控制（具体参考 AD7606 数据手册）。OS2 为 MSB 控制位。OS0 为 LSB 控制位，下表 1-1 提供了用来选择不同过采样倍率的过采样位解码。

表 1-1 不同过采样倍率的过采样位解码

OS[2:0]	过采样倍率	5V 范围 SNR(dB)	10V 范围 SNR(dB)	5V 范围 3dB 带宽(kHz)	10V 范围 3dB 带宽(kHz)	最大吞吐量 CONVST 频率(kHz)
000	No OS	89	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	无效					

OS 引脚在 BUSY 下降沿锁存，从而设置下一个转换的过采样倍率，如下图 1-5 所示，如果 OS 引脚选择过采样倍率 8，则下一个 CONVST x 上升沿采集各通道的第一个采样点，一个内部产生的采样信号采集所有通道的其余 7 个样点，然后对这些样点求平均值，以改进 SNR 性能。开启过采样时，CONVST A 和 CONVST B 引脚必须连在一起驱动，转换过程中 BUSY 保持高电平的时间会延长。BUSY 保持高电平的实际时间取决于所选的过采样倍率，过采样倍率越高，则 BUSY 保持高电平的时间或总转换时间越长。

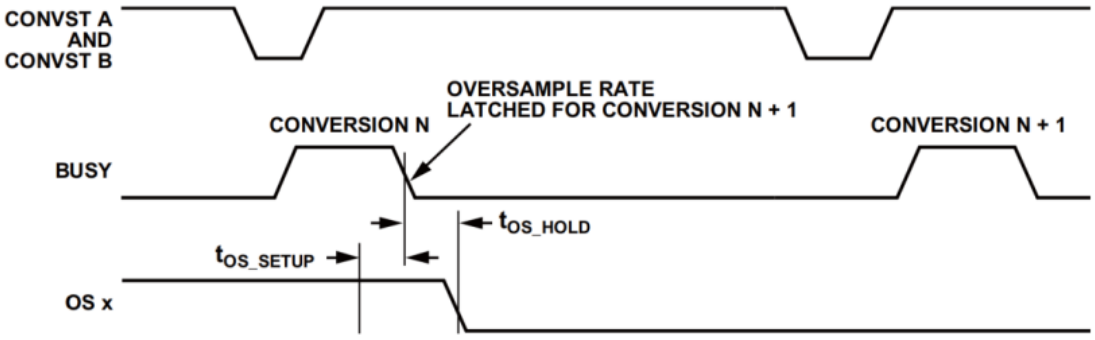

图 1-5 OS 引脚在 BUSY 下降沿锁存时序示意图

1.2.4 工作时序

AD7606 根据采样方式不同具有多种驱动时序，本次实验采用的为并行输出（即 8 个 16 位的数据通过 16 根并行线一个接着一个输出），转换后读取模式。

其时序图由两部分组成：完成 AD 转换和读取 AD 数据。其中的时间可以参考 ADI 公司的手册。当 CONVST A 和 CONVST B 通道都变为上升沿时，BUSY 信号转变为高电平，代表转换开始，直到 BUSY 的下降沿到来，代表数据已经转换完成，正在锁存至输出数据寄存器中，当$\overline{CS}$变为下降沿时，数据将会被输送到总线上。并行工作模式下，当$\overline{CS}$和$\overline{RD}$都为低电平时，会使能总线，将转换结果输出到并行数据总线上，当 V1 转换结果开始输出之后，FRSTDATA 会随后转变为高电平，表示输出数据总线可以提供 V1 的结果。并行模式下，每次数据的输出为 16 位，对应一个通道。

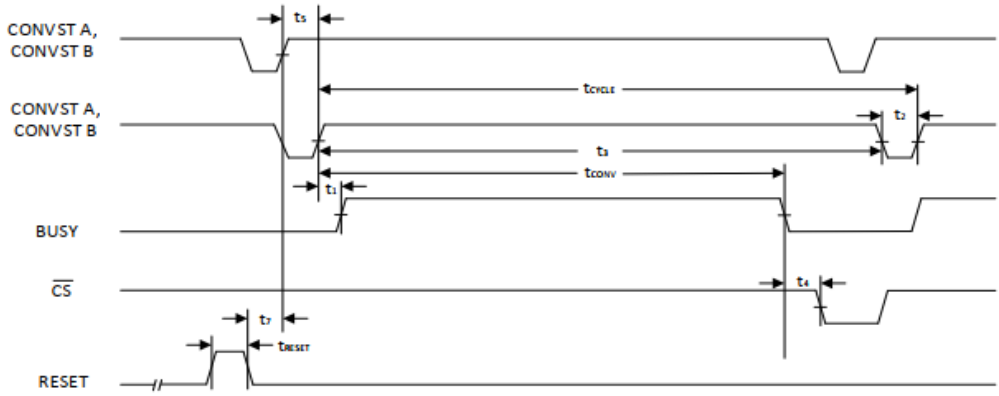

图 1-6 CONVST 时序—转换之后读取

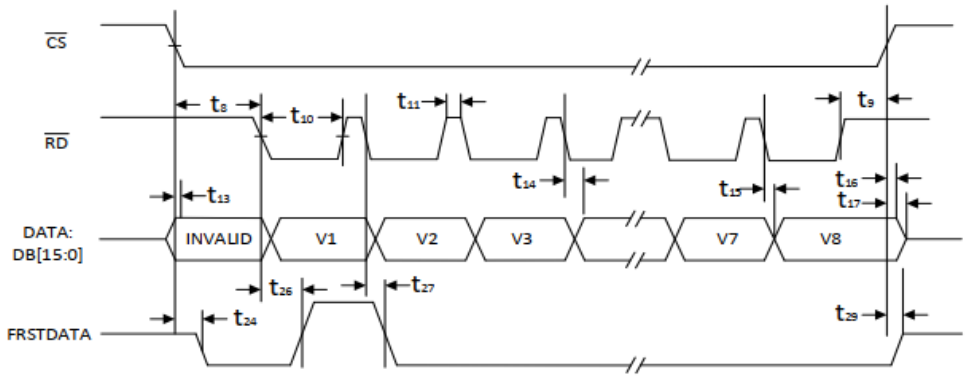

图 1-7 并行模式，独立的$\overline{CS}$和$\overline{RD}$脉冲

1.3 模块设计

1.3.1 eth_receive_cmd 模块

eth_receive_cmd 模块将以太网接收到的数据进行解析，得到控制命令，最终控制 ADC 采样数量、采样速率、采样通道等，该模块的基本结构框图如下图 1-8：

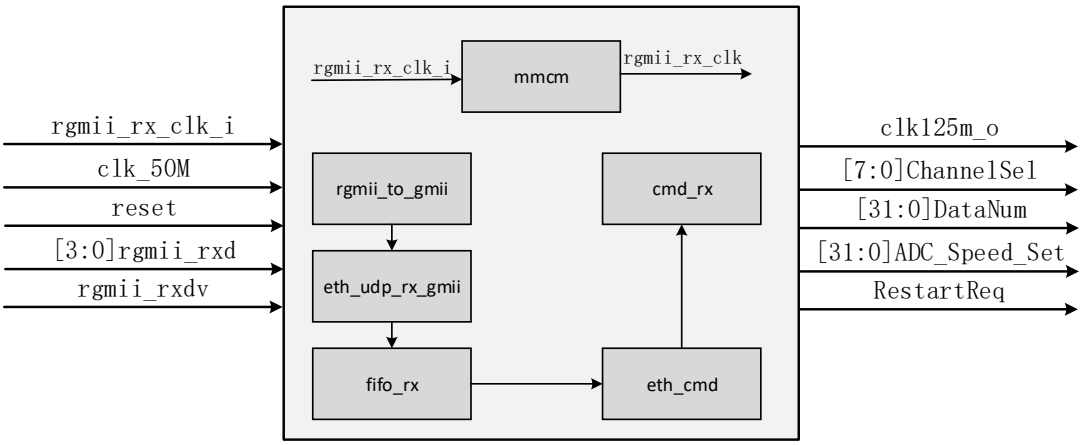

图 1-8 eth_receive_cmd 模块基本结构框图

上述图中的信号说明如下表 1-2 所示。

表 1-2 eth_receive_cmd 模块信号说明表

信号名称	I/O	信号意义
rgmii_rx_clk_i	I	以太网芯片接收时钟，125M
clk_50M	I	50M 时钟
reset	I	模块复位信号，低电平有效
rgmii_rxd[3:0]	I	以太网接收数据信号
rgmii_rxdv	I	接收数据有效信号
clk125m_o	O	输出 125M 的时钟信号
ChannelSel [7:0]	O	采样通道命令信号
DataNum [31:0]	O	采样数量命令信号
ADC_Speed_Set[31:0]	O	采样速率命令信号
RestartReq	O	启动采样命令信号

以太网相关部分本章实验将不再进行说明，下面将对本次实验需要设计的模块和需要添加的 IP 进行说明。

1.3.1.1 mmcm 模块

锁相环模块，将 rgmii 接口时钟信号 rgmii_rx_clk_i 偏移 90° 得到 rgmii_rx_clk 时钟信号，这样做是为了在时钟信号的上升沿/下降沿取数据时，取得数据刚好是数据信号 rgmii_rxd 的正中间，使得采样的数据处于最稳定的状态，如下图 1-9 所示。

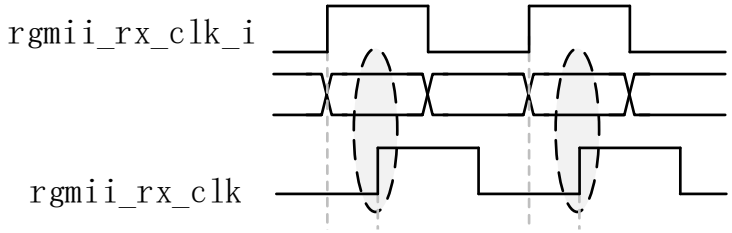

图 1-9 采集数据波形图

锁相环 IP 配置界面如下图 1-10 所示。

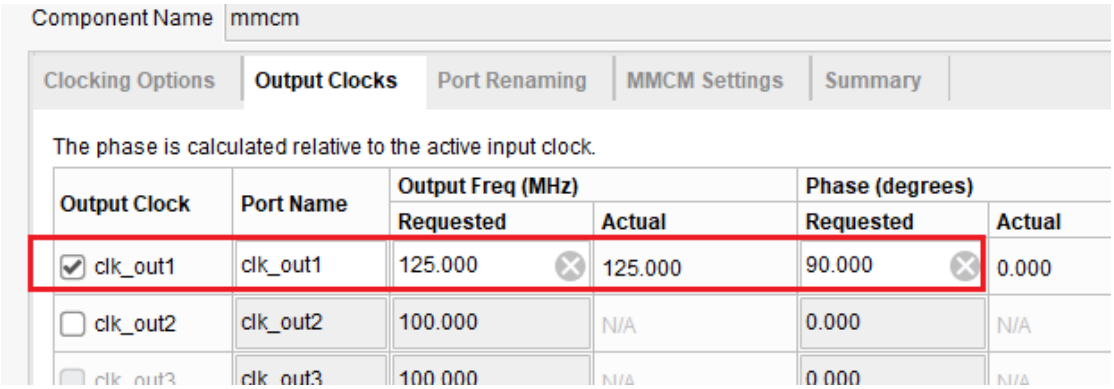

图 1-10 锁相环配置界面

1.3.1.2 fifo_rx 模块

FIFO IP 核，以太网接收模块工作时钟 125M，AD7606 控制器工作时钟 50M，两者数据速率不匹配，使用该 IP 核解决采集过程中会出现的跨时钟域数据交互问题，所以配置时需要选择双端口，如下图 1-11 所示：

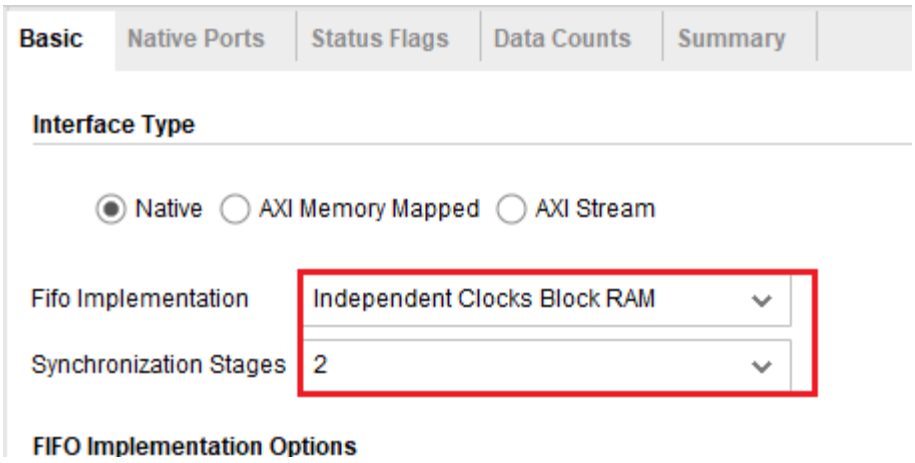

图 1-11 双端口 FIFO

然后配置读写位宽为 8 位（与以太网接收模块的数据位宽保持一致），写深度为 256，如下图 1-12 所示：

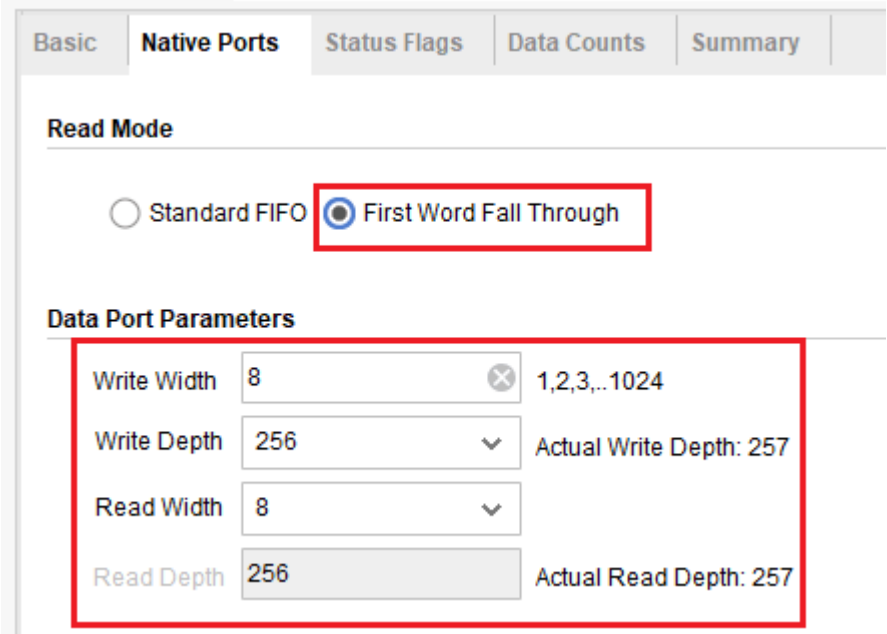

图 1-12 配置 FIFO 的读写位宽及深度

1.3.1.3 eth_cmd 模块

接收转命令模块 eth_cmd，将以太网传输过来的指令数据帧进行拆解，得到需要的指令数据传送给别的模块进行处理，该模块的结构框图如下图 1-13 所示。

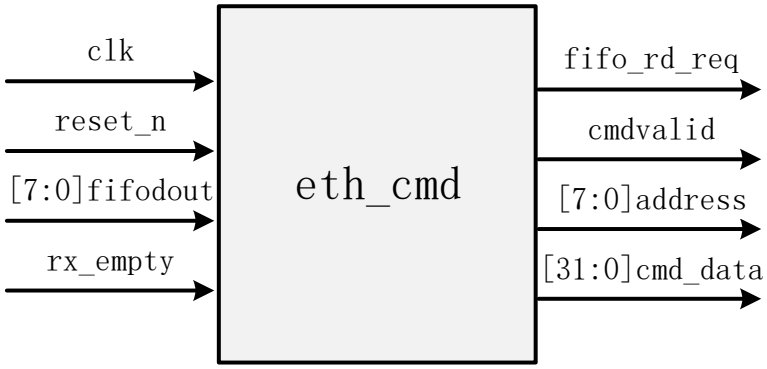

图 1-13 接收转命令模块框图

模块信号说明如下表 1-3 所示。

表 1-3 接收转命令模块信号说明表

信号名称	I/O	信号意义
clk	I	模块工作时钟
reset_n	I	模块复位信号，低电平复位
fifodout[7:0]	I	从 FIFO 中读出的 8 位数据
rx_empty	I	FIFO 为空标志信号
fifo_rd_req	O	FIFO 的读请求信号

cmdvalid	O	输出命令有效标志信号
address[7:0]	O	配置 AD7606 的寄存器地址信号
cmd_data[31:0]	O	写入到寄存器中的数据

网口一次发送的命令数据内容为 32 个字节，为了实现通过网口修改这些寄存器的值，需要对发送一次的数据进行拆解才能实现，对于设计的数据帧，一帧数据一共 8 个字节，包含帧头、帧尾、地址段、数据段。帧格式如下表 1-4 所示：

表 1-4 帧格式说明表

数据	D0	D1	D2	D3	D4	D5	D6	D7
功能	帧头 0	帧头 1	地址 address	data[31:24]	data[23：16]	data[15:8]	data[7:0]	帧尾
值	0x55	0xA5	XX	XX	XX	XX	XX	0xF0

从上表中可以看出，每帧数据一共 8 个字节，分别用 D0~D7 表示，其中，D0 和 D1 两个数据作为帧头，其值固定为 0x55、0xA5，D7 作为帧尾，其值固定为 0xF0。帧头和帧尾的作用是为了准确识别数据帧，确保接收的数据是我们需要分析的。D2 代表的是要操作的寄存器地址，D3 为要写入寄存器的数据的 24~31 位，D4 为要写入寄存器的数据的 16~24 位，D5 为要写入寄存器的数据的 8~15 位，D6 为要写入寄存器的数据的 0~7 位。

该模块的作用就是将网口接收到的数据拆解成上述帧格式，将 D2 作为地址 address 输出，指定修改哪个寄存器，D3~D6 共 32 位作为数据 data 输出，控制 AD7606 进行相应的配置。下面将对模块中的部分代码进行说明：

首先，产生 FIFO 的读请求信号。当检测到 FIFO 非空的时候，产生 FIFO 读请求信号，代码如下所示：

```
always@(posedge clk or negedge reset_n)
if(!reset_n)
  fifo_rd_req <= 1'b0;
else if(!rx_empty)
  fifo_rd_req <= 1'b1;
else
  fifo_rd_req <= 1'b0;
```

然后是得到帧命令数据，每产生一次读请求，将会从 FIFO 中读取一个 8 位的数据，连续存储 8 个字节的数据就得到一帧命令数据。代码如下所示：

```
always@(posedge clk)
if(fifo_rd_req)begin
  data_0[7] <= #1 fifodout;
  data_0[6] <= #1 data_0[7];
  data_0[5] <= #1 data_0[6];
  data_0[4] <= #1 data_0[5];
  data_0[3] <= #1 data_0[4];
```

```
  data_0[2] <= #1 data_0[3];
  data_0[1] <= #1 data_0[2];
  data_0[0] <= #1 data_0[1];
end
```

最后是判断得到的帧命令数据是否正确，当数据符合 D0 为 8'h55，D1 为 8'hA5，D7 为 8'hF0，则代表该数据格式正确，会生成一个指令正确信号 cmdvalid 输出到指令转控制模块，并将数据进行输出，代码如下所示：

```
always@(posedge clk or negedge reset_n)
if(!reset_n)begin
    address <= 0;
    cmd_data <= 32'd0;
    cmdvalid <= 1'b0;
end
else if(fifo_rx_done)begin
    if((data_0[0] == 8'h55)&&(data_0[1]==8'hA5)&&(data_0[7]==8'hF0))
    begin
        cmd_data[7:0] <= #1 data_0[6];
        cmd_data[15:8] <= #1 data_0[5];
        cmd_data[23:16] <= #1 data_0[4];
        cmd_data[31:24] <= #1 data_0[3];
        address <= #1 data_0[2];
        cmdvalid <= #1 1;
    end
else
        cmdvalid <= #1 0;
end
else
    cmdvalid <= #1 0;
```

1.3.1.4 cmd_rx 模块

指令转控制模块（cmd_rx）将从接收转命令模块接收到的数据转换为相应的控制数据，首先将对寄存器进行说明，其功能和地址分别如下表 1-5 所示：

表 1-5 寄存器说明表

名称	地址	位宽	功能简介
RestartReq	0	1	重新开始采集请求寄存器，向该寄存器写入任意值即可启动新一轮的采样存储传输
ChannelSel	1	8	通道设置寄存器，共 8 位， 对应了 8 个通道的数据存储开关，如果某通道对应的设置为 1，则该通道的采样结果就会被存入 FIFO 并通过网口发送，注意对应的 2 进制的位，不是 10 进制，比如设置通道 3，对应 01 地址需要写入的值为 04(100)，而不是 03(011)。
DataNum	2	32	数据个数寄存器，设定总共采集传输多少个数据。注意，该寄存器设置的是总共采集的数据个数， 假设设置采集 100 个数据，

			ChannelSel 为 0000_0011b，则实际每个通道采样的次数就是 50，2 个通道的数据加起来是 100 个。假设设置采集 100 个数据，而且设置了 ChannelSel 为 0011_0011b，则实际每个通道采样的次数就是 25，4 个通道加起来采集 100 个数据
ADC_Speed_Set	3	32	ADC 采样速率设置寄存器。该寄存器用来设置 ADC 每多久执行一次转换。由于 ADC 的最大采样速率为 200Ksps，所以可以通过设置该寄存器的值来让 ADC 的采样速率在 1~200Ksps 范围内调整，以适应不同的应用场景。ADC_Speed_Set=1000000000/20/speed-1，其中 speed 就是实际要设置的采样速率。

指令转控制模块的结构框图如下图 1-14 所示。

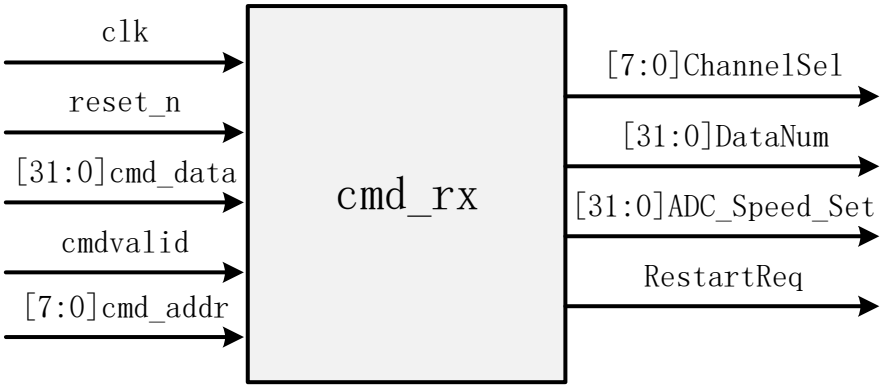

图 1-14 指令转控制模块结构框图

模块信号说明如下表 1-6 所示。

表 1-6 指令转控制模块信号说明表

信号名称	I/O	信号意义
clk	I	模块时钟信号
reset_n	I	模块复位信号，低电平复位
cmd_data[31:0]	I	写入到寄存器中的值
cmdvalid	I	命令有效标志信号
cmd_addr[7:0]	I	寄存器地址信号
ChannelSel[7:0]	O	通道设置寄存器
DataNum[31:0]	O	数据个数寄存器
ADC_Speed_Set[31:0]	O	ADC 采样速率控制寄存器
RestartReq	O	重新开始采集请求信号

根据表 1-5 中的内容，地址 cmd_add 为 0 时，产生 RestartReq；cmd_add 为 1 时，得到通道设置数据 cmd_data[7:0]；cmd_add 为 2 时，得到需要采样的数量 cmd_data[31:0]；cmd_add 为 3 时，得到设置的采样速率的值，代码如下所示：

```
always@(posedge clk or negedge reset_n)
if(!reset_n)begin
    ChannelSel <= 8'b1111_1111;
    DataNum <= 16'd32;
    ADC_Speed_Set <= 32'd9999;
    RestartReq <= 1'b0;
```

```
end
else if(cmdvalid)begin
  case(cmd_addr)
      0: RestartReq <= 1'b1;
      1: ChannelSel <= cmd_data[7:0];
      2: DataNum <= cmd_data[31:0];
      3: ADC_Speed_Set <= cmd_data[31:0];
  default:;
  endcase
end
else
  RestartReq <= 1'b0;
```

1.3.2 ad7606_driver 模块

AD7606 控制器驱动模块（ad7606_driver），该控制器实现了对 AD7606 型 8 通道 16 位 ADC 的数据转换控制并输出。使用该控制器时，用户无需关心 AD7606 的具体控制时序，一切都在控制器内部完成，用户只需要像使用并行 ADC 一样取用数据即可。该模块的结构框图如下图 1-15 所示。

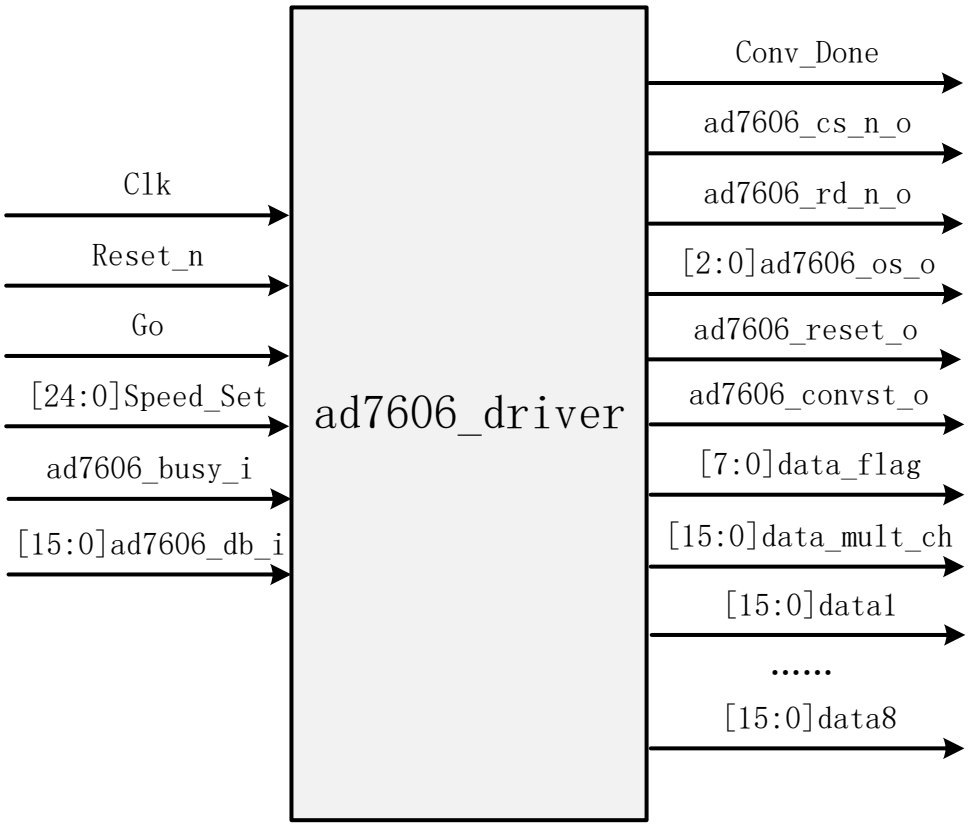

图 1-15 AD7606 控制器驱动模块结构框图

该控制器接口分为四个类，第一类为时序逻辑模工作所必需的时钟和复位

信号（Clk、Reset_n），第二类是 AD7606 控制器与 AD7606 芯片管脚相连的各种功能控制和数据信号，第三类是设置控制器工作状态/工作数据的用户控制接口，第四类是控制器的结果输出接口。对于用户来说，只需要关注第三类和第四类接口的使用，即可快速高效的使用该控制器来控制 AD7606 芯片完成数据转换。对于该模块的信号说明如下表 1-7 所示。

表 1-7 AD7606 控制器模块信号说明表

类	信号名称	I/O	信号意义
系统信号	Clk	I	模块系统时钟，为了让采样速率准确，要求为 50MHz
	Reset_n	I	模块复位信号，低电平复位
控制信号	Go	I	采样使能信号，为高电平就使能采样，低电平则在已经开始的一轮采样结束后，停止下一次采样
	Speed_Set[24:0]	I	采样速率控制端口，Speed_Set = 1000000000/20/speed - 1
	Conv_Done	O	一次采样完成标志信号，单时钟周期脉冲信号。每次 8 个通道结果都输出后，产生一个高脉冲信号
数据结果输出端口和标志信号	data_flag[7:0]	O	转换结果有效标志信号，因为 AD7606 有 8 个通道，转换结果是依次输出，并非同时的，所以设置 8 个 Flag 信号，每个通道的结果就绪之后，就产生一个 Flag 信号，通知外部可以取用。另外，如果只关心其中的部分通道，则只需要关心 data_flag 中对应的位即可
	data_mult_ch[15:0]	O	多通道数据输出端口，该通道 16 位，在不同的时刻，输出不同通道的转换结果，使用时，与 data_flag 信号配合，data_flag 的哪一位出现高脉冲，则代表当前 data_mult_ch 的值为该通道的转换结果。该端口设计的目的是用于往 FIFO、RAM 等存储器中存储结果时使用。
	data1[15:0]…data8[15:0]	O	8 个通道的采样结果输出端口，每个端口分别对应一个模拟通道的采样结果，使用时与 data_flag 信号配合，每当 data_flag 中的某一位为 1 时，则对应的通道上的 16 位采样结果已经就绪，可以使用。这些端口主要用于每个通道的数据需要分别应用的场合。
ADC 芯片控制信号	ad7606_busy_i	I	ad7606 转换状态标志信号，为高电平则表明 ad7606 当前仍处于转换状态，结果没有更新，如果此时读取，读取的结果就还是前一次的采样转换结果。需要待该信号变为低电平之后，再读取 ad7606 中的数据
	ad7606_db_i[15:0]	I	ad7606 的 16 位数据线，读取时，输出对应通道的转换结果
	ad7606_cs_n_o	O	ad7606 芯片选中控制信号，可以从 AD7606 中读取转换结果时，需要使该信号为低电平
	ad7606_rd_n_o	O	ad7606 转换结果读取信号，该信号的下降沿，AD7606 将特定通道的采样结果送到 16 位数据线上，供外部读取。外部可以在 rd_n 信号的上升沿读取 16 位数据线上的结果
	ad7606_os_o[2:0]	O	ad7606 过采样控制信号，使用过采样可以进一步提高 ad7606 的采样精度，使用过采样会降低 ad7606 的有效转换速率，关于过采样的功能和使用方法，可以参考

			ad7606 的 datasheet，默认为 0，则表示不使用过采样。能够运行在最高的转换速率（200Ksps）
	ad7606_reset_o	O	ad7606 的复位信号，复位 ad7606 内部各个功能单元的工作状态
	ad7606_convst_o	O	ad7606 转换开始信号，该信号的上升沿启动 ad7606 内部的采样转换逻辑开始新一轮的采样转换

该控制器在工作时会根据主机的指令对采样频率进行修改，当信号转换完成后便对 ADC 写控制器发出 data_flag 信号，控制其将转换完成数据 data_mult_ch 写入 FIFO 或者 RAM 的同时，也指出了该信号来自哪个通道。通过这两个信号，我们可以实现让 ADC 以特定的采样速率多次采样一个或多个通道的数据。每当 data_flag 中任意一位为 1，则将 data_mult_ch 中的值写入 FIFO 或者 RAM 中。由于 FIFO 和 RAM 等存储器，只有一个数据输入接口，所以这个时候用一个 data_mult_ch 端口分时输出不同通道的采样结果，就比使用 data1~data8 这 8 个 16 位的数据端口分别输出各自通道的采样结果要方便。

例如，将通道 1、2、5、8 的采样结果存入 FIFO。就可以使用下面的写法：

```
module adc_wr_fifo(
  input Clk,
  input Reset_n,
  input [7:0]data_flag;
  input [15:0]data_mult_ch;
  output reg fifo_wrreq,
  output reg [15:0]fifo_data
);
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)begin
  fifo_wrreq <= 0;
  fifo_data <= 0;
else if(data_flag == 8'b1001_0011)begin
  fifo_wrreq <= 1'd1;
  fifo_data <= data_mult_ch;
end
else begin
  fifo_wrreq <= 0;
  fifo_data <= fifo_data;
end
endmodule
```

1.3.3 state_ctrl 模块

DDR3 双端口转换模块控制信号的产生以及 ADC 何时启动数据传输都是通过 state_ctrl 模块控制的，该模块的结构框图如下图 1-16 所示。

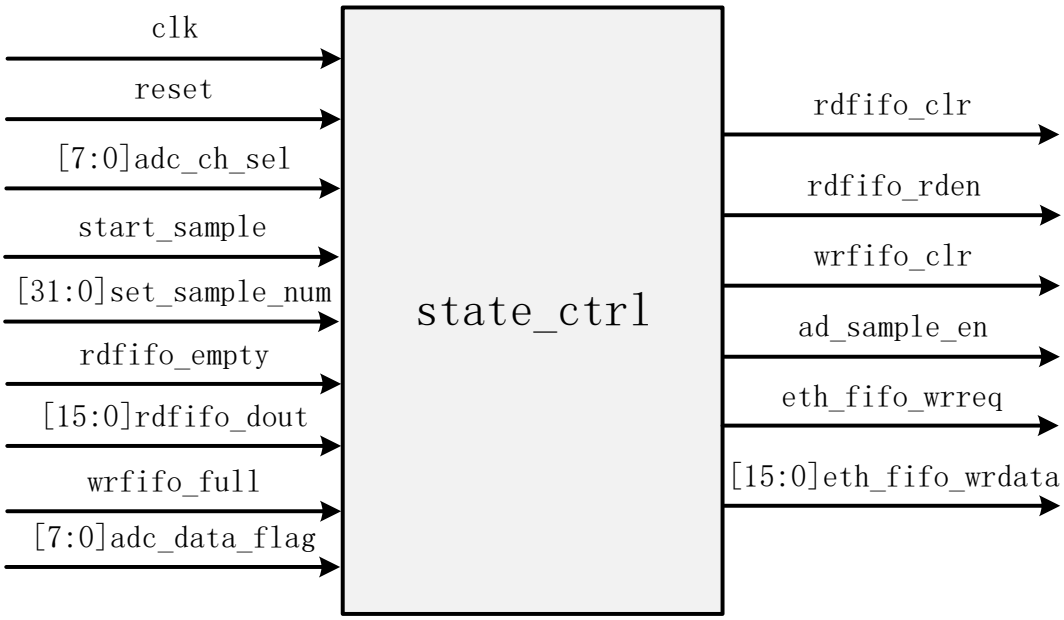

图 1-16 state_ctrl 模块基本结构框图

对于该模块的信号说明如下表 1-8 所示。

表 1-8 state_ctrl 模块信号说明表

信号名称	I/O	信号意义
clk	I	模块时钟信号，与 ADC 采集模块的时钟信号保持一致（50M）
reset	I	模块复位信号，高电平复位
start_sample	I	ADC 模块开始采样标志信号
set_sample_num [31:0]	I	采样数量命令信号
rdfifo_empty	I	读 FIFO 为空标识信号，用于标识当前 FIFO 是否为空（即 FIFO 内有无数据）
rdfifo_dout[15:0]	I	读 FIFO 的数据输出，数据位宽为 16 位
wrfifo_full	I	写 FIFO 的写满标识信号，用于标识当前 FIFO 是否有被写满
adc_ch_sel[7:0]	I	采样通道命令信号
adc_data_flag[7:0]	I	AD7606 控制器输出的转换结果有效标志信号
rdfifo_clr	O	读 FIFO 清空控制信号，给高电平表示执行清空，执行清空操作时，需保证给 3 个及以上个时钟（rdfifo_clk）周期的高电平
rdfifo_rden	O	读 FIFO 的读数据使能控制信号，给高电平表示往 FIFO 读数据，为避免读数据的丢失，确保在 FIFO 非空（rdfifo_empty =0）情况下读数据
wrfifo_clr	O	FIFO 的写清除信号，wrfifo_clr 向外打三拍输出，保证 wrfifo 的清零信号的生效节拍数
ad_sample_en	O	ADC 采样使能标志信号
eth_fifo_wrreq	O	以太网发送缓存 FIFO 的写请求信号
eth_fifo_wrdata [15:0]	O	写入以太网发送缓存 FIFO 的 16 位数据

fifo 接口到 AXI4 接口的转换模块（fifo_axi4_adapter）需要的控制信号有：wrfifo_clr、wrfifo_clk、wrfifo_wren、wrfifo_din、rdfifo_clr、rdfifo_clk、

rdfifo_rden。上述信号中：wrfifo_clk、rdfifo_clk 应该与该模块的工作时钟保持一致，也就是和 ADC 数据采集模块的工作时钟保持一致为 50M；wrfifo_wren 信号由 AD7606 控制器模块输出的 adc_data_flag 信号与通道命令 ChannelSel 按位与之后，再和采样使能信号 ad_sample_en 相与得到；除去上述已经得到的控制信号外， state_ctrl 模块还需要产生的控制信号包括：wrfifo_clr、rdfifo_clr、rdfifo_rden。

根据上述描述，我们可以通过状态机实现该模块的功能。定义状态如下所示：

```
localparam IDLE                 = 4'd0;   //空闲状态
localparam DDR_WR_FIFO_CLEAR    = 4'd1;   //DDR 写 FIFO 清除状态
localparam ADC_SAMPLE           = 4'd2;   //ADC 采样数据状态
localparam DDR_RD_FIFO_CLEAR    = 4'd3;   //DDR 读 FIFO 清除状态
localparam DATA_SEND_START      = 4'd4;   //数据发送状态
localparam DATA_SEND_WORKING    = 4'd5;   //数据发送完成状态
```

下面编写每个状态对应的代码。

1. IDLE 状态

当处于空闲状态时，对 start_sample 采样起始位进行寄存，同时限定其只工作在状态 IDLE，代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
    start_sample_rm <= 1'b0;
else if(state==IDLE)
    start_sample_rm <= start_sample;
else
    start_sample_rm <= 1'b0;
end
```

当产生 start_sample_rm 信号之后跳转到 DDR_WR_FIFO_CLEAR 状态，代码如下所示：

```
begin
    if(start_sample_rm) begin   //DDR 初始化完成并且产生启动采样信号
        state <= DDR_WR_FIFO_CLEAR; //进入写 FIFO 清除状态
    end
    else begin
        state <= state;
    end
end
```

2. DDR_WR_FIFO_CLEAR 状态

当进入写 FIFO 清零状态后，开始清除写 FIFO 内的原始数据。设置清除

DDR 写 FIFO 的计数器，保证至少 10 拍的延时，代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
    wrfifo_clr_cnt<=0;
else if(state==DDR_WR_FIFO_CLEAR)//如果进入了清 fifo 状态
begin
    if(wrfifo_clr_cnt==9)
        wrfifo_clr_cnt<=5'd9;
    else
        wrfifo_clr_cnt<=wrfifo_clr_cnt+1'b1;
end
else
    wrfifo_clr_cnt<=5'b0;
end
```

然后等待 wrfifo_full（写端 fifo 满信号）的信号拉低，拉低后，表示可以往 FIFO 里写入数据，此时进入下一个状态。在清空（复位）FIFO 的时候，FIFO 的 full 信号会变高，可以认为在复位 FIFO 时是不允许对 FIFO 进行写操作的，即使写也是不可靠的，等 FIFO 的复位结束后，full 信号会变低，就允许对 FIFO 进行写操作。DDR 写 FIFO 清除状态代码如下所示：

```
begin
    if(!wrfifo_full && (wrfifo_clr_cnt==9))
        state<=ADC_SAMPLE;
    else
        state<=DDR_WR_FIFO_CLEAR;
end
```

当处于 DDR_WR_FIFO_CLEAR 状态时，我们需要产生清除写 FIFO 的信号 wrfifo_clr，由三拍延时信号拉高提供，之所以提供的延迟信号时间为 3 拍，是为了给清 FIFO 信号足够的拉高时间，以保证清空指令的可靠，也就是在 wrfifo_clr_cnt 为 0、1 或 2 时，wrfifo_clr 置 1，否则 wrfifo_clr 为 0。

```
always@(posedge clk or posedge reset)begin
if (reset)
    wrfifo_clr<=0;
else if(state==DDR_WR_FIFO_CLEAR)
    begin
        if(wrfifo_clr_cnt==0||wrfifo_clr_cnt==1||wrfifo_clr_cnt==2)
            wrfifo_clr<=1'b1;
        else
            wrfifo_clr<=1'b0;
    end
else
    wrfifo_clr<=1'b0;
end
```

3. ADC_SAMPLE 状态

进入 ADC 采样数据状态之后，首先设置 ADC 采样个数计数器 adc_sample_cnt，当对应采样通道有效时，也就是 adc_data_flag 信号与 adc_ch_sel 信号相与为高电平时，我们就将 adc_sample_cnt 计数值加 1，对 ADC 采集的数据进行计数。代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
    adc_sample_cnt<=1'b0;
else if(state==ADC_SAMPLE)begin
    if(adc_data_flag & adc_ch_sel)
        adc_sample_cnt<=adc_sample_cnt+1'b1;
    else
        adc_sample_cnt<=adc_sample_cnt;
end
else
    adc_sample_cnt<=1'b0;
end
```

当 adc_sample_cnt 达到设定的采样数据个数， ADC 模块数据采集完成，跳转到读 FIFO 清除状态，代码如下所示：

```
begin
    if(adc_sample_cnt>=set_sample_num)
        state<=DDR_RD_FIFO_CLEAR;
    else
        state<=state;
end
```

当处于 ADC_SAMPLE 状态时，我们还需要产生采样使能信号 ad_sample_en 给到其他模块使用，代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
    ad_sample_en<=0;
else if(state==ADC_SAMPLE)
    ad_sample_en<=1;
else
    ad_sample_en<=0;
end
```

4. DDR_RD_FIFO_CLEAR 状态

进入清 FIFO 状态之后，首先设置清除读 FIFO 的计数器 rdfifo_clr_cnt，保证至少 10 拍的延时。代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
```

```
    rdfifo_clr_cnt<=0;
else if(state==DDR_RD_FIFO_CLEAR)//如果进入了清 fifo 状态
begin
    if(rdfifo_clr_cnt==9)
        rdfifo_clr_cnt<=5'd9;
    else
        rdfifo_clr_cnt<=rdfifo_clr_cnt+1'b1;
end
else
    rdfifo_clr_cnt<=5'b0;
end
```

然后等待 rdfifo_empty（读端 FIFO 的空信号）信号拉低，拉低后，表示 FIFO 里已经有被写入数据，此时进入下一个状态。在清空(复位) FIFO 的时候，FIFO 的 empty 信号会变高，可以认为在复位 FIFO 时是不允许对 FIFO 进行读操作的，即使读也是不可靠的，等 FIFO 的复位结束后，FIFO 被写入数据后，empty 信号会变低，就允许对 FIFO 进行读操作，然后跳转到 DATA_SEND_START 状态，读 FIFO 清除状态代码如下所示：

```
begin
    if(!rdfifo_empty && (rdfifo_clr_cnt==9))begin
        state<=DATA_SEND_START;
    end
    else
        state<=state;
end
```

当处于 DDR_WR_FIFO_CLEAR 状态时，我们需要产生清除读 FIFO 的信号 rdfifo_clr，由三拍延时信号拉高提供，之所以提供的延迟信号时间为 3 拍，是为了给清 FIFO 信号足够的拉高时间，以保证清空指令的可靠，也就是在 rdfifo_clr_cnt 为 0、1 或 2 时，rdfifo_clr 置 1，否则 rdfifo_clr 为 0。

```
always@(posedge clk or posedge reset)begin
if (reset)
    rdfifo_clr<=0;
else if(state==DDR_RD_FIFO_CLEAR)
begin
    if(rdfifo_clr_cnt==0||rdfifo_clr_cnt==1||rdfifo_clr_cnt==2)
        rdfifo_clr<=1'b1;
else
        rdfifo_clr<=1'b0;
end
else
    rdfifo_clr<=1'b0;
end
```

5. DATA_SEND_START

进入DATA_SEND_START 状态之后，state 直接跳转到数据发送状态，启动传输，代码如下所示：

```
begin
    state <= DATA_SEND_WORKING;
end
```

6. DATA_SEND_WORKING 状态

进入数据发送状态之后，产生 rdfifo_rden 信号，将 DDR 中的数据读取出来，当读出的数据达到需要采集的数据信号时，跳转到 IDLE 状态，完成一次数据传输，代码如下所示：

```
begin
    if(send_data_cnt >= set_sample_num-1'b1) begin
        rdfifo_rden <= 1'b0;
        state <= IDLE;
    end
    else begin
        rdfifo_rden <= 1'b1;
        state <= DATA_SEND_WORKING;
    end
end
```

send_data_cnt 在 rdfifo_rden 有效的情况下进行计数，从而统计从 DDR 中读取的数据个数，代码如下所示：

```
always@(posedge clk or posedge reset)begin
if(reset)
    send_data_cnt<=32'd0;
else if(state==IDLE)
    send_data_cnt<=32'd0;
else if(rdfifo_rden)
    send_data_cnt<=send_data_cnt+1;
else
   send_data_cnt<=send_data_cnt;
end
```

最后，当 rdfifo_rden 信号为高电平的时候，将 DDR 读出的数据存放至以太网发送缓存 FIFO 中，代码如下所示：

```
always@(posedge clk or posedge reset)
if(reset) begin
    eth_fifo_wrreq <= 1'b0;
    eth_fifo_wrdata <= 'd0;
end
else if(rdfifo_rden) begin
    eth_fifo_wrreq <= 1'b1;
    eth_fifo_wrdata <= rdfifo_dout;
```

```
end
else begin
    eth_fifo_wrreq <= 1'b0;
    eth_fifo_wrdata <= 'd0;
end
```

1.3.4 fifo_axi4_adapter 模块

fifo 接口到 AXI4 接口的转换模块（fifo_axi4_adapter）的设计，请参看：

【ACZ702】ZYNQ PL 读写 PS DDR3 双端口读写控制器设计

http://www.corecourse.cn/forum.php?mod=viewthread&tid=29312

需要注意的是，相较于之前的模块，新增加了一个起始信号，当接收到启动传输之后，启动 fifo2axi4 模块中的状态转移，也就是启动向 DDR 中写入数据，代码如下所示：

```
S_IDLE:
begin
    if(start)
        next_state = S_ARB;
    else
        next_state = S_IDLE;
end
```

该模块其它部分的设计和前面章节中一致，这里将不再进行说明，只需要将该模块例化进来使用即可，例化代码如下所示：

```
  fifo_axi4_adapter #(
    .FIFO_DW                 (16                    ),
    .WR_AXI_BYTE_ADDR_BEGIN (DDR_BASE_ADDR + 1'b1 ),
    .WR_AXI_BYTE_ADDR_END    (DDR_BASE_ADDR + 16'd65535),
    .RD_AXI_BYTE_ADDR_BEGIN (DDR_BASE_ADDR + 1'b1 ),
    .RD_AXI_BYTE_ADDR_END    (DDR_BASE_ADDR + 16'd65535),

    .AXI_DATA_WIDTH          (64                    ),
    .AXI_ADDR_WIDTH          (32                    ),
    .AXI_ID                  (4'b0000               ),
    .AXI_BURST_LEN           (8'd15                 )//axi burst length
  )fifo_axi4_adapter_inst
  (
    .start                (RestartReq_ddr1),
    //clock reset
    .clk                  (loc_clk100m         ),
    .reset                (!reset_n               ),
    //wr_fifo Interface
    .wrfifo_clr           (wrfifo_clr          ),
    .wrfifo_clk           (clk_50M             ),
```

```
    .wrfifo_wren          ((adc_data_flag&ChannelSel)&& ad_sample_en),
    .wrfifo_din           (adc_data_mult_ch    ),
    .wrfifo_full          (wrfifo_full         ),
    .wrfifo_wr_cnt        (                    ),
    //rd_fifo Interface
    .rdfifo_clr           (rdfifo_clr          ),
    .rdfifo_clk           (clk_50M             ),
    .rdfifo_rden          (rdfifo_rden         ),
    .rdfifo_dout          (rdfifo_dout         ),
    .rdfifo_empty         (rdfifo_empty        ),
    .rdfifo_rd_cnt        (                    ),
    // Master Interface Write Address Ports
    .m_axi_awid           (s_axi_awid          ),
    .m_axi_awaddr         (s_axi_awaddr        ),
    .m_axi_awlen          (s_axi_awlen         ),
    .m_axi_awsize         (s_axi_awsize        ),
    .m_axi_awburst        (s_axi_awburst       ),
    .m_axi_awlock         (s_axi_awlock        ),
    .m_axi_awcache        (s_axi_awcache       ),
    .m_axi_awprot         (s_axi_awprot        ),
    .m_axi_awqos          (s_axi_awqos         ),
    .m_axi_awregion       (s_axi_awregion      ),
    .m_axi_awvalid        (s_axi_awvalid       ),
    .m_axi_awready        (s_axi_awready       ),
    // Master Interface Write Data Ports
    .m_axi_wdata          (s_axi_wdata         ),
    .m_axi_wstrb          (s_axi_wstrb         ),
    .m_axi_wlast          (s_axi_wlast         ),
    .m_axi_wvalid         (s_axi_wvalid        ),
    .m_axi_wready         (s_axi_wready        ),
    // Master Interface Write Response Ports
    .m_axi_bid            (4'b0000             ),
    .m_axi_bresp          (s_axi_bresp         ),
    .m_axi_bvalid         (s_axi_bvalid        ),
    .m_axi_bready         (s_axi_bready        ),
    // Master Interface Read Address Ports
    .m_axi_arid           (s_axi_arid          ),
    .m_axi_araddr         (s_axi_araddr        ),
    .m_axi_arlen          (s_axi_arlen         ),
    .m_axi_arsize         (s_axi_arsize        ),
    .m_axi_arburst        (s_axi_arburst       ),
    .m_axi_arlock         (s_axi_arlock        ),
    .m_axi_arcache        (s_axi_arcache       ),
    .m_axi_arprot         (s_axi_arprot        ),
    .m_axi_arqos          (s_axi_arqos         ),
    .m_axi_arregion       (s_axi_arregion      ),
    .m_axi_arvalid        (s_axi_arvalid       ),
```

```
    .m_axi_aready       (s_axi_aready       ),
    // Master Interface Read Data Ports
    .m_axi_rid          (4'b0000            ),
    .m_axi_rdata        (s_axi_rdata        ),
    .m_axi_rresp        (s_axi_rresp        ),
    .m_axi_rlast        (s_axi_rlast        ),
    .m_axi_rvalid       (s_axi_rvalid       ),
    .m_axi_rready       (s_axi_rready       )
);
```

1.3.5 eth_send_data 模块

以太网数据发送模块（eth_send_data）的作用是将 DDR 读出的 ADC 采集的数据传送至电脑端，然后我们才可以在电脑端对采集的数据进行分析，该模块的基本结构框图如下所示：

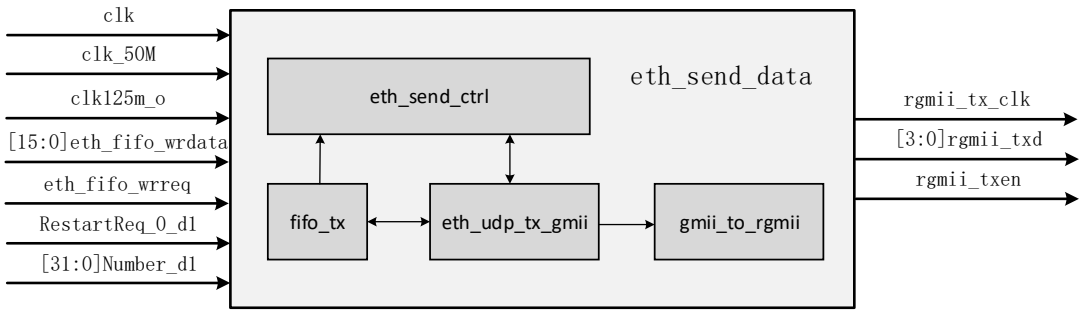

图 1-17 eth_send_data 模块基本结构框图

该模块的信号说明如下表 1-9 所示。

表 1-9 eth_send_data 模块信号说明表

信号名称	I/O	信号意义
reset	I	模块复位信号，高电平有效
clk_50M	I	50M 时钟信号
clk125m_o	I	125M 时钟信号
eth_fifo_wrdata [15:0]	I	16 位的 ADC 采样数据信号
eth_fifo_wrreq	I	发送 fifo 的写使能信号
RestartReq_0_d1	I	启动采样命令信号
Number_d1 [31:0]	I	采样数量命令信号
rgmii_tx_clk	O	发送参考时钟， 1000Mbps 速率下，时钟频率为 125MHz
rgmii_txd [3:0]	O	4 位的以太网发送数据信号
rgmii_txen	O	以太网的发送使能信号

eth_send_data 模块内部的以太网发送模块 eth_udp_tx_gmii 和接口转换模块 gmii_to_rgmii 本章将不再重新进行说明，接下来将介绍 eth_send_ctrl 模块和 fifo_tx 模块。

1.3.5.1 fifo_tx 模块

FIFO 双端口 IP 核（fifo_tx），该模块需要接收从 DDR 读出的 16 位数据，数据经缓存后转换成 8 位数据由以太网发送模块发送出去。fifo_axi4_adapter 模块中的 FIFO IP 的工作时钟为 50M，以太网发送模块的工作时钟 125M，两者数据速率不匹配，使用 FIFO IP 核进行数据存储可以解决采集过程中会出现的跨时钟域数据交互问题。

在 VIVADO 软件中点击 IP Catalog，然后在搜索栏中输入 FIFO， 在下面搜索的结果中找到 FIFO Generator 并双击，操作如下图 1-18 所示。

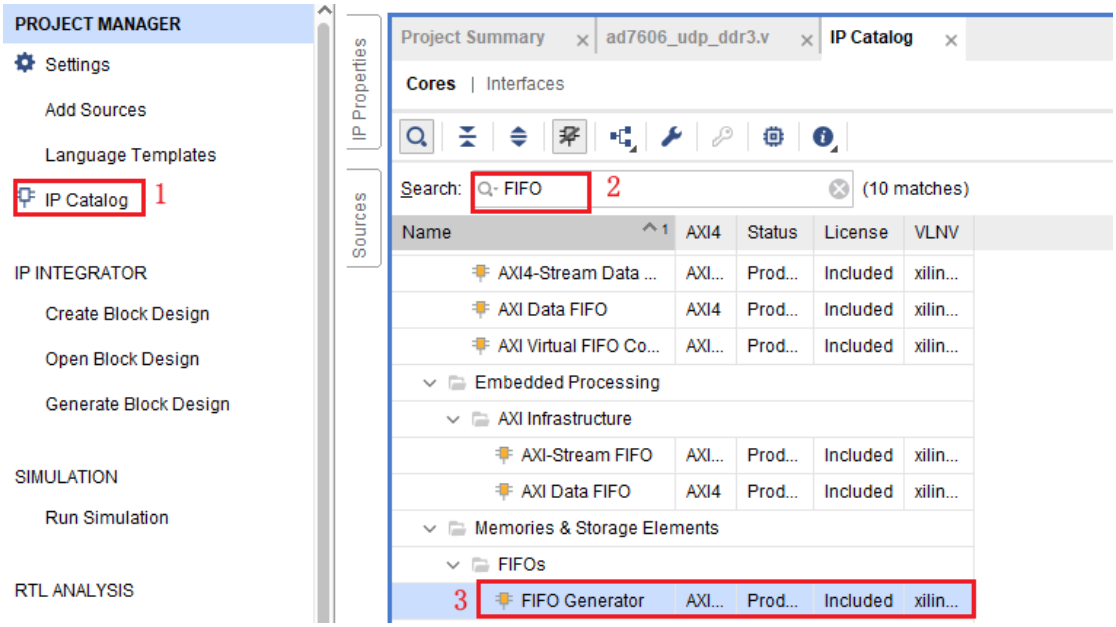

图 1-18 搜索 FIFO IP

双击 FIFO Generator 之后，进入 FIFO 配置界面。

首先将 FIFO 的名称修改为 fifo_tx，接口类型设置为 Native，FIFO 类型上根据使用的资源以及读写时钟是否相同分为多种，这里创建一个独立读写时钟，使用嵌入式 Block RAM 资源的 FIFO，选择 Independent Clocks Block RAM。操作如下图 1-19 所示。创建独立读写时钟是因为 DDR 双端口模块中的 FIFO IP 的工作时钟为 50M，而以太网发送模块工作时钟为 125M，写入和读出的时钟不一致，所以这里需要创建一个独立读写时钟 FIFO。

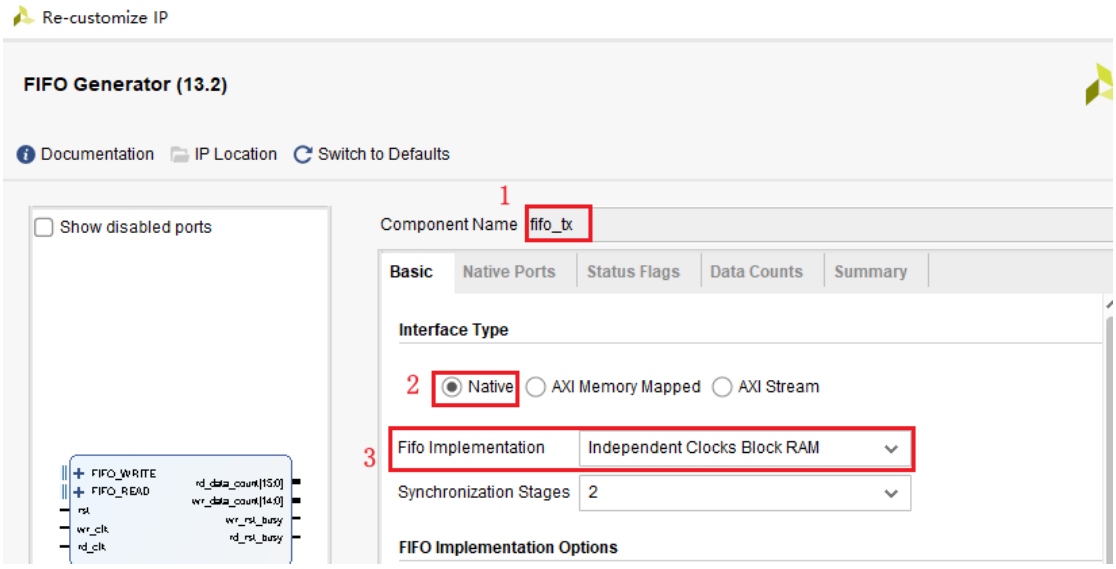

图 1-19 选择独立时钟 FIFO

然后点击“Native Ports”进行配置，配置如下：

1. 读模式选择“First Word Fall Through（FWFT）”，FWFT 模式可以不需要读命令，自动将最新的数据放在 dout 上。
2. 写位宽设置为 16，写入深度设置为 1024。因为 ADC 模块输出的数据是 16 位的，所以位宽设置为 16。写入深度用户可以修改，理论上只要大于以太网最大帧长度 1472 字节（写入深度大于 1472/2）就可以。
3. 读出位宽设置为 8。设置为 8 是因为以太网发送模块的数据位宽是 8 位的。

配置界面如下图 1-20 所示。

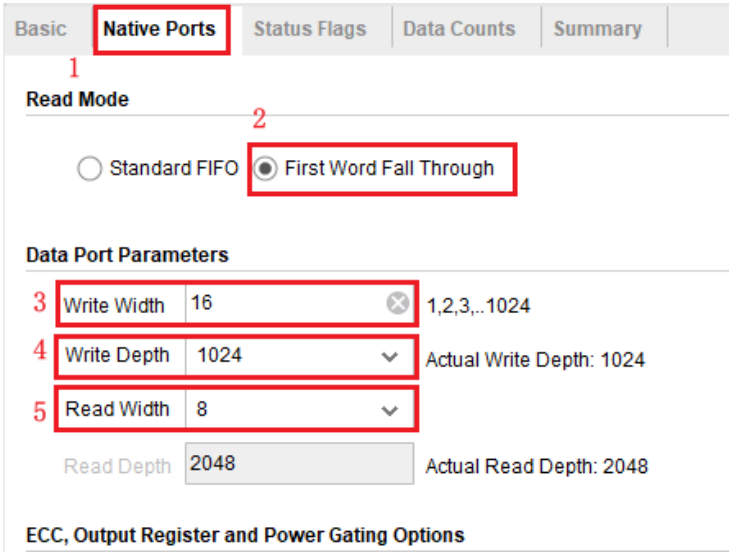

图 1-20 “Native Ports”配置界面

在“Data Counts”界面勾选“Write Data Count”和“Read Data Count”。FIFO 数据量计数信号输出， Write Data Count 和 Read Data Count 分别同步于写时钟和读时钟。位宽可以根据实际进行设置，这里保持默认位宽 10、11。配置界面如下图 1-21 所示。

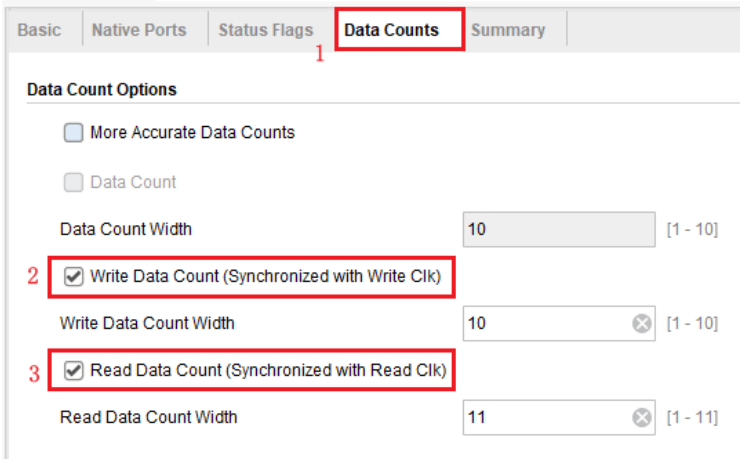

图 1-21 “Data Counts”配置界面

通过上述步骤，完成对 FIFO 的配置。

1.3.5.2 eth_send_ctrl 模块

网口发送控制模块（eth_send_ctrl）主要负责配置控制网口发送模块的使能控制信号 pkt_tx_en，并通过 pkt_length 信号对以太网数据帧数据长度进行控制，该模块的结构框图如下图 1-22 所示。

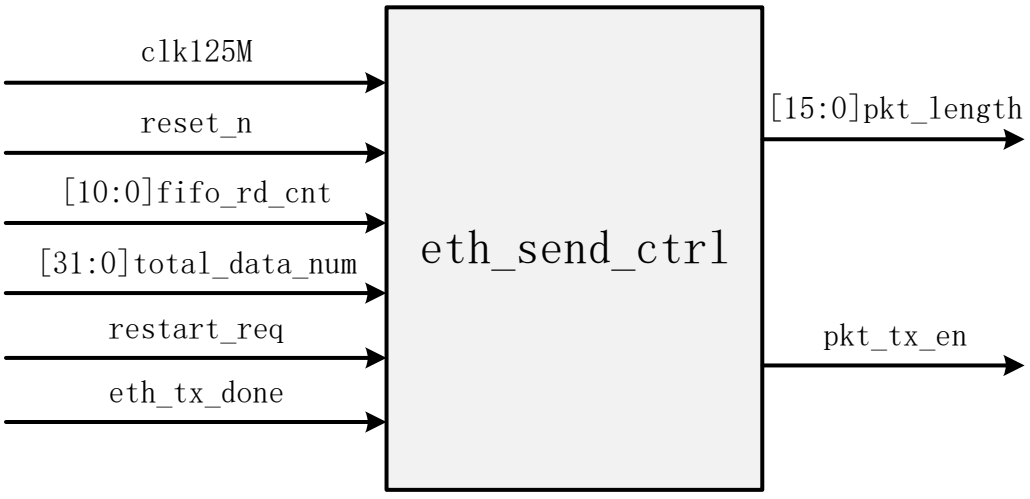

图 1-22 网口发送控制模块

对该模块的信号说明如下表 1-10 所示：

表 1-10 网口发送控制模块信号说明表

信号名称	I/O	信号意义
clk125M	I	模块时钟信号信号，以太网工作时钟 125M
reset_n	I	模块复位信号，低电平复位
fifo_rd_cnt [10:0]	I	FIFO 读数据计数
total_data_num [31:0]	I	需要采集的数据个数
restart_req	I	开始采样请求信号
eth_tx_done	I	以太网一个包传输完成标志信号
pkt_length [15:0]	O	以太网需要传输的数据长度
pkt_tx_en	O	以太网传输使能信号

以太网帧最大长度 1518 字节（数据段 1500 字节），其中数据段 1500 字节还包括 20 字节 IP 报文头部和 8 字节 UDP 报文头部，所以数据帧发送的 ACM7606 采集的数据最大长度为 1472 字节。

该模块可以通过编写状态机代码的方式实现功能，下面将对每个状态的代码进行介绍。

状态 0，得到 pkt_length 信号的初始值。这里需要注意的是经过数据位扩展模块输出的数据为 16 位的，每个数据占据 2 个字节，所以发送 N 个采样数据，则以太网需要发送 2*N 个字节数据。当产生开始采样请求 restart_req 之后，系统开始采样，同时，将需要采集的数据个数 total_data_num 左移一位（相当于乘以 2），得到实际需要以太网传输的数据，当数据大于 16'd1472 时，设置 pkt_length 为最大传输长度 1472；当数据大于 0 时，pkt_length 等于为 total_data_num 乘以 2。给 pkt_length 赋初值之后，跳转到状态 1，代码如下所示：

```
if(restart_req)begin
  data_num <= total_data_num;
  if((total_data_num << 1) >= 16'd1472)begin
    pkt_length <= 16'd1472; //一个数据 2 个字节
    state <= 1;
  end
  else if((total_data_num << 1) > 0)begin
    pkt_length <= total_data_num << 1; //一个数据 2 个字节
    state <= 1;
    end
else begin
  state <= 0;
  end
end
```

状态 1，当 FIFO 计数信号 fifo_rd_cnt 的数值满足一帧数据帧发送采集数据长度时，产生 pkt_tx_en 信号，以太网发送模块开始读取 FIFO 中的数据。代码如下所示：

```
if(fifo_rd_cnt >= (pkt_length -2))begin
  pkt_tx_en <= 1'b1;
  state <= 2;
end
else begin
  state <= 1;
  pkt_tx_en <= 1'b0;
end
```

状态 2，当以太网一个包传输完成之后，产生 eth_tx_done 信号，此时剩下需要传输的数据 data_num 应该减去 pkt_length 的一半，这是因为 ADC 采集的数据是 16 位的，但是以太网每次只传送 8 位数据，所以以太网实际传输的数据应该是 ADC 采集到的数据的一半。代码如下所示：

```
begin
  pkt_tx_en <= 1'b0;
  if(eth_tx_done)begin
    data_num <= data_num - pkt_length/2;
    state <= 3;
  end
end
```

状态3，设置以太网的帧间隙时间间隔。本次实验使用的千兆以太网，其相邻的两帧之间的最小间隔时间为 96ns，在设置的时候只要大于 96ns 就行，本次实验设置 128 个时钟周期，也就是 1024ns。当设置的时间比较小的时候，虽然以太网传输速率会加快，但是会增加电脑端解析数据包的压力，当时间过大，又会影响以太网传输速率，所以在设置的时候需要设定一个比较合理的值。

```
if(cnt_dly_time >= cnt_dly_min)begin
  state <= 4;
  cnt_dly_time <= 28'd0;
end
else begin
  cnt_dly_time <= cnt_dly_time + 1'b1;
  state <= 3;
end
```

状态 4，进行连续的包传输。当剩下的需要以太网传输的数据（data_num * 2）大于包传输最大数据 1472 时，使 pkt_length 为 1472，然后回到状态 1 继续传输；当剩下需要传输的数据不足包传输最大数据 1472 时，pkt_length 为剩下的需要传输的数据 data_num * 2，然后回到状态 1 传输剩下的数据。代码如下所示。

```
begin
  if(data_num * 2 >= 16'd1472)begin
    pkt_length <= 16'd1472;
    state <= 1;
  end
```

```
  else if(data_num * 2 > 0)begin
    pkt_length <= data_num * 2;
    state <= 1;
  end
  else begin
    state <= 0;
  end
end
```

模块设计完成之后，只需要在顶层文件中对各个模块之间的接口信号进行连接，完整的顶层文件代码请自行查看例程文件。

1.4 建立 SDK 工程

经过以上工作，代码设计部分的任务已经全部完成，但是用到了 PS 部分的内容，所以我们需要新建一个空的 SDK 工程用于下载程序，步骤如下。

1. 编译工程，然后依次点击 File->Export->Export Hardware，导出 bit 文件，如下图 1-23 所示。

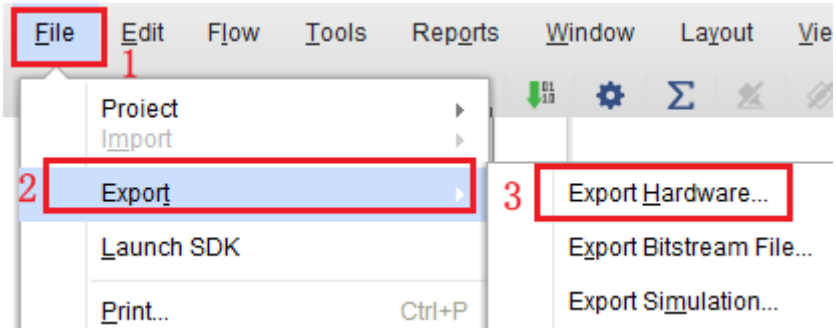

图 1-23 导出 bit 文件

2. 进入 SDK 软件，点击 File->Launch SDK，如下图 1-24 所示。

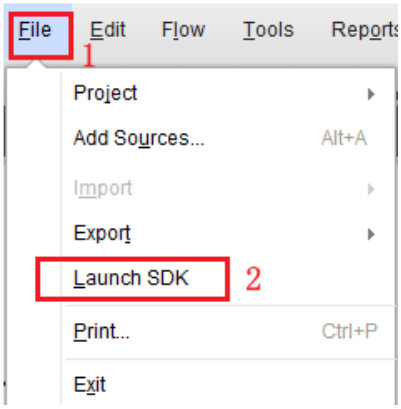

图 1-24 进入 SDK 软件

3. 进入 SDK 软件之后，依次点击 File->New->Application Project，建立一个 SDK 工程，如下图 1-25 所示，然后给工程命名，比如命名为 ad7606_udp_ddr3，然后点击 Next，选择 Empty Application，就完成了工程的创建。

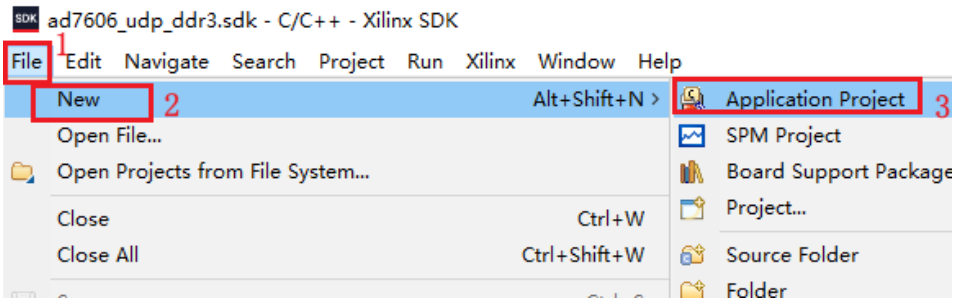

图 1-25 新建 SDK 工程

4. src 文件夹下，新建一个源文件，如下图 1-26 所示，然后在弹出的界面中给文件命名为 main.c，如下图 1-27 所示。

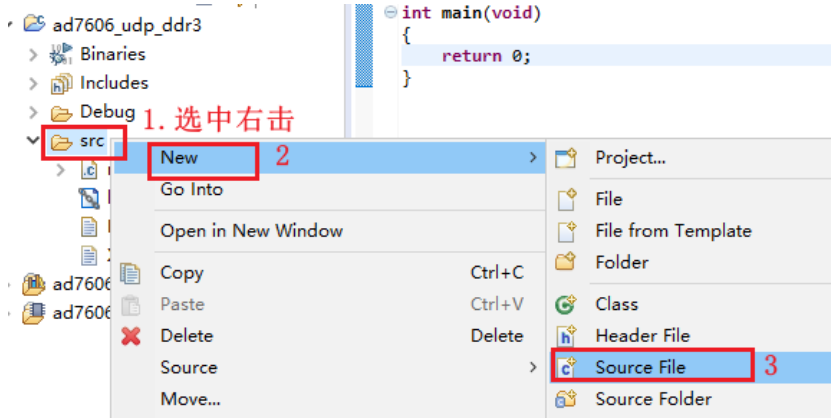

图 1-26 新建源文件

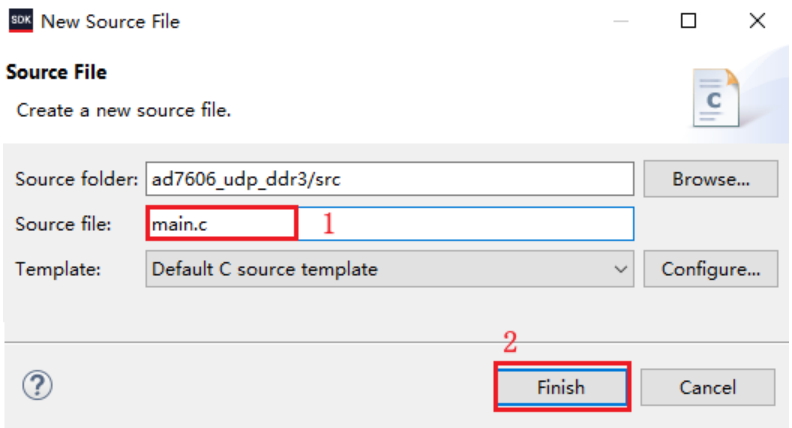

图 1-27 给源文件命名

5. 源文件中添加代码，如果不添加会报错，这里添加没有意义的一句代

码，如下所示：

```
int main(void)
{
    return 0;
}
```

最后 crtl+b 编译工程，没有报错，这样本次实验的设计就完成了，接下来便可以进行板级验证了，需要注意的是，如果你修改了 vivado 中的代码，你需要进行上面的步骤 1，导出 bit 文件，然后在 SDK 中重新编译工程，这样才算修改成功了。

1.5 板级验证

本次实验的板级验证环节，主要验证：通过电脑上的网络调试助手，将命令帧进行发送， 然后通过 ACZ702 开发板上的以太网芯片接收，随后将接收到的数据转换命令，最终实现对 ACM7606 模块的采样频率、数据采样个数以及采样通道的配置。配置完成之后，ACM7606 模块开始采集数据，将 ACM7606 模块采集的数据通过网口传输到电脑。电脑端将接收到的数据进行保存，然后通过 MATLAB 进行进一步的分析。针对本次实验，我们也提供有专门的上位机软件，用户只需要在软件界面进行参数配置，便可以实时观察到实时的数据波形变化，使用起来非常方便。

1.5.1 系统所需硬件

1. ACZ702 开发板一块
2. 网线一根
3. ACM7606 模块一个
4. Type-C 下载线一根
5. 电源线一根（可选）
6. 信号发生器一台

1.5.2 硬件连接

本次设计系统硬件连接如下图 1-28 所示：

1. 使用 Type-C 线连接开发板调试接口（靠近电源接口）和电脑 USB 口
2. 将开发板电源拨码开关拨到对应侧

3. 将网线连接至 PL 侧的网口上

4. ACM7606 模块连接至 40 pin 的排针上，靠右连接，1 脚和 1 脚对应

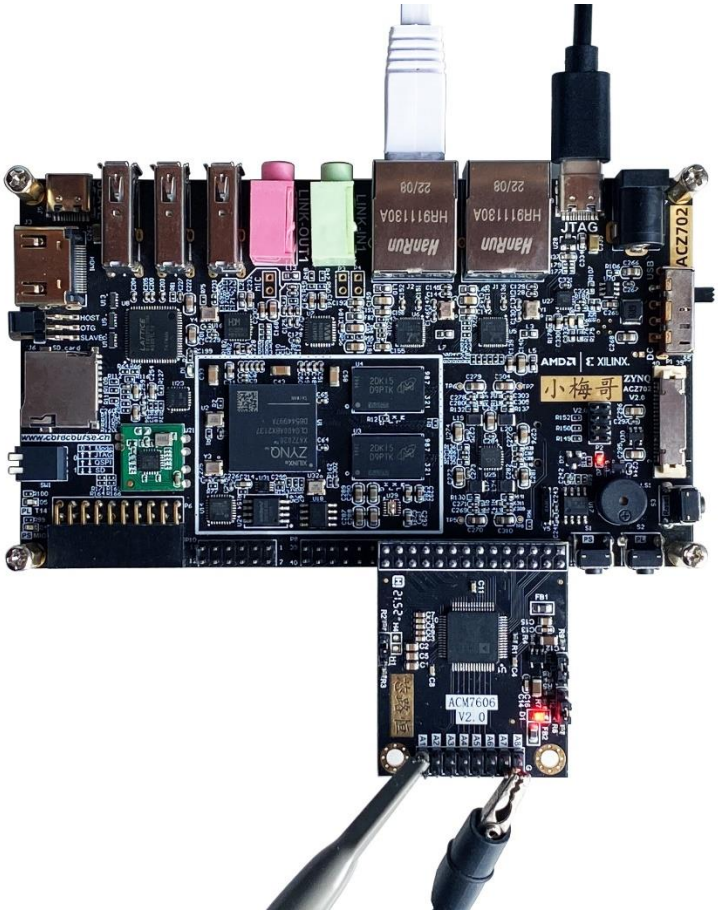

图 1-28 硬件连接图

ACZ702 开发板支持 Type-C 供电和 DC 供电两种模式，在一些对电源要求不高的场合，可以仅连接一根 Type-C 线用于连接与调试。开发板上电源拨码开关用于切换供电源，当被拨到 DC 侧时开发板为 DC 供电，当被拨到 USB 侧时为 Type-C 供电，用户在使用时根据自己使用的供电源拨动。

1.5.3 烧录程序

在 SDK 软件中，依次点击 Run->Run Configurations，如下图 1-29 所示。

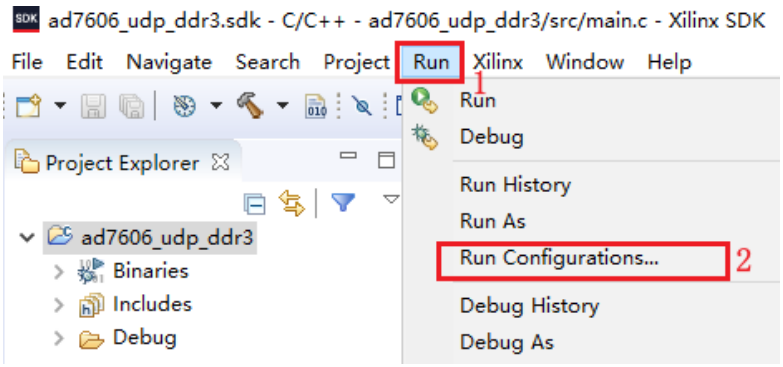

图 1-29 进入下载界面示意图

进入下载界面之后，下载 bit 文件，如下图 1-30 所示。

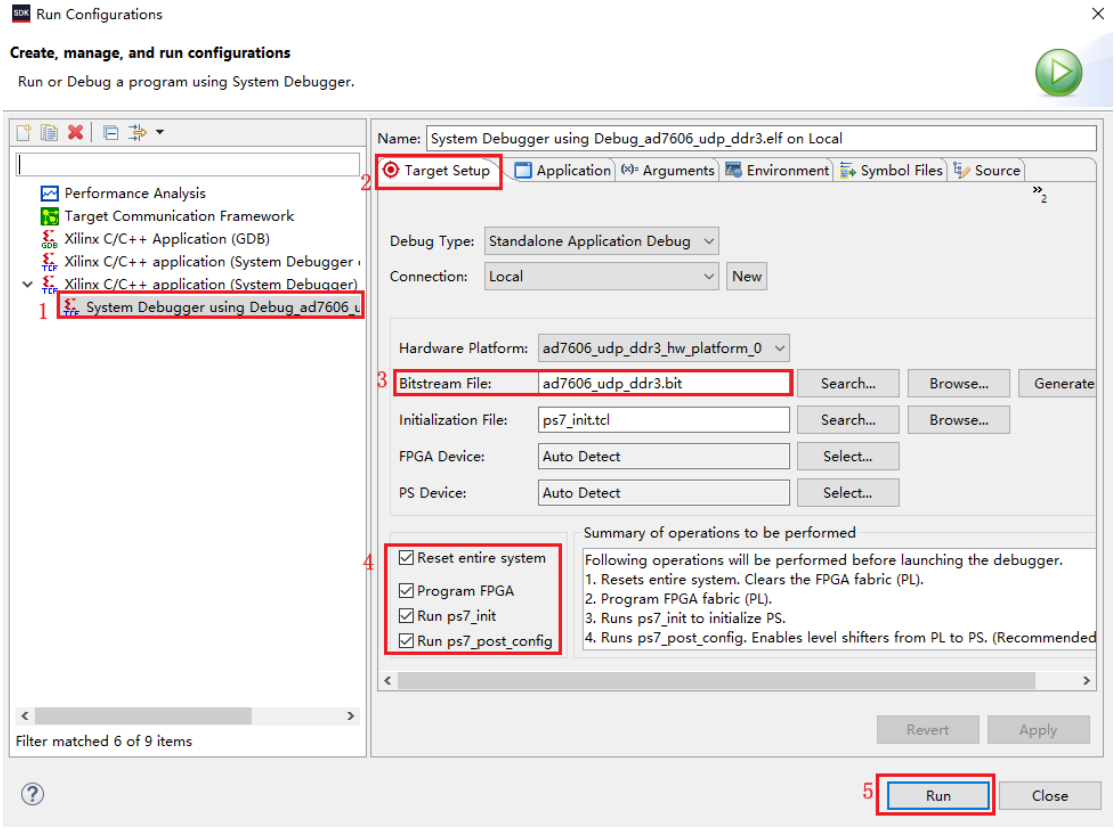

图 1-30 下载 bit 文件

下载成功之后，开发板右侧的 PL 侧的 LED 灯会被点亮，这时说明 PLL 锁相环工作正常，如下所示。

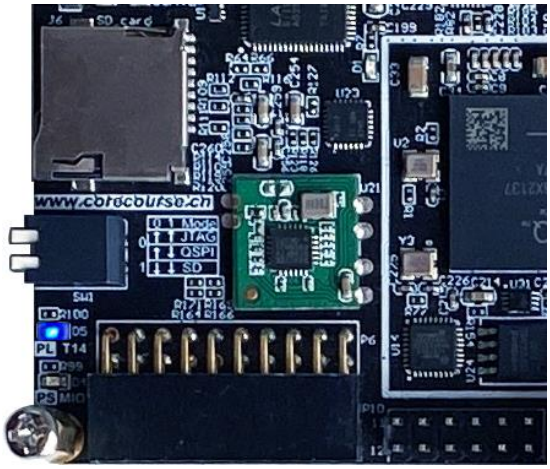

图 1-31 PL 侧 LED 灯被点亮

1.5.4 修改电脑 IP 地址

本次实验设定了目标 IP 地址（PC 端）为 192.168.0.3，用户需要将自己电脑上的以太网 IP 地址修改为该地址，在本地连接状态中，点击属性，并在弹出的属性对话框中双击【Internet 协议版本 4 （TCP/Ipv4）】选项，然后在弹出的属性对话框中设置静态 IP 地址。如下图 1-32 所示。

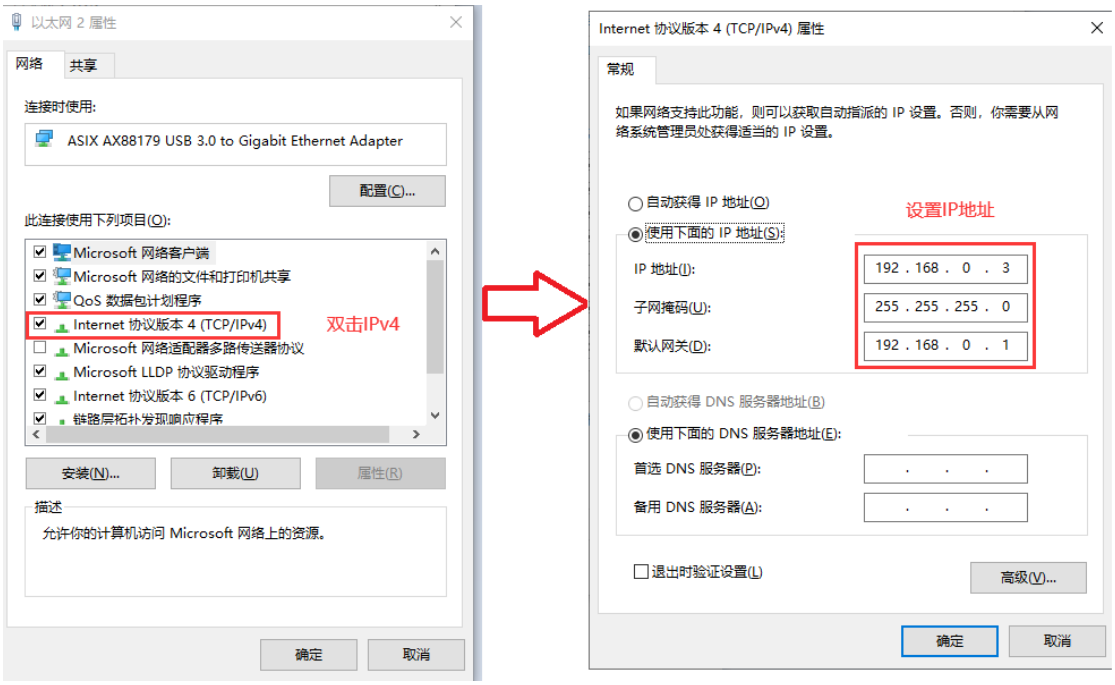

图 1-32 修改电脑 IP 地址

1.5.5 绑定 ARP

本工程不支持 ARP 协议，只能通过静态绑定的方式来强制将开发板的 IP 地

址和 MAC 地址关联在一起。这样，当 PC 发送给 192.168.0.2 的数据包的时候，目标 MAC 地址自动为开发板的 MAC 地址。

关于 ARP 的绑定请查看以下帖子内容：

以太网通信静态 ARP 绑定方法与常见问题解决方案

http://www.corecourse.cn/forum.php?mod=viewthread&tid=28645

1.5.6 功能验证

我们首先需要通过信号发生器给 ACM7606 的通道一输入 200hz，vpp=5V 的正弦波，然后通过网络调试助手或者我们提供的上位机软件“小梅哥控制台 For ADC 采集”采集数据。

1.5.6.1 网络调试助手通信

首先需要打开网络调试助手发送指令去配置，按照如下所述设置各项参数。网络调试助手软件读者可以在 ACZ702 开发板资料包的盘 A/05_驱动和软件/02_常用工具和附件中找到。

1. 选择协议类型为 UDP。
2. 设置本地 IP 地址为 192.168.0.3。
3. 设置本地端口号为 6102。
4. 点击【连接】按钮以创建连接，连接上后该按钮为红色“断开”字样。
5. 连接上后，设置目标主机为 192.168.0.2，目标端口为 5000。
6. 点击“接收保存到文件”这几个字，在弹出的界面中设置文件路径、文件名称，如下图 1-33 所示。这样在数据接收完成之后会保存一个数据文件。方便后面进行分析。

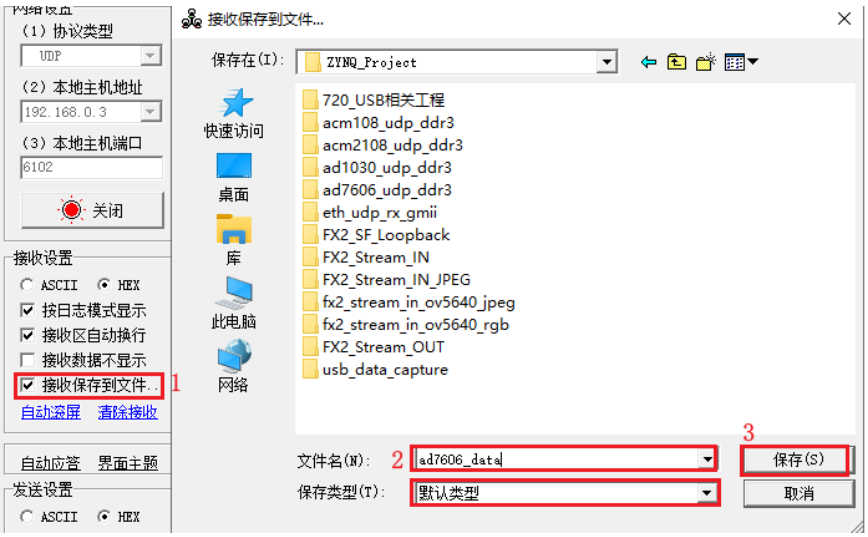

图 1-33 设置保存文件

7. 发送设置中数据类型设置为 hex 格式，如下图 1-34 所示。

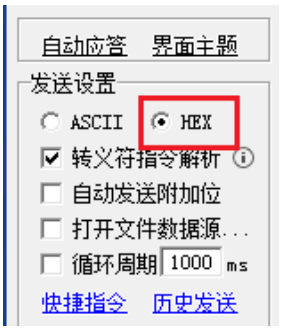

图 1-34 设置发送格式为 hex 码格式

8. 发送命令帧。

在前面接收转命令模块中介绍到数据帧格式对 AD7606 的四个寄存器进行配置。

例如，PC 端要设置采样数据个数(DataNum 寄存器，地址为 2)为 16384(0x4000)个，发送数据帧内容：0x55 0xA5 0x02 0x00 0x00 0x40 0x00 0xF0。

PC 端要设置采样速率(ADC_Speed_Set 寄存器，地址为 3)为 200K，则对应的 ADC_Speed_Set 值为 1000000000/20/200000 - 1 = 249（0x000000F9）个， 则发送的数据帧内容为：0x55 0xA5 0x03 0x00 0x00 0x00 0xF9 0xF0。

当上述设置都设置完成后，就可以向 0 号寄存器写入任意值，来开始一次采样传输了。数据帧内容可以为 0x55 0xA5 0x00 0x00 0x00 0x00 0x00 0xF0，这里需要注意的是 0 号寄存器必须放在最后，因为 0 号寄存器负责启动 ADC，ADC 在未配置完全的情况下开始启动，数据很容易输出错误值。

开始传输数据帧命令发送完成之后，AD7606 就能实现以 200K 的采样速率，对 1 个通道进行采样（本次实验以通道 1 为例），共采集 16384 个数据。四个寄存器对应的配置如下表 1-11 所示：

表 1-11 寄存器配置表

寄存器名称	数据帧数据
DataNum	55 A5 02 00 00 40 00 F0
ChannelSel	55 A5 01 00 00 00 01 F0
ADC_Speed_Set	55 A5 03 00 00 00 F9 F0
RestartReq	55 A5 00 00 00 00 00 F0

配置成网络调试助手发送的数据格式如下：

55A50200004000F055A50100000001F055A503000000F9F055A50000000000F0

最终的网络助手配置界面如下图 1-35 所示：



图 1-35 网络调试助手配置图

点击发送之后可以看到网络调试助手在不断的接收数据，如下图 1-36 所示。从图中可以看出一共接收到 32768 个数据，这是因为设置的 ADC 采样数量为

16384，ADC 采样数据是 16 位的，以太网是以字节（8 位）为单位进行发送的，所以通过以太网接收到字节数应该是 16384*2 个数据，这也就是说明接收到的数据的个数没错。

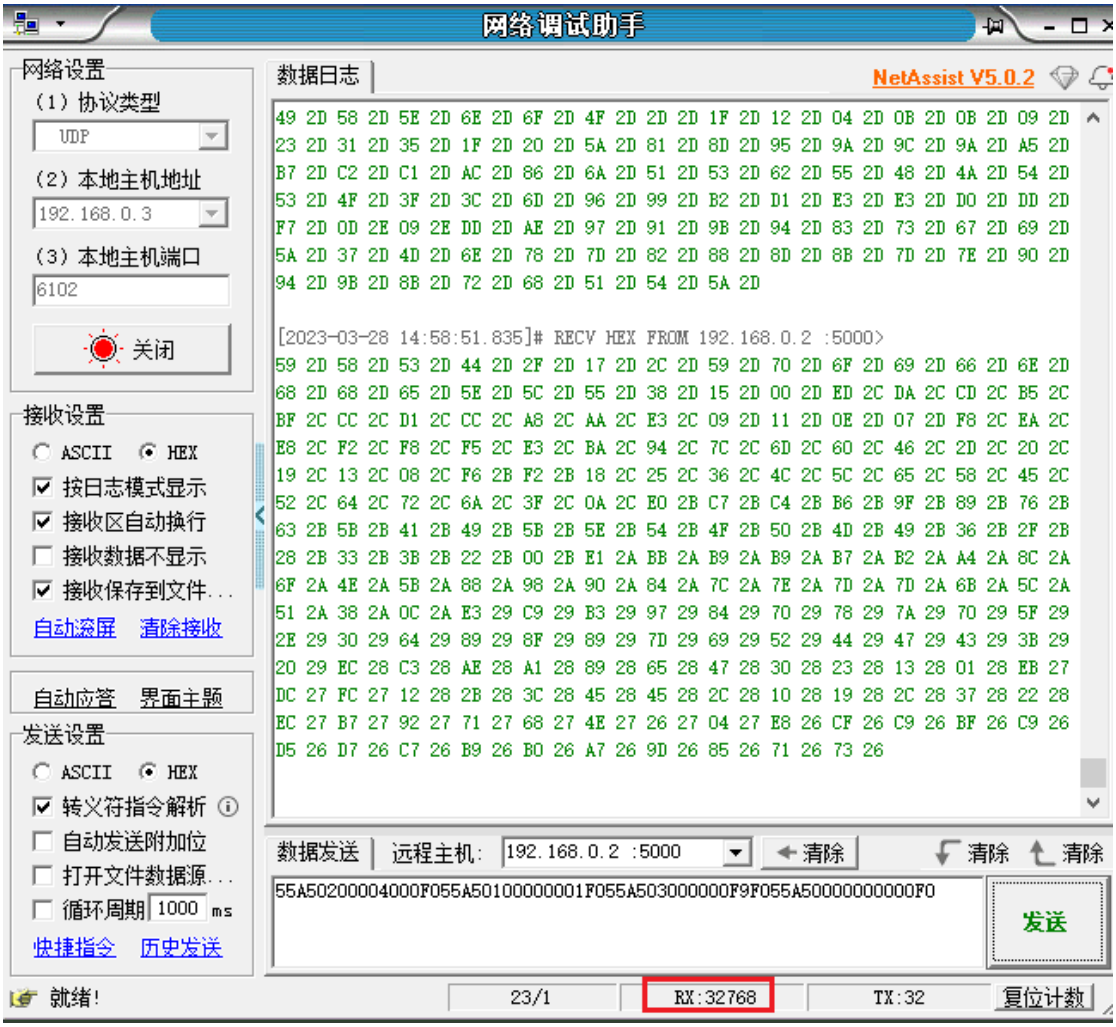

图 1-36 网络调试助手接收数据

1.5.6.2 MATLAB 图像绘制

前面通过网络调试助手得到了 ADC 采集到的数据文件，然后我们就需要对采集到的数据进行分析，本次实验使用 MATLAB 软件进行分析。使用 MATLAB 软件需要读者电脑安装了 MTALAB，如果已经安装好了 MTALAB 软件，则可以双击我们提供的 ADCdata_to_wave_v2_2.m 文件，在打开方式里选择以 MATLAB 打开，该文件位于本次实验的工程压缩包下，将压缩包解压便可以看到该文件。文件打开之后，读者需要将代码中文件路径修改为你保存的数据文件路径，随后点击运行便可以直观的看到数据是否正确，MATLAB 操作如下图 1-37 所示，得到的波形图如下图 1-38 所示。

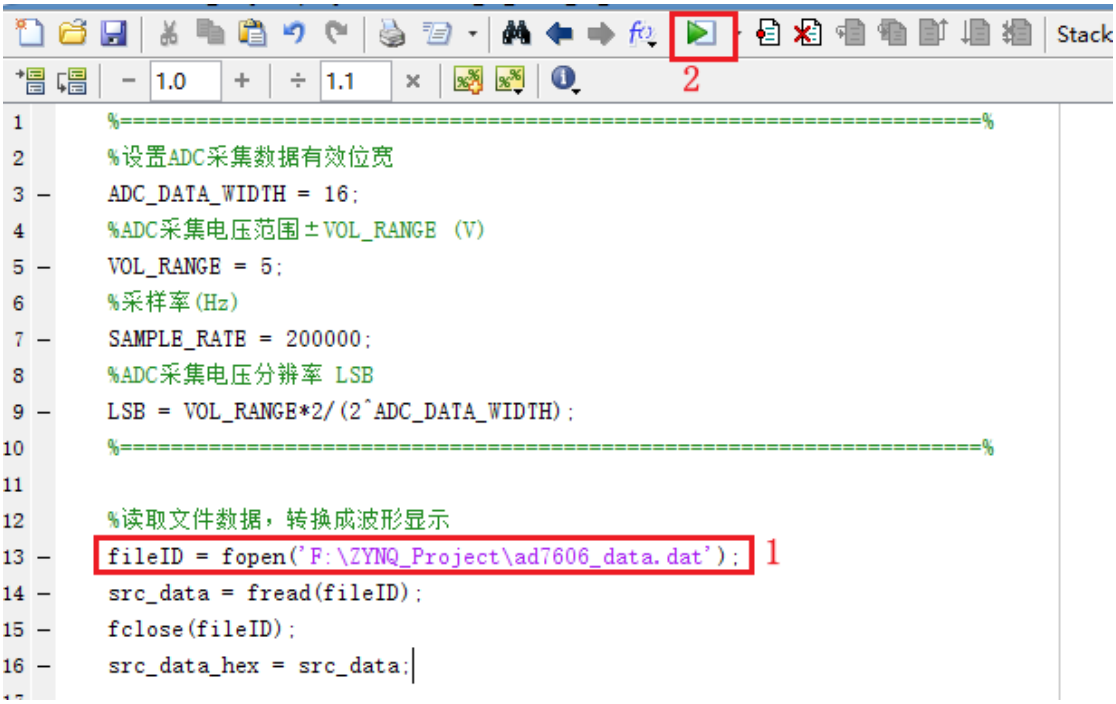

图 1-37 修改文件路径并运行

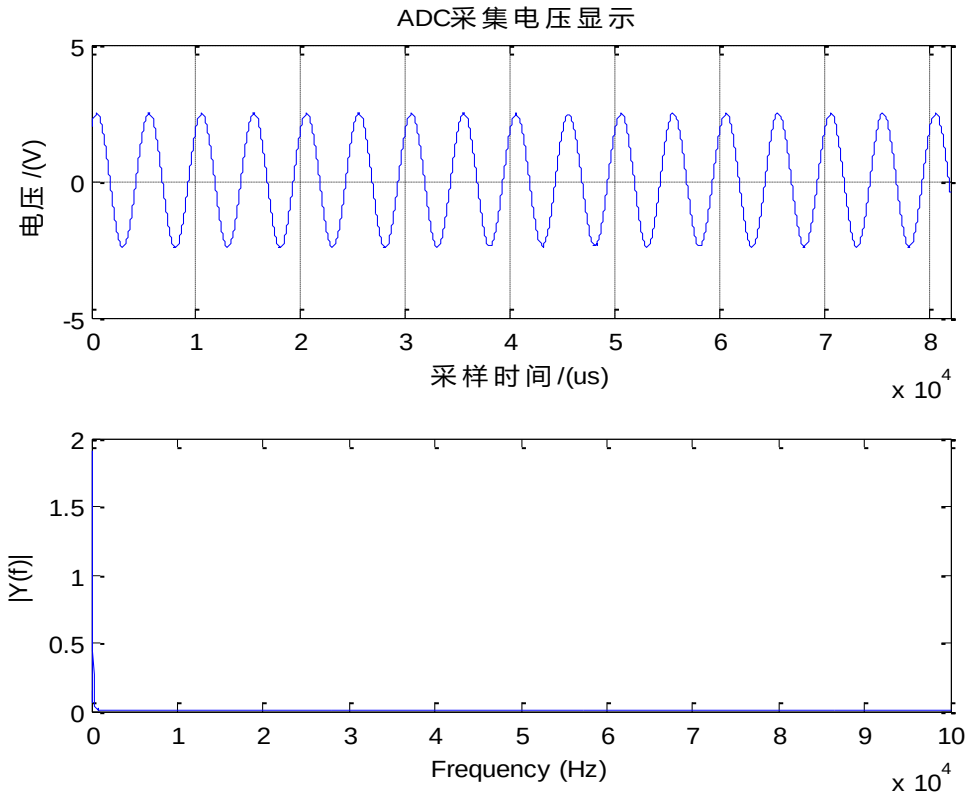

图 1-38 MATLAB 分析波形图

前面我们提到过本次实验提供的信号源为 200hz，Vpp 为 5V 的正弦波，与 MATLAB 分析出来的波形一致，说明我们本次实验成功。

1.5.6.3 数据采集上位机通信

前面通过网络调试助手采集数据时，每次保存数据都需要重新点击“接收保存文件”一栏，修改寄存器参数的时候，都需要重新计算，然后发送命令，修改之后也不能直接实时观察到数据波形，使用起来不是很方便。基于上述问题，我们设计了上位机软件“小梅哥控制台 For ADC 采集”进行数据采集，上位机内部直接对命令进行了构建，用户只需要在界面上对采样参数进行设置，便可以实时观测到数据变化，该软件的最新下载链接如下所示：

数据采集上位机使用方法说明

http://www.corecourse.cn/forum.php?mod=viewthread&tid=29224

双击上位机软件，初始界面如下图 1-39 所示。

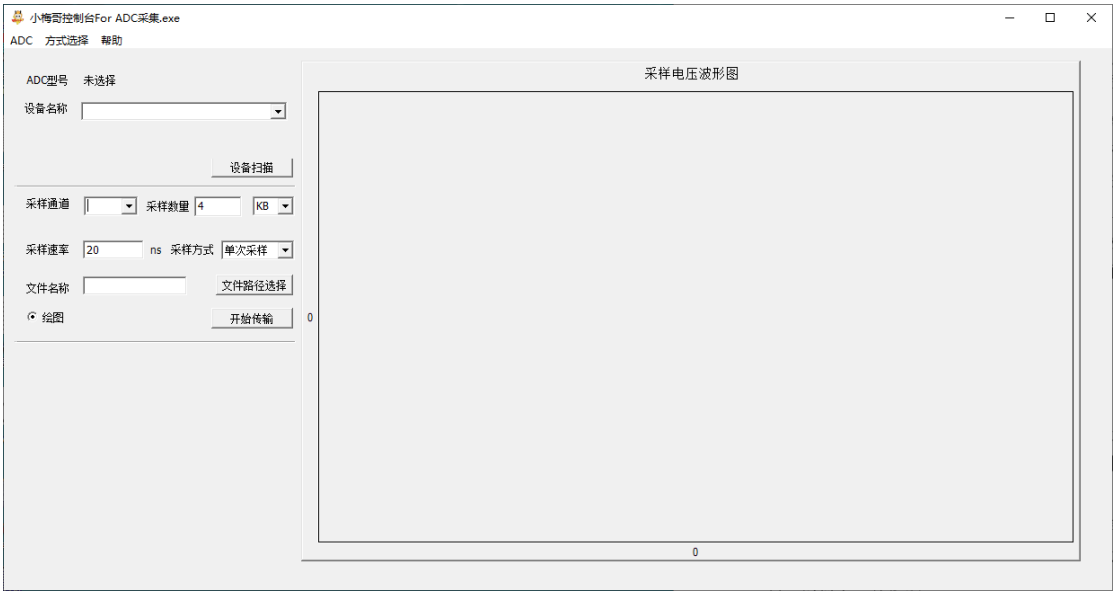

图 1-39 上位机软件初始界面显示

本次实验使用该软件的方式如下所示：

1. 点击 ADC，选择 ACM7606。
2. 点击方式，选择网口，可以看到主机 IP（PC 端）和目的 IP（FPGA）以及对应的端口号。主机 IP：192.168.0.2，主机端口号：6102；目的 IP：192.168.0.3，目的端口号：5000。
3. 选择完成之后，我们可以看到采样通道、采样数量等都已经设置了初始值（默认设置的采样率为 ADC 模块的最大采样率），用户可以根据自己的需求进行修改。
4. 点击网络连接。

5. 点击开始传输之后，可以看到在右边采样电压波形图界面可以直观看到波形图，如下图 1-40 所示。需要注意的是波形图的横坐标对应的不是频率，而是采样数量。

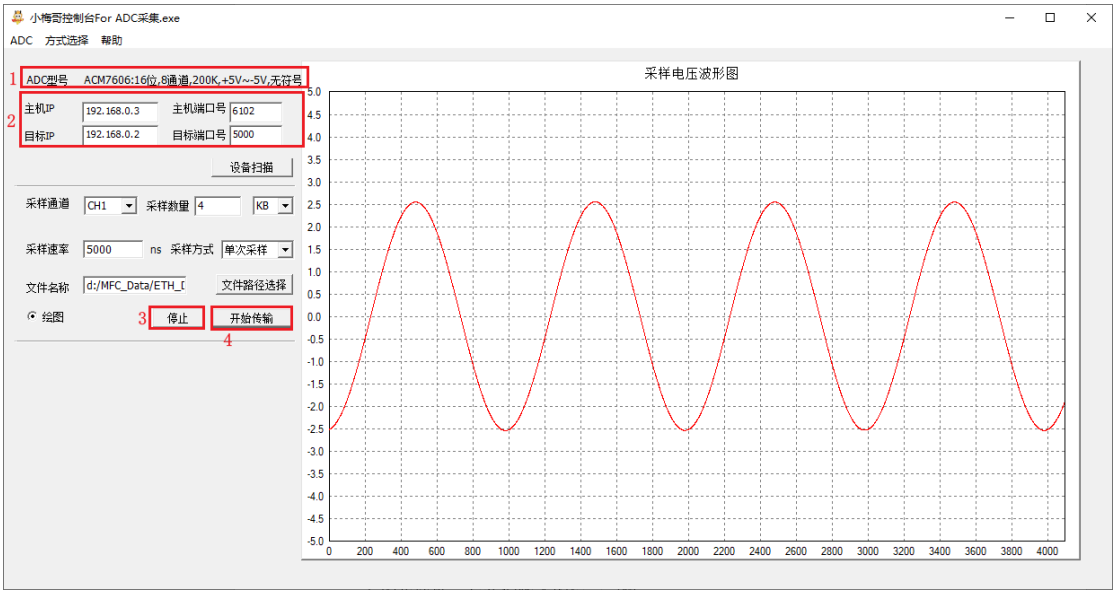

图 1-40 数据采集上位机显示图

通过上位机采集到的数据文件保存在 d:/ MFC_Data 文件夹下，后续可以通过 MATLAB 软件进行进一步的分析，通过 MATLAB 分析的波形图如下图 1-41 所示。从图中可以看出，采集到的数据是频率为 200hz，电压在正负 2.5V 左右的正弦波，与我们输入的信号一致。

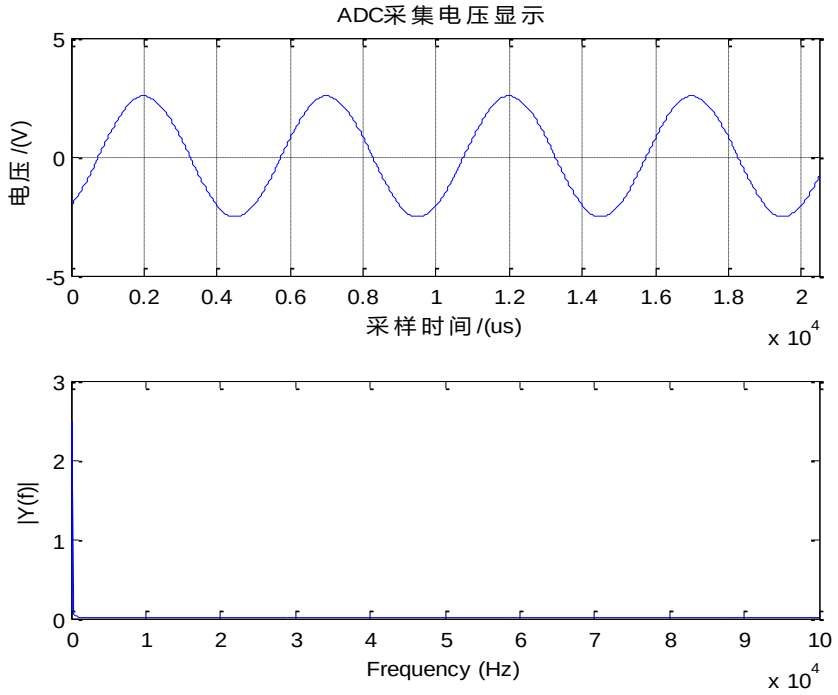

图 1-41 MATLAB 进一步波形分析图

1.6 思考与总结

本次实验介绍了基于 AD7606 的千兆以太网收发，用户通过网口调试助手以太网帧向开发板发送指令数据配置 AD7606 的四个寄存器，以此控制 ADC 进行采样，并将数据缓存后再组成以太网帧，经由网口发送至电脑，借由网口调试工具对数据进行查看。如果使用我们提供的上位机软件，则不需要自己设置命令，只需要在界面上修改相关参数，便可以在右边的波形显示界面实时观察到波形变化。

本次实验涉及时钟域的转换，以及采集数据位宽的转换，完成这些转换需要对 FIFO 有一定的了解，想要对 FIFO 进一步了解可以参看逻辑教程中“IP 核使用之 FIFO”一章的内容。本次实验也要求读者对以太网协议有足够的认识，想要进一步理解以太网功能原理可参看逻辑教程中以太网相关章节的内容。