

EZ-USB® FX2LP™ 硬件的正确设计指南

作者: Rama Sai Krishna Vakkantula

相关项目: 有

相关器件系列: CY7C68013A/14/15/16A

软件版本: NA

相关应用笔记: AN65209

要想获得本应用笔记的最新版本或相关项目文件, 请访问网站
<http://www.cypress.com/go/AN15456>。

构建 USB 器件时, 要特别注意 USB 规范中的设计细节。本应用笔记介绍了所有 USB 器件的常见设计主题, 并对赛普拉斯的 EZ-USB® FX2LP™ 器件进行了重点介绍。介绍的信息也适用于旧的 FX1 器件和通用的 USB 器件。本应用笔记最后部分包含一个原理图审核检查表 (帮助您成功设计任何 USB 硬件) 和赛普拉斯软件的说明内容 (有助于进行器件检验)。

目录

1	简介	1	6.1	受控差分阻抗	11
2	为 USB 器件供电	2	6.2	USB 信号	13
2.1	USB 电源规范	2	6.3	电源与接地	16
2.2	USB 插入时序	5	6.4	晶振或振荡器	17
2.3	MCU 的电源节省	6	6.5	故障排除	17
2.4	USB 的电源节省	6	6.6	球栅阵列注意事项	18
3	USB 复位电路	7	6.7	56 球型焊盘 VFBGA 封装的详细信息	19
3.1	传统方式	7	7	原理图审核检查表	22
3.2	更好的方式	8	7.1	检查表	22
3.3	测试	9	7.2	组装电路板	23
4	EEPROM 使用注意事项	9	8	赛普拉斯驱动程序和 USB 控制中心	24
4.1	使用外部电源监视器芯片	9	8.1	驱动程序安装	24
4.2	将 GPIO 引脚连接到 EEPROM WP 引脚上	9	8.2	USB Control Center (USB 控制中心)	26
4.3	对 EEPROM 进行永久性写保护	10	9	总结	27
5	选择 USB 的谐振器	10	10	相关文档	27
5.1	谐振器要求	10		关于作者	27
6	高速 USB PCB 的布局建议	11		文档修订记录	28

1 简介

与 1.1 规范相比, USB 2.0 的带宽显著增大。带宽增加为原来的 40 倍, 它使得良好的 PCB 设计以及慎重选择 USB 芯片的外围组件 (如赛普拉斯的 FX2LP) 显得尤为重要。本应用笔记介绍的是适用于所有以任何速度运行的 USB 器件 (特别是以更高速度运行的 USB 2.0) 的各种 USB 设计主题。即便这些内容针对的是赛普拉斯器件, 但它们也有用于所有 USB 外设设计。

USB 线缆提供了电源，从而使独立器件可用。为 USB 器件供电章节说明了如何向 USB 器件提供电源以及自供电器件的重点注意事项。

USB 支持热插拔，因此 USB 芯片复位电路变得非常重要。USB 复位电路章节说明了旧式 RC 复位电路的不足之处，并提供了一项优越的解决方案。

赛普拉斯的 USB 器件将高速片上 RAM 使用于程序存储。上电时，可以通过 USB 引导加载该 RAM 或从外部 EEPROM 加载它。EEPROM 使用注意事项章节介绍了如何成功实现一个满足 USB 电源和热插拔要求的 EEPROM 设计。

每个 USB 芯片都需要一个由晶振提供的高精度时钟。在最近的开发中使用的是成本更低的谐振器（带有负载电容），它们作为 USB 时钟源使用不够稳定。选择 USB 的谐振器章节对这些谐振器进行了相关介绍，并提供了相关规范。

良好的印刷电路板布局对一个成功的 USB 外设起着非常重要的作用。高速 USB PCB 的布局建议章节提供了各种建议，包括 BGA 要求。通过使用原理图审核检查表确认是否满足各种设计要求。

最后，赛普拉斯驱动程序和 USB 控制中心章节介绍了赛普拉斯 Windows 驱动程序和一个称为 USB 控制中心的实用程序（该程序为第一次创建基于 FX2LP 的电路板提供便利条件）的安装方法。

2 为 USB 器件供电

可以通过以下三种方法为 USB 器件供电：

- 总线供电：器件使用 USB 线缆 VBUS 线上的电源。目前，这是为 USB 器件（如笔式驱动器、鼠标、键盘和较新的磁盘驱动器）供电的最常见方法。
- 自供电：某些 USB 外设（如磁盘驱动器）所需电源超过了线缆所提供的电源。这些外设通常使用外部电源（这些电源通常为壁式电源适配器）。
- 混合电源：USB 器件可以自供电或由总线供电。这些器件比较罕见，并且通常需要多个电源。

本节重点介绍了前两种供电方法，因为第三种方法是它们的组合。

2.1 USB 电源规范

几项重要的 USB 规范指导电源电路的设计。本节汇总了几项重要的规范。

2.1.1 VBUS 电源

USB 2.0 主机在 5 V VBUS 线上提供了两种功耗水平：插入时的 100 毫安电流和运行期间的 500 毫安电流。USB 规范为 100 mA 负载提供的 VBUS 范围为 4.4 V 到 5.25 V，并且为 500 mA 负载提供的 VBUS 范围为 4.75 V 到 5.25 V。USB 外设通常将该电压调节为 3.3 V，从而为器件提供最清洁的电源。

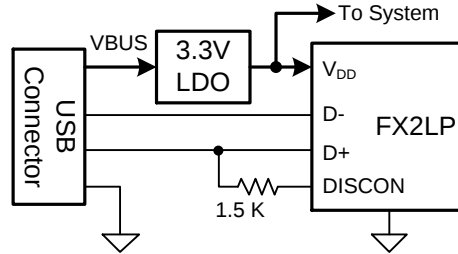
在所有情况下，总线供电的集线器为下行端口提供 100 mA 的电流。一个外部供电的集线器能够为其自身的每个下行端口提供 500 mA 的电源。

2.1.2 插入时的 USB 电源

USB 主机会将刚插入的 USB 器件视为未配置器件。根据规范，未配置 USB 器件不能从 VBUS 线获取超过 100 mA 的电流。在枚举过程中，主机将确定器件的电源要求。如果主机满足其电源要求，它将使器件进入配置状态并提供所需电源。这样会使 USB 更加安全 — 例如，如果将 400 mA 器件插入到总线供电集线器上，主机不会配置或运行该器件，这是因为总线供电集线器仅支持 100 mA 的下行器件。

全速或高速 USB 器件通过将一个带有 1.5 kΩ 电阻的 D+ 信号线电压上拉到 3.0 V 和 3.6 V 的范围内，向主机表示它的存在。根据 USB 规范，如果 VBUS 不存在，便不能为该电阻供电。该注意事项仅适用于自供电器件，因为在总线供电器件中，VBUS 通过 5 V 到 3.3 V 电压调节器自我提供上拉电压。这样，总线供电器件自动满足 VBUS 存在规范（图 1）。

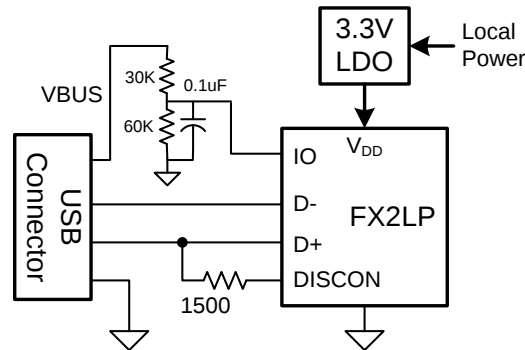
图 1. 总线供电器件



如图 1 所示，VBUS 线为 3.3 V 调节器提供 5 V 的电源，从而给 FX2LP 芯片和其他器件电路供电。FX2LP 使用其自身的 DISCON 输出引脚提供 3.3 V 的上拉电压。由于 VBUS 不存在，因此会清除 FX2LP 电源和上拉电阻电压。

自供电器件的情况不同，应认真对待（图 2）。

图 2. 自供电器件



如果在连接至 USB 之前或在连接至 USB 期间，自供电器件获得本地电源，或者主机关闭了 VBUS，那么该器件也会在没有 VBUS 的情况下为上拉电阻供电（这种情况违反了 USB 规范）。这是特定的 USB 规范兼容性测试项目 — 兼容性测试会关闭 VBUS 并检查 D+ 线上是否存在电压。

如图 2 所示，VBUS 线不再提供电源，却作为一个信号输入。通过检测 VBUS 信号，FX2LP 固件能够确保只有 VBUS 电源存在时它自己的 DISCON 输出才会给 1.5 kΩ 大小的 D+ 上拉电阻供电。该电阻分频器使 5 V VBUS 电压下降到 3.3 V，从而使它与 FX2LP I/O 引脚电压电平相互兼容。由于 USB 线断开，然后 VBUS 信号悬空，接地电阻会将 I/O 引脚置于低电平。该电容提供瞬态抑制，从而可以实现连接和断开连接。某些 FX2LP 系统使用了一个协处理器。在这些系统中，协处理器或 FX2LP 都可以检测 VBUS 信号，从而准确控制 DISCON 输出引脚。

在大多数自供电设计中，可以使用任何通用输入引脚（GPIO）来检测 VBUS。对于最新的固件响应，您可以使用 FX2LP 中断引脚。在使用 VBUS 前，如果您想使 FX2LP 进入低功耗（睡眠）状态，您可以使用 FX2LP WAKEUP 输入引脚来检测 VBUS。通过将 WAKEUP 引脚置于高电平有效，您便可以使用 VBUS 信号来唤醒 FX2LP MCU 并恢复 USB 信号。

两种: FX2 形式（AT2LP 和 HX2LP）提供了一个专用的 VBUS 检测引脚。

2.1.3 GPIO VBUS 检测示例代码

图 3 显示的是示例 C 代码，用于检测 PORTA.7 I/O 引脚，从而确定 VBUS 的存在并设置 bmDISCON 位（若有）。

图 3. 使用 I/O 引脚检测 VBUS 的 C 代码

```
if ( !(IOA & 0x80) ) // Test VBUS signal (using a PORTA.7 pin for example)
{
    USBCS |= bmDISCON; // VBUS not present: disable D+ pullup
}
else
{
    USBCS &= ~bmDISCON; // VBUS is present: enable D+ pullup
}
```

2.1.4 WAKEUP 引脚 VBUS 检测示例代码

图 4 显示的是示例 C 代码使用 WAKEUP 引脚来检测 VBUS 存在的情况。

图 4. 使用 WAKEUP 引脚检测 VBUS 的 C 代码

```
// clear built-in latch
WAKEUPCS = bmWU | bmDPEN | bmWUEN;
// write again in case polarity was modified
WAKEUPCS = bmWU | bmDPEN | bmWUEN;

if(WAKEUPCS & bmWU)
{
    // WU (VBUS) is low: disconnect
    //application specific code //shut down normal operations
    USBCS |= bmDISCON;
    // disable interrupts
    EA = 0;
    // debounce delay
    EZUSB_Delay(30);

    // enable WU active high (wait for VBUS ONLY)
    WAKEUPCS = bmWU | bmWUPOL | bmWUEN;
    // place processor in idle mode
    // Code execution resumes here when WU pin goes active (VBUS detected)
    EZUSB_Susp();
    // enable WU active low and D+, too
    WAKEUPCS = bmWU | bmDPEN | bmWUEN;
    // connect
    // application specific code // restart normal operations
    USBCS &= ~bmDISCON;
    // enable interrupts
    EA = 1;
    // debounce delay
    EZUSB_Delay(30);
}
```

EZUSB_Susp() 语句通过使其振荡器停止运行使 FX2LP 进入低功耗状态。通过确认 WAKEUP 引脚重新启动该振荡器，等时钟 PLL 进入稳定状态后再激活 WAKEUP ISR（中断服务子程序）。ISR 清除中断请求位，然后执行一条“reti”指令，使代码执行恢复到某条指令，该指令位于使 FX2LP 进入 IDLE 状态的指令后面。

如果您的代码基于赛普拉斯的 USB 固件框架，那么用于使能和服务 WAKEUP 中断的代码以 fw.c 格式编写，如图 5 所示。由于 resume_isr 函数被声明为 ISR，因此，退出时它会自动执行 reti 指令。

图 5. fw.c 格式的 WAKEUP 中断代码

```
EZUSB_ENABLE_RSMIRQ(); // Enable Wake-up interrupt
.....
// Wake-up interrupt handler
Void resume_isr(void) interrupt WKUP_VECT
{
    EZUSB_CLEAR_RSMIRQ();
}
```

2.2 USB 插入时序

USB 规范强制为 USB 上电和 RESET 信号添加了时序要求。

2.2.1 D+上拉

在 100 毫秒连接时间内，器件必须上拉 D+。上电时，FX2LP 的默认性能为清除 DISCON 位，自动连接上拉电阻和满足该要求。（DISCON 是 USBCS 寄存器的位 3）FX2LP 包含了通过设置启动 EEPROM 中的位覆盖该性能的选项。

同所有 EZ-USB 器件系列一样，FX2LP 将易失性 RAM 用于程序存储。上电时，FX2LP 可以执行以下三项操作：

1. 使用固定配置文件进行枚举的默认 USB 器件，它以供应商 ID VID=0x04B4（表示赛普拉斯）和产品 ID PID=0x8613（表示 FX2LP）为特征。这个默认 USB 器件中包含的电路是为了通过 USB 下载固件，将其加载到内部 RAM 中，然后执行固件代码。赛普拉斯提供了 Windows 工具，该工具将驱动程序绑定到该配置文件，从而能够通过 USB 下载固件（参考赛普拉斯驱动程序和 USB 控制中心）。
2. 同编号 1 相似，但用户可以提供自定义的 VID 和 PID 值。包括相同的默认 USB 固件加载器，但没有赛普拉斯 VID 和 PID。这样可以选择 PC Bootloader 的供应商定制。小容量 I²C EEPROM 提供了 6 字节的 ID 信息和一个配置字节，通过该字节可将 DISCON 引脚默认设置为 1（断连）而不是 0（连接）。
3. 可以从一个大容量（64 KB）I²C EEPROM 加载完整的固件镜像。同编号 2 相似，前 8 个字节包含一个配置字节，可以通过该字节更改 DISCON 引脚的上电值。

大多数设计都保持 DISCON 的默认值，因此能够在插入时自动连接至 USB。这样很容易满足 100 毫秒连接时间的限制。然而，如果您的设计使用了 EEPROM 配置字节来覆盖掉 DISCON 的 0 默认值，那么 FX2LP 将断开与 USB 的连接。现在，您的固件必须满足 100 毫秒的时间限制，从而能够将 DISCON 设置为 0。如果您使用第三种方法，那么固件下载时间将被添加到您的代码将 DISCON 设置为 0 所需要的时间。因此，您应该使用 EEPROM 配置字节中的其他位将 FX2LP 设置为最大的 I²C 时钟频率（400 KHz）。一旦开始下载代码，请确保在退出 MCU 复位后立即将 DISCON 设置为 0。

2.2.2 总线复位

连接至 USB 器件的 D+上拉后，USB 器件必须在 100 毫秒时间内响应 USB 总线复位。FX2LP 可自动满足该要求，因为它的内部电路处理总线复位时不需要固件的参与。

2.2.3 其他 USB 时序

一旦 USB 器件可运行，它必须在 50 毫秒内响应主机 SETUP（设置）数据包（无数据阶段）。单阶段 SETUP 数据包包括以下器件请求：

- SET_ADDRESS
- SET_CONFIGURATION
- SET_FEATURE
- CLEAR_FEATURE
- SET_INTERFACE

SET_ADDRESS 在 FX2LP 硬件中进行处理。其他请求包括简单设置和清除内部状态位，因此固件响应非常快。一般情况下，赛普拉斯 USB 固件框架的 TD_Poll() 函数在无限主循环中检查 SETUP 数据包。如果您的代码占用了该循环的大部分时间，那么“Setup Data Available”（设置数据可用）中断请求将尽可能降低 SETUP 响应时间。

带有数据阶段的 SETUP 数据包需要 500 毫秒时间来响应，这也是检索请求数据（如 USB 描述符）所需要的时间。

2.3 MCU 的电源节省

FX2LP 电源的主要消耗来自 MCU 和 GPIF 单元。可以将 MCU 设置为闲置状态并使用 WAKEUP 中断重新启动，如前面所述。如果您的设计并未使用 GPIF，那么请不要配置 IFCONFIG 寄存器（0xE601）。这样可以按 48 MHz 的频率运行 GPIF，从而节省电源。

MCU 能在三种时钟频率下运行：12 MHz、24 MHz 和 48 MHz。上电时，它的默认频率为 12 MHz，但大多数设计都使用 48 MHz 的时钟频率来确保对 USB 事件作出快速响应。可以随时更改 MCU 时钟频率。

2.4 USB 的电源节省

USB 主机通过在 3 毫秒后挂起总线活动使器件进入低功耗的待机状态。USB 器件通过进入低功耗状态和监控总线上的活动（以恢复操作）作出响应。FX2LP 具有用于 SUSPEND（暂停）和 RESUME（恢复）状态的各种中断。当检测到 SUSPEND 时，MCU 将进行全部要求的内部辅助操作（如关闭外设单元的电源），然后进入闲置或暂停状态。MCU 还可以指令 FX2LP 进入 SUSPEND（暂停）状态，该操作独立于 USB 总线信号。将 WU2 引脚用于周期唤醒时，该性能非常重要。

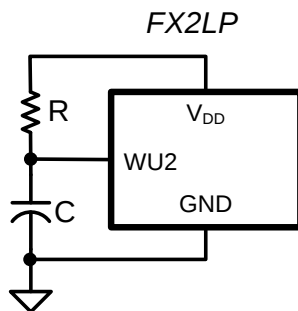
通过以下三种方法，可使 FX2LP 退出 SUSPEND 状态。每种方法都有自己的使能位。

1. USB 主机恢复信号。
2. 确认 WAKEUP（WU）引脚。
3. 确认第二个 WAKEUP 引脚（WU2）。

次要的 WAKEUP（WU2）引脚具有特殊的内部硬件。WU2 引脚同时作为一个唤醒源（用于重启 FX2LP 振荡器）和一个通用的输出引脚。如果连接了 RC 网络（如图 6 所示），并且 WU2 引脚被编程为高电平有效，那么 FX2LP 可以对电容进行周期性放电，从而进入暂停状态；当电容被充电到约为 2 V 时，FX2LP 将重新被唤醒。

通过设置 WAKEUPCS（唤醒控制与状态）寄存器中的 WU2POL 位，可以将 WU2 极性设置为高电平有效。相关输出位是 PORTA 位 3（PA3）。将 PA3 设置为零，并将 OEA.3（输出使能）设置为 1，从而将 WU2 引脚置为低电平，并使电容放电。然后清除 OEA，以便使 WU2 处于悬空状态并使电容能够充电。

图 6. WU2 引脚能够触发周期性的 WAKEUP 事件



3 USB 复位电路

USB 被普遍使用主要是因为能够通过 USB 线缆为器件供电，从而使能各总线供电器件。甚至 USB 还具有“热插拔”功能，因此可以将 USB 器件从被充电的 PC 上插入或拔出而不会发生任何意外。但热插拔功能对于复位 USB 芯片的电路有特殊的要求。

3.1 传统方式

图 7 中的 RC 网络是一个非常通用的复位电路。图 8 显示的是这种简单电路，该电路用于各总线供电的器件（大部分 USB 器件的类型）。波形显示的是电压波形，以显示连接了一个 USB 器件，然后又被断开并在很短的时间内得以重新连接。芯片电源显示为红色，芯片复位阈值显示为蓝色，芯片的有效低电平复位输入电压则显示为绿色。如果复位引脚电压位于蓝线下方，USB 芯片将被保持为复位状态。如果复位引脚电压显示在蓝线上方，则该芯片处于未复位状态并且能够正常操作。

图 7. 简单的 RC 复位电路

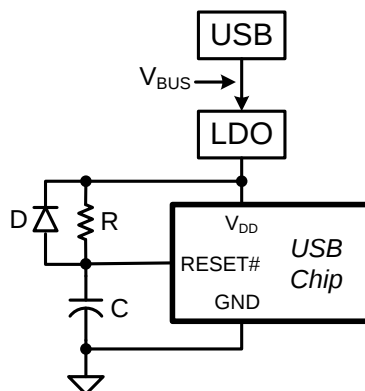
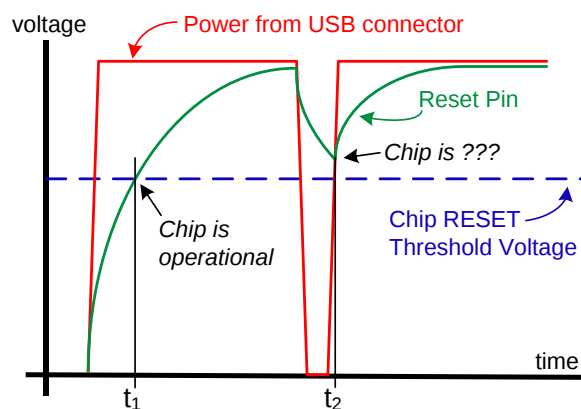


图 8. 简单的 RC 复位电路波形（最差情况下）



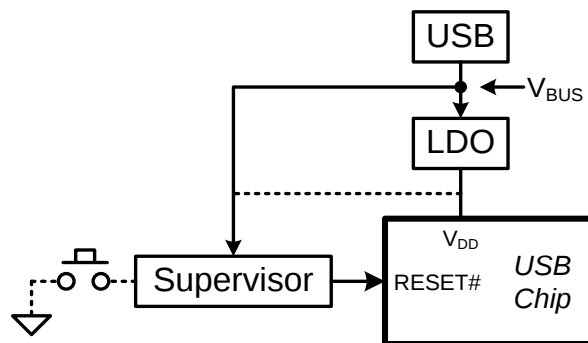
上电时，电容被放电到 0 V，从而将 USB 芯片的状态保持为 RESET（复位）。USB 芯片由一个电压调节器供电，该电压调节器将 USB 连接器的总线电源（5 V）转换为 V_{DD} 引脚的电源（3.3 V）。插入 USB 后，LDO 将为该芯片供电并通过电阻开始为电容充电。如果电容充电到复位电压阈值，USB 芯片将在 t_1 时退出复位状态，并开始进行操作。在这里，关键问题是芯片退出复位状态前必须为所有内部芯片电路供电并使其稳定下来，该内容适用于所有芯片。

当 USB 器件断开时，芯片被断电，但电容仍持续被充电到芯片的电源电压，然后它通过电阻缓慢放电。如果立即重新插入 USB 器件，会怎么样呢？如果电容放电，但其电压尚未低于复位阈值，那么复位引脚将为芯片供电，但该引脚的电压过高，所以无法在 t_2 时复位芯片。暂时可以通过在图 7 中添加二极管来解决该问题，从而可以加快掉电时电容电压的放电速度，但只能缩短从断开到重新连接的重要时间。RC 放电方法取决于当 LDO 输入被断开时它的输出电压是否降低到 0 V，而这种情况又取决于特定 LDO 及其外部组件（如大容量电容）。最重要的问题是该电路无法保证芯片在任何情况下都能可靠地复位，尤其是在 USB 快速断连/连接事件期间。

3.2 更好的方式

解决方案是使用一个外部芯片（称为电源监视器），又称为 POR（上电复位）芯片或 PMIC（电源管理 IC）。这些芯片监测着电源供电电压，并向 USB 芯片提供可预测的 RESET 信号（请参考图 9）。它们能够在电压降低（低于 1 V）时可靠运行。它们结合使用了一个精密比较器和一个内部时间延迟，从而可以确保上电后 RESET 信号持续保持有效状态，以保证芯片正常操作。部分监视器包含一个看门狗定时器，其中 MCU 会时常触发看门狗定时器（如每秒一次），从而避免 RESET 信号被激活。监视器还包含一个输入引脚，RESET 按键通过该引脚来复位 MCU。监视器的 RESET 输出可以处于高电平有效、低电平有效或开漏状态。这些芯片种类丰富、成本低。成本不超过 50 美分。某个流行网络上的经销商在“PMIC 监视器”分类中列出了 43,196 个条目。

图 9. 理想的 RESET 解决方案



在系统中没有任何器件达到其最小供电电压时，监视器复位点应参照到系统中的最高电压轨，以确保 FX2LP 保持复位状态。更多有关信息，请参考 [EEPROM 使用注意事项](#)。在最差情况下，USB VBUS 电压为 4.35 V。将一个器件插入到总线供电的集线器时适合这种情况（USB 2.0 规范，图 7-47）。因此，使用 3.5 V 至 4.0 V 范围内的复位电压监测 VBUS 的监视器比较合理。无论您选择的是哪个电压值，都需要彻底测试它（参考[测试](#)章节）。

如果监测 VBUS（例如，在自供电器件中）难以实现，那么监视器可以监测 3.3 V 电源。[表 1](#) 显示的是监控 3.3 V 电源时 FX2LP 的监视器关键规范。例如，Texas Instruments 的 TPS3820-33 能够监控 3.3 V 电源，从而使它适合 FX2LP 复位电路。电压为 1.1 V 时，它的 RESET 输出有效（低电平），在这种情况下会置位 RESET 信号，直到 3.3 V 供电电压下降到 2.93 V 为止。这样可以保证在 USB 快速拔出然后再插入序列时，会触发内部比较器并提供所需 RESET 信号，直到供电电压再次稳定为止。

表 1. 监视器关键规范

规范	数值
监控所需的供电电压	3.3 V
复位阈值电压（典型值）	2.93 V
复位有效时间（最小值）	ms

3.3 测试

应该彻底测试所有 USB 复位电路。建议进行以下各项测试：

- 冷上电，插入 USB
- 冷上电，拔出 USB
- 休眠/恢复，插入 USB
- 循环关闭打开电源，插入 USB
- 循环关闭打开电源，拔出 USB
- 循环关闭打开电源，插入 5 层的集线器（将五个集线器互相连接，然后插入离主机最远的那个集线器）
- 插入/拔出 5 层的集线器

请注意，一个不稳定的 RESET # 信号后，FX2LP 退出复位模式，并立即开始与 EEPROM 通信。在这种情况下，SCL / SDA 可能会间歇性的拉低或拉高。当 RESET # 被再次触发（由于信号不稳定的情况下），在 SCL / SDA 维持在拉低，FX2LP 不枚举。其结果是，当这些线从外部强制拉高，如预期 FX2LP 恢复。

赛普拉斯建议您在 FX2LP RESET # 引脚的复位电路连接到 EEPROM 复位/电源引脚。这将重置 EEPROM 在每个 FX2LP 复位时，同时也复位 SCL / SDA 为 HIGH，消除这些线上的任何错误状态。

4 EEPROM 使用注意事项

EZ-USB 系列的器件使用内部 RAM 进行程序存储。上电时，可以使用 USB 线缆或从随 FX2LP 芯片安装的 I²C EEPROM 加载该 RAM。EEPROM Bootloading 方法要求在上电和断电时特别留意供电电压。供电电压为瞬态电压时，FX2LP 内核能够执行操作，而 EEPROM 无法执行操作。在瞬态电压条件下，从 FX2LP 进行的 I²C 通信会破坏 EEPROM。

可通过本节介绍的四种方法防止这种模拟操作。即使这些方法主要针对的是 EEPROM 器件，但同样的原则还能够应用于易发生相同情况的其他外设器件。按优先顺序排列，这四种方法分别为：

1. 使用外部电源监视器芯片。
2. 使用 GPIO 引脚对 EEPROM 进行写保护。
3. 对 EEPROM 进行永久写保护。
4. 使用泄流电阻来控制电源下降率。

4.1 使用外部电源监视器芯片

如 [USB 复位电路](#) 一节中的建议，一个外部电源监视器芯片是提供可靠 FX2LP 复位的最佳方法。它从根本上解决了 EEPROM 低压问题，因为处于复位状态的 FX2LP 不能启动与 EEPROM 进行的 I²C 通信。选择监视器复位电压时，一定要将它设置为与系统中所有电路相兼容的电压。更高版本的 EEPROM 能够在低压条件下进行操作。例如，大多数 64 KB 的 EEPROM 能够在电压降低到 2.5 V 后正常操作，因此 [USB 复位电路](#) 一节所建议的 2.93 V FX2LP 阈值电压便是用于自供电器件的最好选择。对于总线供电器件，VBUS 电压是需要监控的电压值，因为它得到保证，即使降低到 4.35 V 仍有效，所以稍微小于 VBUS 电压（例如，20%）的复位阈值可以保证 FX2LP 和 EEPROM 正常进行操作。

4.2 将 GPIO 引脚连接到 EEPROM WP 引脚上

EEPROM 具有一个 WP（写保护）引脚，该引脚用于防止无意进行的写入操作。通过将引脚拉到能够激活 WP 功能的电压值，FX2LP 固件可以选择性地使能写入操作。例如，应该通过一个 10K（典型值）大小的电阻将高电平有效的 WP 引脚连接到 3.3 V 的电源，此外，还可以将该引脚连接到 FX2LP GPIO 引脚。由于 FX2LP 被加电时，其 GPIO 引脚均处于悬空状态（OEA-OEE 位低电平），因此由上拉电阻提供的逻辑高电平电压有效，直到 FX2LP 固件将该引脚作为一个输出并将其驱动为低电平为止。

4.3 对 EEPROM 进行永久性写保护

在某些 FX2LP 设计中，不能更改 EEPROM 内容，因此保持 WP 引脚的有效状态可防止对 EEPROM 进行写操作。如果您的设计只使用了一个小容量的（16 字节）EEPROM 来提供自定义的供应商 ID 信息，那么可以采用这种解决方法。但要记住，对某个用于存储代码的大容量 EEPROM 进行永久性写保护会禁用所有重新编程工具，如赛普拉斯所提供的 USB 控制中心。

这是最后的补救方法，仅适用于正在生产并需要一个附加解决方案的设计。其目的是为了加快电源电压的下降率，从而最大程度地加快 FX2LP 和 EEPROM 在电压不兼容的条件下执行操作的速度。通过在主供电电压和 GND 间安装电源电阻，可以缩短断电时间。所选电阻应满足在约 20 秒的时间内消耗板上大容量电容上的电能，并且它必须具有合适的额定功耗。这样会明显增大器件的功耗。

5 选择 USB 的谐振器

USB 依赖 USB 器件中的高精度时钟。USB 规范规定最大频率偏差为±500 ppm。FX2LP 数据手册将该值收紧为±100 ppm。谐振器是一个小型封装，它减少了外部器件的数量。谐振器具有内部负载电容，因此节省了加载电容占用的额外空间，晶振要将这些负载电容作为外部组件使用。

5.1 谐振器要求

FX2LP 晶振的要求如下：

- 频率为 24 MHz
- 并联谐振
- 基本模式
- 驱动电平为 500 μ W
- 12 pF（容差为 5%）大小的负载电容

赛普拉斯指定谐振器的频率容差为±100 ppm，以考虑能够增加到 USB ±500 ppm 容差预算的其他电路因素，如电路板布局、温度、负载电容和晶振老化。谐振器制造商（即 Murata）提供了 CERALOCK®串联谐振器，初始准确度为 70 ppm 和 100 ppm。对于 FX2LP，Murata 器件型号可根据表 2 编码。

表 2. Murata 器件型号结构

指示符	含义
CS	陶瓷谐振器
T	内置负载电容
CE	小型电容 SMT 封装（3.2 × 1.3 × 1.1 mm）
24M0	频率（“M”表示小数点）
G	基本模式（厚度剪切模式）
1	100 ppm（“H”表示 70 ppm）
2	10 pF 负载电容*
*指定一个 10 pF 的负载电容，从而使 PCB 走线的电容约为 2 pF。	

6 高速 USB PCB 的布局建议

高速 USB 能够以 480 Mbps 的速率进行操作，并使用 400 mV 的电压发送信号。要想具备向下兼容功能，高速器件必须能够与全速 USB 产品进行通信，该全速 USB 以 12 Mbps 的速率进行操作，并使用 3.3 V 的电压发送信号。高速 USB 集线器还要与低速产品（工作速率为 1.5 Mbps）进行通信。设计能够满足这些要求的 PCB 将是一个挑战。

本节包含了使受控阻抗的高速 USB PCB 符合 USB 规范的设计指南。它适用于所有赛普拉斯高速 USB 解决方案。

高速 USB PCB 通常为四层或更多层。赛普拉斯不推荐将任何高速 USB PCB 设计为双层电路板。PCB 设计是影响 USB 信号质量测试结果的最关键因素。本节介绍了高速 USB PCB 设计和布局的五个关键因素：

- 受控差分阻抗
- USB 信号
- 电源与接地
- 晶振或振荡器
- 故障排除

6.1 受控差分阻抗

在 USB 2.0 PCB 设计中，D+和 D-走线对受控差分阻抗起着重要作用。D+和 D-走线的阻抗影响信号眼图、数据包结束（EOP）宽度、抖动以及交变电压测量。为得到 90 Ω（容差为± 10%）的指定阻抗，了解差分阻抗的基本原理非常重要。

6.1.1 原理

微波传送带是指 PCB 的外层上的铜走线。一个微波传送带会有一个阻抗（ Z_0 ），由它的宽度（ W ）、高度（ T ）、与最接近的铜板之间的距离（ H ）以及微波传送带和最接近板间的材料（通常是 FR-4）的相对介电常数（ ϵ_r ）等因素决定。当两个微波传送带彼此并行时，会发生交叉耦合。各微波传送带之间的距离（ S ）以及它们与一个板之间的距离（ H ）均会影响生成的交叉耦合量。随着各微波传送带间的距离缩小，交叉耦合量将增加。微波传送带的阻抗会因交叉耦合的增加而降低。通过测量两个微波传送带的阻抗，然后对它们求和，便计算得出差分阻抗大小（ Z_{diff} ）。

图 10 展示的是 PCB 的剖面图，从上到下分别显示了差分走线、基板和接地层。

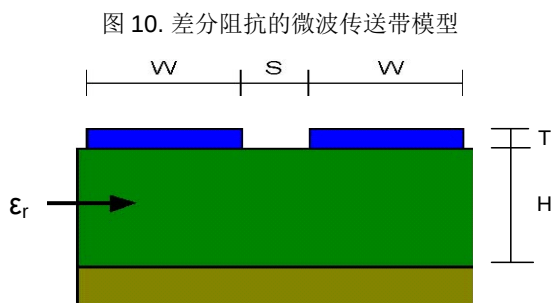


图 10. 差分阻抗的微波传送带模型

使用公式 1 和公式 2，可以评估使用了 2D 并行微波传送带模型的差分阻抗大小。表 3 提供了各变量的定义。对于 $0.1 < W/H < 2.0$ 和 $0.2 < S/H < 3.0$ 等比例，这些公式是可用的。商业工具可通过使用验证算法或 3D 建模算法得到更精确的结果。

公式 1. 计算差分阻抗的公式

$$Z_{diff} = 2 \times Z_0(1 - 0.48e^{-0.96S/H})$$

公式 2. 一个微波传送带的阻抗

$$Z_0 = (87/(\epsilon_r + 1.41)^{0.5}) \ln(5.98H/0.8W + T)$$

表 3. 差分阻抗变量定义

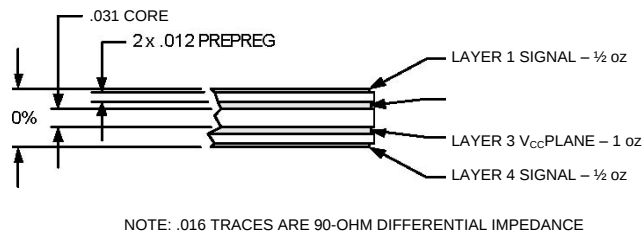
变量	定义
Z_{diff}	板上的两个并行微波传送带的差分阻抗
Z_0	板上的一个微波传送带的阻抗
W	走线宽度
H	接地层与走线间的距离
T	走线厚度 (1/21 盎司 (oz) 铜的厚度 $\cong 0.65$ mil)
S	差分走线间的距离 (空气间隙)
ϵ_r	基板的相对介电常数 (FR-4 $\cong 4.5$)

6.1.2 厚度为 62 mil 的四层 PCB 的典型示例

对于标准厚度为 62 mil (1.6 mm) 的 PCB, 推荐如图 11 所示的堆叠情况进行多层板设计。如果该堆叠中, 同时使用了两个并行走线, 线宽 (W) 为 16 mil, 并且线距 (S) 为 7 mil, 那么计算得出的差分阻抗 (Z_{diff}) 为 87 Ω 。

对于相同的堆叠, 通过使用其他变量结合, 可以在 D+ 和 D- 走线上获得 90 $\Omega \pm 10\%$ 的差分阻抗。

图 11. 厚度为 62 mil 的 4 层 PCB



6.1.3 建议

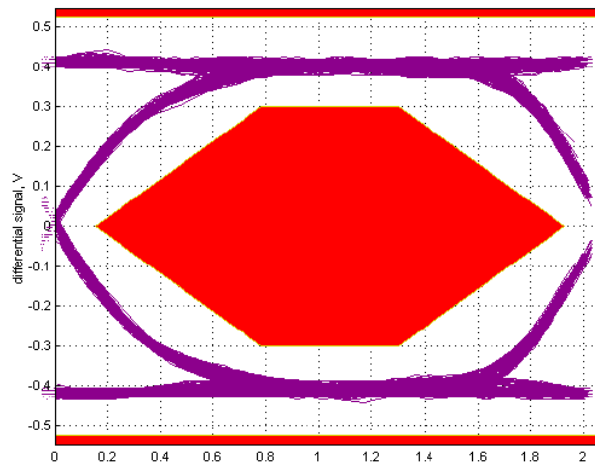
要想获得正确的差分阻抗, 建议您执行以下操作:

- 咨询 PCB 制造商, 获得设计所需的参数以及 D+ 和 D- 上 90 Ω (容差为 $\pm 10\%$) 的差分阻抗。
- 使用布局工具设置 D+ 和 D- 走线的正确宽度以及走线间的距离。
- 在 PCB 加工设计图上绘制正确的层叠, 并要求 PCB 制造商遵守该设计图。请参考图 11。
- 批注 PCB 加工设计图, 指出受控差分阻抗要求的走线宽度以及所需阻抗大小和容差。
- 要求 PCB 制造商提供差分阻抗测试结果。

6.1.4 眼图

眼图是测量 USB 数据信号质量的一个主要方法。眼图能够演示 USB 通信的最小和最大电压电平以及信号抖动。USB 2.0 规范中的第 7.1 节详细介绍了兼容眼图的解释和要求。图 12 显示的是在 EZ-USB FX2LP 组件上测量的高速通信眼图。

图 12. 高速通信眼图



紫色线路是总线上多个 FX2LP D+/D- 转换中重叠的走线。如果某条紫色走线接触到了红色区域，便不符合 USB 通信规范。请注意，FX2LP 走线不可以接触中心处的六边红色区部分以及由红色线指示的电压极限（顶部和底部）。数据过抖动可能会使紫色走线变得模糊，一些线路会接触到红色走线。一个非兼容的眼图能够指出抖动、不匹配阻抗或不正确的 EMI 滤波。紫色走线和红色走线间空白区域的大小是设计容限的一项良好标示。如图 12 所示，FX2LP USB 发送器完全没有干扰。

6.2 USB 信号

共有 5 个 USB 信号：VBUS、D+、D-、GND 以及 SHIELD。它们的功能描述在表 4 中。

表 4. USB 信号

信号	说明
VBUS	器件电源，电压大小为+5 V，电流大小为 500 mA（最大值）
D+和 D-	数据信号，主要为差分信号
GND	VBUS 的接地回路
SHIELD	线缆屏蔽和插座外壳信号

6.2.1 D+和 D-信号

通过正确路由 D+和 D-，可以得到高质量的信号眼图、EOP 宽度、抖动、交变电压以及接收器灵敏度测试结果。使用下面推荐的内容可提高信号的质量：

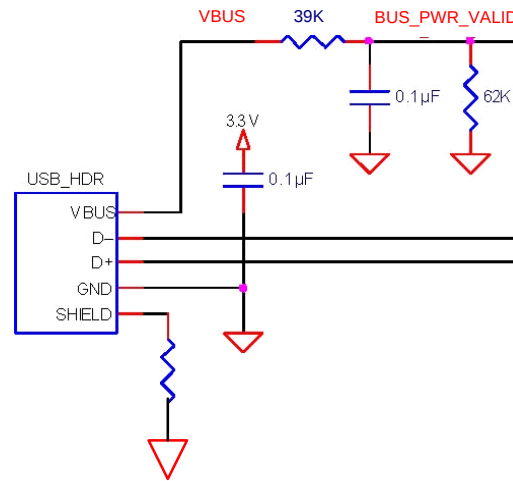
- 将赛普拉斯高速 USB 芯片放置在与接地层相邻的信号层上。
- 在与接地层相邻的信号层上路由 D+和 D-。
- 路由其他信号前，先路由 D+和 D-。
- D+和 D-应位于同一个坚固的接地层上。拆分这些信号下方的接地层会引入阻抗不匹配，并增大电气辐射。
- 请勿通过过孔路由 D+和 D-信号，因为过孔会使阻抗不匹配。如果需要，请使用尺寸较小的过孔（25 mil 的焊盘，10 mil 的过孔），并确保 D+和 D-走线位于同一层上。
- D+和 D-走线的长度要小于 3 英寸（75 mm）。推荐这两条走线的长度不大于 1 英寸。
- D+和 D-走线的长度差异不应超过 50 mil（1.25 mm），从而可以避免信号时滞并防止对交变电压产生影响。
- D+和 D-走线间距（S）始终要保持为一个常量。如果走线距离发生变化，会导致阻抗不匹配。
- 应尽可能保持 D+和 D-与其他非静态走线间的距离为 250 mil（6.5 mm）。
- 布线中，应将直角进行两次 45°的弯曲或变成圆角（而不是 90°的直角弯曲）。
- 尽可能保持 D+/D-与相邻敷铜间的宽度最小为 5 个走线。如果将敷铜放置的位置过于靠近这些信号，它会影响信号阻抗。
- 避免 D+和 D-上的共模扼流圈，除非需要降低 EMI。一般情况下，共模扼流圈只能给高速信号带来一点好处，但会对全速信号波形产生不利影响。

6.2.2 VBUS、GND 和屏蔽信号

通过下面所推荐的 VBUS、GND 和 SHIELD 信号的内容，可以提高电涌测量并增强对 EMI、RFI 和 ESD 的抗扰度。

- 在与 V_{CC}层相邻的信号层上路由 VBUS 信号。这样可阻止它对 D+和 D-信号造成干扰。
- 如果自供电设备使用 VBUS 检测电源，那么则要对 VBUS 进行滤波，以降低发生 ESD 事件的可能性。简单的 RC 滤波器正常操作。请参见图 13 了解更多详细内容。应将滤波器放置在比 USB 芯片更接近 USB 连接器的位置。
- 在 VBUS 上使用 10 μF 或更小的电容可避免违犯 USB 规范中对瞬间突起电流的要求。
- 通过一个电阻将 SHIELD 信号接地。这样有助于隔离该信号并降低 EMI 和 RFI 辐射。尽量将该电阻放置在靠近 USB 连接器的位置。可能需要进行一些试验，从而获得正确的数值。
- 在与 V_{CC}层相邻的信号层上安装一个 USB 屏蔽层，该层不能大于 USB 接头。

图 13. 显示 VBUS 滤波器、USB SHIELD 至 GND 的电阻和去耦电容的原理图

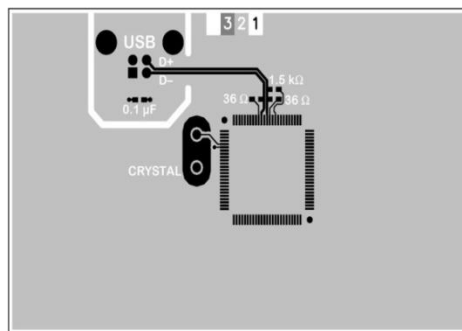


6.2.3 USB Peninsula (USB 半岛)

如果 USB 连接器靠近 PCB 边沿（请参见图 14），请考虑按照以下操作将其放置在一个“USB Peninsula”上。降低 V_{CC} 层和接地层上的噪声可降低 EMI 和 RFI，因为这些层与电路板其余部分相隔离。

- 对 USB 连接器周围的 V_{CC} 层和接地层进行剪切，为 D+ 和 D- 留下了大小为 200 mil（5 mm）的切口以保留其差分阻抗。
- 使用大小为 0.1 μF 的电容对 USB Peninsula 上的 V_{CC} 层和接地层进行去耦。
- 在 Peninsula 上连接 SHIELD 至 GND 的电阻。如果需要，可以使用第二组焊盘，该焊盘用于将 SHIELD 连接到 GND 接地层，并不处于 Peninsula 范围内。
- 将共模扼流圈（如果使用，但不建议）放置在 D+ 和 D- 的切口所在的位置，靠近连接器。

图 14. USB 芯片布局，显示的是 D+/D- 走线、串联终端电阻、USB Peninsula 和晶振



6.3 电源与接地

您需要为高速 USB 设计提供足够的电源，并要接地。PCB 布局非常重要。

- 在高速 USB PCB 设计中，要求使用 V_{CC} 层和接地层。它们可以降低 USB 信号中的抖动，并能够最大程度地降低 EMI 和 RFI 的干扰。
- V_{CC} 和 GND 分别使用相应专用层。
- 如果电路板上要求使用多个电压（如 2.5 V、3.3 V、5.0 V），那么需要在 V_{CC} 层上使用断流器。
- 请勿拆开 GND 层。除了 USB Peninsula（USB 半岛）一节所述的情况外，都不用对接地层进行剪切。这样，可降低电气噪声，并减少 USB 信号上产生的抖动。

6.3.1 电源布线

在某些情况下，不需要将一个电源层专用于电压轨道，例如 5 V 或 12 V 的较短电源走线。在电源走线中，推荐使用下面的指南：

- 应保持电源走线远离高速数据线和各个有效组件。
- 应确保电源走线的宽度最小为 40 mil，以便降低电感。
- 尽可能缩短电源走线。布线越少越好。
- 在电源走线上使用较大的过孔（焊盘的最小厚度为 30 mil，孔的最小宽度是 15 mil）。
- 提供足够的电容（参考去耦和批量电容）。
- 使用芯片滤波器（若需要）来降低噪声。

6.3.2 电压调节

通过下面电压调节器指南可以在 USB suspend 暂停期间降低电气辐射并防止发生调节问题。

- 选择电压调节器（在 USB 暂停期间它的静态电流符合电路板的最小电流）。
- 选择电压调节器（在 USB 暂停期间它的最小负载电流小于电路板的负载电流）。如果该调节器上的电流消耗小于调节器的最小负载电流，那么输出电压会改变。
- 放置电压调节器，以使它们位于单独的 V_{CC} 层上；这样可以降低辐射。

6.3.3 去耦和批量电容

以下内容说明了如何将去耦和批量电容连接到电源输入引脚上。

- 提供 0.1 μF 大小的陶瓷电容，用于去耦器件电源输入引脚。每个引脚上放置一个电容。保持焊盘和电源输入引脚之间的距离小于 2.0 mm。
- 将批量电容放置在靠近电源输入和输出插头以及（各）电压调节器的位置。
- 为赛普拉斯 USB 芯片提供 10–20 μF 的电容。建议使用陶瓷电容或钽电容。电解电容不适用于批量电容。
- 对电源插头附近的电源输入和输出进行滤波，从而降低电气噪声。
- 按照芯片特定指南使 AV_{CC} 与 V_{CC} 互相隔离，并使 AGND 与 GND 相互隔离。
- 按照芯片特定指南为 AV_{CC} 提供足够的批量和去耦电容。使用陶瓷电容或钽电容。

6.4 晶振或振荡器

晶振或振荡器为赛普拉斯高速 USB 芯片提供了参考时钟。为 USB 芯片提供一个不与其他高速信号（如 D+ 和 D-）相互作用的信号非常重要。

- 使用准确度不超过 100 ppm 的晶振或振荡器。
- 使用第一谐波为 24 或 30 MHz（具体值取决于高速 USB 芯片）的晶振。
- 将晶振或振荡器放置在靠近晶振引脚的位置。
- 尽可能缩短晶振或振荡器与 USB 芯片间走线的长度。
- 保持晶振或振荡器走线远离 D+ 和 D-。
- 使用与并行谐振晶振的负载电容相匹配的陶瓷电容。

6.5 故障排除

USB 电气兼容性测试通常显示 PCB 布局中的错误。错误类型会指明原因。

表 5 显示的是电路板的常见问题及可能的原因（这些电路板的高速/全速信号完整性或高速接收器灵敏度的测试失败）。

表 5. 排除高速 USB PCB 的故障

常见问题	可能原因
高速或全速信号完整性测试表示抖动过大。	D+ 和 D- 上的阻抗不匹配。
	噪声走线太靠近 D+ 和 D-。
	存在共模扼流圈干扰。
	尚未对活动组件（如电压调节器、SRAM，等等）进行准确去耦。
	未正确将 AV _{CC} 和 AGND 隔离开，或批量电容（ESR 较低）不够大。
在高速或全速信号完整性测试期间，EOP 未被检测或超出了规范。	共模扼流圈影响到 EOP。
交叉电压超出了已指定的范围。	D+ 和 D- 的走线宽度不匹配。
	D+ 和 D- 上的阻抗不匹配。
退出暂停状态时，高速线性调频脉冲的电压电平过高。	电压调节器无法在电流为 100 μ A 时保持 3.3 V 的输出电压。
接收器灵敏度低于可接受的限制。	D+ 和 D- 下的接地层有一个裂缝。
	存在共模扼流圈干扰。
	未正确将 AV _{CC} 和 AGND 隔离开，或批量电容（ESR 较低）不够大。
瞬间突起电流超过了可接受限制。	降低 VBUS 上的批量电容。如果正在设计一个总线供电的解决方案，那么应该采用软启动电路，从而不会使所有电容被同时填充。

6.6 球栅阵列注意事项

FX2LP (CY7C68013A) 或 FX2LP18 (CY7C68053) 的 56 球型焊盘 VFBGA 版本是更小的 QFN 封装版本。56 球型焊盘封装满足了空间敏感 PCB 设计的要求。本节介绍了如何使用这些 VFBGA 器件来设计 PCB。

6.6.1 PCB 布局术语

本节定义了在使用赛普拉斯 FX2LP (CY7C68013A) /FX2LP18 (CY7C68053) 56 球型焊盘 VFBGA 的 PCB 布局设计中所使用的术语。

迂回布线

迂回布线是将封装中的每个信号路由给 PCB 上的其他元素的方法。

多层 PCB

多层 PCB 是一种工业标准方法，允许对引脚数量较多的封装（如 VFBGA）进行迂回布线。通过路由 PCB 各层上的信号可以实现该操作。

过孔

在多层 PCB 上使用了过孔（或电镀的穿孔），实现电气连接各层之间的信号。常见过孔类型包括：

- 通孔：在顶层和底层之间连接信号
- 盲孔：将顶层或底层上的信号连接至内部 PCB 层
- 埋孔：连接内部 PCB 层之间的信号，并且不能从电路板的顶层或底层访问它

过孔捕获焊盘

各种过孔通过每个过孔周边的捕获焊盘电气性连接到 PCB 层。

微孔

微孔是直径不超过 0.15 mm (6 mil) 的过孔，微孔的目标过孔捕获不超过 0.36 mm (14 mil)。这些过孔由 IPC-2315 和 IPC-6012A 标准定义。

表面焊盘

表面焊盘是 PCB 上用来粘附 VFBGA 焊球的区域。这些焊盘的大小影响着各过孔和迂回布线的可用空间。通常存在两种不同的表面焊盘设计：非阻焊层限定 (NSMD) 和阻焊层限定 (SMD)。

非阻焊层限定 (NSMD) 焊盘

对于 NSMD 焊盘，阻焊层开口大于铜焊盘的开口。该焊盘的铜表面被完全显示，从而提供了更大的空间来粘附 VFBGA 焊球。

阻焊层限定 (SMD) 焊盘

对于 SMD 焊盘，阻焊层覆盖了部分焊盘铜表面。这样可以使铜焊盘和 PCB 的环氧树脂或安全玻璃之间的粘附强度更大，该性能在极端弯曲时和在加速热循环测试期间起着重要作用。然而，阻焊层重叠降低了用于粘附 VFBGA 焊球的铜表面大小。

接头

接头是将过孔捕获焊盘电气连接至表面焊盘的互联段。

6.7 56 球型焊盘 VFBGA 封装的详细信息

表 6 汇总了 56 球型焊盘 VFBGA 封装的尺寸。这些尺寸对获取精确的 PCB 布局设计起着重要作用。在器件数据手册中提供了详细的封装信息。

表 6. CY7C68013A/CY7C68053 56 球型焊盘 VFBGA 的尺寸

参数	大小
封装大小	5 x 5 x 1 mm
球型焊盘计数	56 (8x8 矩阵)
球型焊盘间距	0.50 mm
球型直径	0.30 mm
球型焊盘直径	0.30 mm

6.7.1 布局指南

在 VFBGA 封装的 PCB 设计中，这些因素都非常重要：

- 表面焊盘的尺寸
- 过孔布局和尺寸
- 信号线的空间和走线宽度

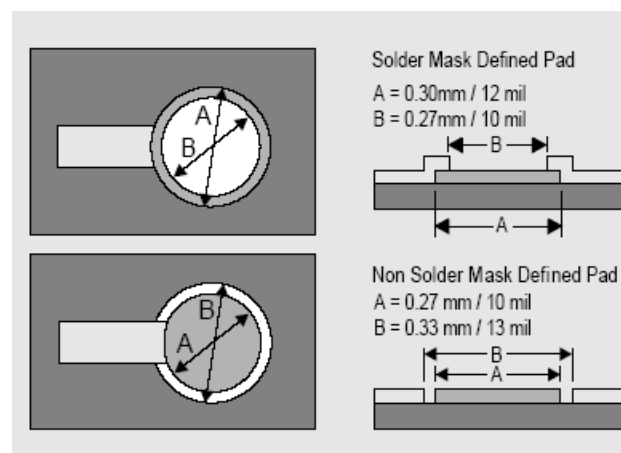
表面焊盘的尺寸

要保持封装焊盘和 PCB 焊盘接合区域的大小比例为 1:1，这样是为了在温度循环期间平衡压力。对于 NSMD 焊盘，请确保在铜焊盘和阻焊层周边存有间隙。这是因为还要考虑到掩码配准容差（通常为 0.060 mm 到 0.075 mm），并要避免焊点和阻焊层之间发生重叠。

建议将 SMD 焊盘用于手持应用，因为它的焊盘粘附能力更强，并且它提供的热学和机械可靠性更好。

图 15 显示的是 PCB 布局上建议的 SMD 和 NSMD 焊盘尺寸。

图 15. SMD 和 NSMD 焊盘尺寸



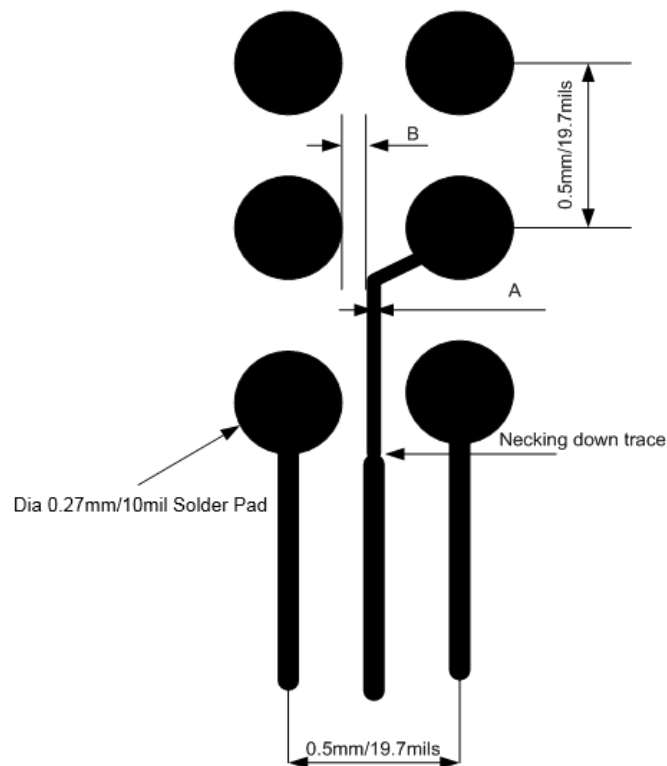
过孔布局 and 尺寸

过孔和过孔捕获焊盘的大小和布局会影响迂回布线可用的空间。对于 FX2LP VFBGA，可以使用表面焊盘中心上的微孔（via-in-pad 技术）。微孔的钻孔直径不能大于 0.50 mm（19.7 mil）。应该填充并平整该钻孔，从而创建一个平滑的表面。这样可以防止焊接操作在汇编程序期间发生芯吸（wicking）现象。

信号线的空间和走线宽度

实现迂回布线的能力是由走线的宽度和最小的走线间隙决定的。对于 56 球型焊盘 VFBGA，SMD 焊盘应优先使用 0.0625 mm（2.35 mil）走线，NSMD 焊盘应优先使用 0.078 mm（3.35 mil）走线。在各表面焊盘或各个过孔捕获焊盘间只能有一根导线。图 16 显示的是建议的各线空间和走线宽度。

图 16. SMD 焊盘的线空间和走线宽度



A/B: Trace width/Spacing for SMD Pads with 0.3mm diameter = 0.0625mm/2.35 mil

A/B: Trace width/Spacing for NSMD Pads with 0.3mm diameter = 0.078mm/3.35 mil

2.35/3.35 mil 的走线仅适用于对布线空间有限的 VFBGA 区域。在其他情况下，使用缩颈的走线来增加 PCB 的可制造性，并确保产品的优良率。如图 17 所示，在走线离开 VFBGA 焊盘后，标准走线和空间形状将被使用。走线布局如图 18 所示。

图 17. 缩颈走线

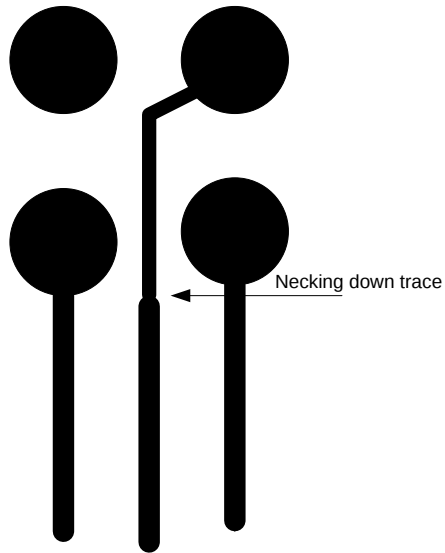
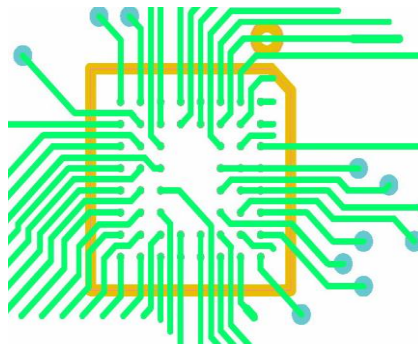


图 18. 走线布局



对高速 USB PCB 进行设计，使它们满足 USB 的电气要求。通过使用受控制的阻抗 PCB，准确布置 D+ 和 D-，以及适当去耦 VCC 和 GND 层（以使它们不被电磁干扰）可以实现该操作。

赛普拉斯提供了高速 USB 的各种开发和参考设计套件。这些套件提供了有用的设计示例，并且包含了芯片特定的设计指南。

7 原理图审核检查表

提出新的 USB 2.0 设计比较复杂，因为许多详细内容要求必须正确。（参考前面所述的高速 USB PCB 的布局建议）。通过该章节可以在构建电路板前解决可能出现的问题。目的是使用准备好的电路板来下载固件并开始测试固件。

两种: FX2LP 是指 FX2LP 和 FX1 器件（除非另有说明）。

7.1 检查表

下面列出的是各种重要项目，它们有助于成功运行 FX2LP 设计。在使用 FX2LP 创建 PCB 之前请检查该检查表。如果该电路板已被构建但尚未正常运行，那么检查该表以验证所有项目是否在目标上得以实现。

- 所有电源引脚（AV_{CC} 或 V_{CC}）都使用了合适的电压电平（3.0 V 到 3.6 V）。
- V_{CC} 上升时间至少为 200 μs，最大升降速率为 18 V/毫秒。

大多数电路板的 V_{CC} 上都有足够的电容来满足该要求。许多调节器也能够使 V_{CC} 缓慢上升。然而，有时候电路板也有一个特殊的快速上升时间。在这种情况下，V_{CC} 上其他的电容会使它的速度减慢，从而满足要求。
- 使用晶振时，RESET 引脚将在 V_{CC} 达到 3.0 V 后至少 5 ms 时间内保持确认状态。当使用外部时钟源时，保持时间至少为 200 μs。当 FX2LP 通电时，如果 RESET 引脚生效，该复位至少在 200 μs 内保持确认状态。

FX2LP 上的振荡器要求晶振或谐振器具有 12 pF 大小的加载电容和 24 MHz（±100 ppm）的频率。该晶振需要处理至少 500 μW 的驱动电平。驱动电平是晶振预期承受的最大功耗。使用一个驱动电平更低的晶振进行工作。使用超过晶振最大驱动电平可能加快老化过程或丢失准确度。在极端情况下，它会损坏该晶振。与 FX2LP 成功使用的两个晶振分别为 eCera FX2400026 和 Ecliptek EC-12-24.000M。每个晶振引脚和地面之间需要连接一个 12 pF 的加载电容。
- RESERVED 引脚接地。

RESERVED 引脚是一个测试模式引脚。如果该引脚不接地，FX2LP 将处于测试模式，并且不在正确运行。
- 即使没有使用 EEPROM，也要安装 SCL 和 SDA 上拉电阻。

如果 SCL 和 SDA 上没有上拉电阻，FX2LP 将立即挂起启动程序。在启动过程中，FX2LP 将在 SCL 和 SDA 上查找串行的 EEPROM，以确定操作模式。如果各导线被上拉并且不存在任何 EEPROM，那么 SIE 将作为默认的 USB 器件进行枚举（该器件使能连接至 USB 控制中心应用）。然而，由于没有上拉电阻，因此 FX2LP 认为总线由另一个主设备控制并无限地等待其他主设备释放总线。

该上拉电阻的建议值为 2.2 kΩ。暂时断开 FX2LP 上的 SDA 与 EEPROM 的 SDA 之间的连接的方法也包含在该电路板上，特别是针对开发过程。这样您就可以重新编程一个被破坏的 EEPROM 而不需要移除它。通过跳线器、开关或可移除的 0 Ω 电阻可实现该断连操作。
- EA 接地，除非存在外部闪存存储器或 ROM 连接在 FX2LP 的外部存储器总线上。

如果将 EA 设置为高电平，那么 FX2LP 将立即尝试启动外部存储器中的代码。如果外部存储器中没有代码，器件不会启动。
- WAKEUP# 引脚被置为高电平或低电平，但不能被悬空。

如果悬空 WAKEUP# 引脚，将导致不稳定的暂停。如果将 WAKEUP# 引脚置为低电平，可以在无 USB 传输被检测的情况下禁止 FX2LP 进入暂停模式。推荐将 WAKEUP# 引脚连接到 10K 或 100 kΩ 电阻的高电平一端。
- FX2LP 可以从 I²C EEPROM 引导加载固件。

小容量的 EEPROM（地址包含在单个 I²C 字节内）要求将它的地址引脚 A[2:0] 连接至 000。大容量的 EEPROM（两个地址字节）必须将它的地址引脚 A[2:0] 连接至 001。
- 在总线供电的设计中（可以分离并重新快速建立连接），FX2LP 复位是可靠的。

- 根据 USB 规范，在自供电设计中，USB 器件必须监控 VBUS 线并禁用 D+ 上拉电阻（低速器件的 D-）而不使用 VBUS。使用 FX2LP 的自供电设计可以使用 GPIO 引脚或 WAKEUP 引脚，如本应用笔记所述。
- 使用各独立的旁路电阻，可路由许多 Vdd 线。
- 分别使用 2.2μF 和 0.1μF 大小的电容路由 AV_{CC} 引脚。
- 各组件（扼流圈、电阻，等等）未连接 USB 数据线；并且不推荐使用这样的连接，因为它们会引起与信号质量相关的问题。
- 所有未使用的 FX2LP I/O 均被连接到一个有效的逻辑电平，从而使消耗的电能最低。

7.2 组装电路板

建立新型 FX2LP 设计的电路板时，请从一个具备最少已安装组件集的电路板着手。使用数量最少的组件填充电路板，如下所示：

- FX2LP 或 FX1 芯片
- 3.3 V 的调节电路连接到所有 AVDD 和 AVCC 引脚上
- 在 SCL 线和 SDA 线上的上拉电阻（2.2 kΩ 或符合 I²C 规范的其他值）
- 空白或未安装的 EEPROM
- 将 WAKEUP# 线连接到逻辑高或逻辑低电平，从而确保它不会处于悬空状态。推荐使用一个 10K 或 100 kΩ 的电阻将该线上拉为高电平，以便进行调试。
- EA 引脚连接到逻辑低电平
- （各）RESERVED 引脚接地
- 复位电路可提供要求的最少复位时序
- 晶振电路（包括晶振和负载电容）或外部时钟源

该初始检查工作是为了使 FX2LP 默认设备与 PC 上运行的某个 USB 控制中心应用相互通信（请参考[赛普拉斯驱动程序](#)和[USB 控制中心](#)一节）。这种应用将验证您设计中的 USB 通信，并将固件下载到 FX2LP 设计中，用于测试和开发工作。

电路板处于就绪测试状态时，请按照[赛普拉斯驱动程序](#)和[USB 控制中心](#)一节所介绍的步骤进行操作。如果您的设计未进行枚举，可通过下面步骤解决问题。

使用一个示波器查找 CLKOUT 引脚上频率为 12 MHz 的信号。未枚举的设备上可能发生下述四种 CLKOUT 情况：

7.2.1 CLKOUT 引脚上不存在频率为 12 MHz 的信号

这时，FX2LP 可能未被正确供电，或者未接收到参考时钟。这时请检查 V_{CC}/AV_{CC} 引脚、V_{CC} 升降速率、晶振电路和 POR 时序。此外，还需要确保 RESERVED 引脚被接地。

7.2.2 CLKOUT 引脚输出频率为 12 MHz 的信号，经过一小段时间该信号将消失

FX2LP 正进入挂起模式。请确保 WAKEUP# 引脚并非处于悬空状态。如果该 FX2LP 没有接收到来自主机的常见 SOF（帧起始）总线信号，并且 WAKEUP# 线为高电平时，将发生挂起状态。请确保电路板单元已经插入到主机的 USB 接口上，从主机到设备的 D+ 和 D- 连接的电极正确，并且没有外部串行电阻。如果参考时钟（被外部驱动或者由晶振驱动的）超出了精度范围容限时，也会发生挂起模式。检查 CLKOUT 的频率，确保它为 12 MHz ±100 ppm。

7.2.3 CLKOUT 继续输出频率为 12 MHz 的信号，但枚举操作失败

- 如果 WAKEUP# 引脚连接到低电平电压（抑制挂起），那么设备可能不会接收到主机信号。请核实前面情况（CLKOUT 处于有效状态，但很快被关闭）中的所有相关项目。
- 如果 WAKEUP# 引脚被连接到高电平（或如果它被拉为低，并且您已经两次检查了前面所有项目），请确保 SCL 和 SDA 线上存在上拉电阻，并且 EEPROM 处于未连接状态。此外，还要确保 EA 引脚被拉为低电平。

- 如果已经验证了这些项目，并且第一节中所有其他检查表项目都准确，那么问题可能出在执行系统的驱动程序。赛普拉斯驱动程序和 USB 控制中心章节介绍了如何拆除旧驱动程序并安装当前驱动程序。

7.2.4 CLKOUT 输出频率为 48 MHz 的信号，并且设备进行了枚举，但没有连接 USB 控制中心。

这也可以是不正确操作系统驱动程序的一个症状。赛普拉斯驱动程序和 USB 控制中心章节对如何拆除旧驱动程序并安装当前的驱动程序进行了相关介绍。

8 赛普拉斯驱动程序和 USB 控制中心

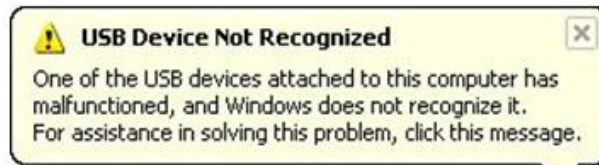
如果 FX2LP 在加电时没有任何 EEPROM 连接它的 I²C 引脚（但已经安装了 I²C 上拉电阻），那么它将作为具有供应商 ID VID = 0x04B4（赛普拉斯）和产品 ID PID = 0x8613（FX2LP）的赛普拉斯默认设备进行枚举 FX1 作为具有 VID = 0x04B4 和 PID = 0x6473 值的设备进行枚举。这是一个功能齐全的 USB 设备，用于为通过 USB 将 FX2LP 代码下载到其内部随机存取存储器（RAM）内创建所需资源（端点和传输逻辑）。该预制的 USB 设备（无需代码）通过移除用户代码在初始测试中所发生的问题，可简化新设计的 USB 检查操作。

为允许 PC 主机与某个 FX2LP 基础设备进行通信，赛普拉斯提供了一个 Windows 驱动程序（cyusb3.sys）以及一个可将驱动程序绑定到 FX2LP 默认设备上的伴侣文件（cyusb3.inf）。使用该驱动程序的文件和 Windows 工具（也称为 USB 控制中心）在该应用笔记中显示为一个伴侣 zip 文件。初次将设备插入到 USB 接口内进行初始测试时，您可以使用赛普拉斯软件工具来检查设计；只要未连接任何 EEPROM，便能够将默认的赛普拉斯设备设置为“plug-in”（插件）。

8.1 驱动程序安装

初次将您的设备插入到 USB 接口时，Windows 将读取设备中的 VID/PID 值，以寻找兼容的驱动程序。由于是初次连接，所以您会看到多个要求确认兼容驱动程序的窗口。如果主机 PC 不能检索 VID/PID 信息，您将看到如图 19 所示的错误信息。

图 19. 无法识别 USB 设备的 Windows 错误信息



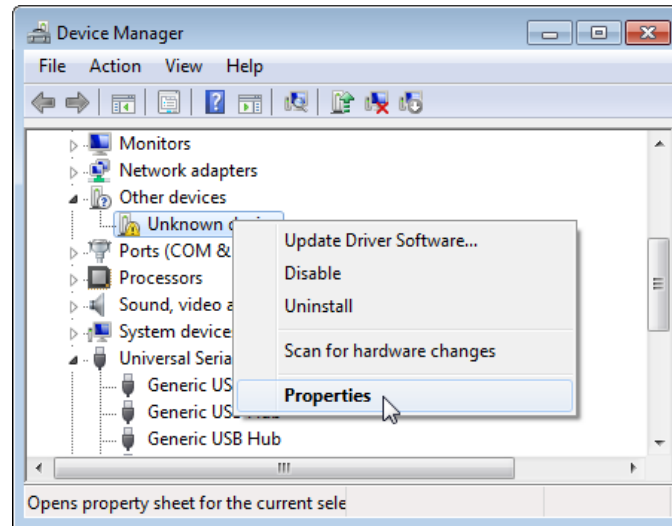
如果您看到该条信息，那么表示主机 PC 已经检测您的设备，因此 D+ 上拉处于工作状态。但尝试使用一个 GET_DESCRIPTOR(Device)请求来读取 VID/PID 数据时，它所收到的 VID 和 PID 值均为零。这种情况可能由前面章节所介绍的硬件故障导致。这时，可以进行一些快速检查：检查电源电压并确认振荡器 CLKOUT 引脚输出的信号频率为 12 MHz。

您看到下一条关于 USB 设备的信息。它表示 Windows 已经识别了该 USB 设备，但没有找到相应的兼容驱动程序。安装兼容驱动程序的简单方法是：忽略所有警告信息，然后启动 Windows Device Manager（设备管理器）工具。（查看 USB 设计会使您更深入了解设备管理工具。）可以通过多种方式启动设备管理工具，以下是其中两种方式：

- 点击 Windows 的 Start 菜单按键，然后右键点击“Computer”，再选择“Properties”，然后选择左上角上“Control Panel Home”列中的“Device Manager”项。
- 在“Start”菜单中的 Run...对话框内键入“Devmgmt.msc”。

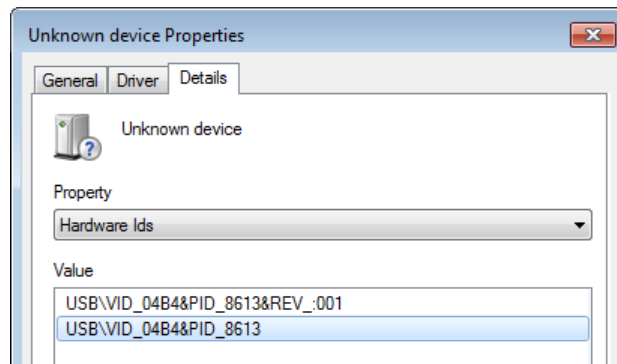
您未定义的设备将显示在设备树中某个位置。图 20 显示的是一个 64 位计算机的屏幕截图（Windows 7）。要想确保更新正确的设备，请右键点击设备名称，并选择 Properties（属性）。

图 20. 设备被识别为 “Unknown”（无驱动程序）



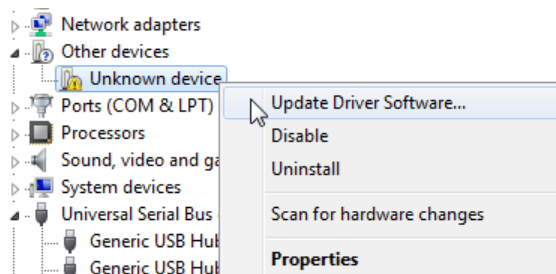
在 **Properties**（属性）下拉框中，选择 **Hardware Ids**（硬件 ID）项，这时将显示设备的 VID 和 PID。如图 21 所示，该 “Unknown Device” 是具有 VID = 04B4 和 PID = 8613 值的通用 FX2LP 芯片。

图 21. Windows 会寻找 FX2LP 的默认 VID 和 PID 值



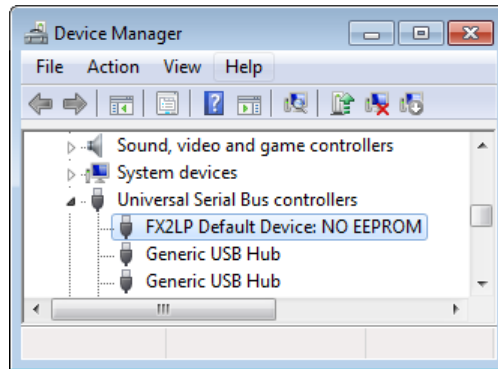
然后返回到 Device Manager 窗口，右键点击设备并选择 **Update Driver Software...**（更新驱动程序软件）项（如图 22 所示）。

图 22. 更新驱动程序软件



选择 **Browse my computer...**（浏览我的电脑），并导航到赛普拉斯驱动程序文档，以选择操作系统（OS）：“win7”（Windows 7）、“wlh”（Windows Vista）（“Longhorn”为 Windows Vista 的代码名称）或者“wxp”（Windows XP）。其中，32 位版本被确认为“x86”，64 位版本被确认为“x64”。如果您看到一个安全性检查信息，可以忽略它。如果您看到一条成功信息，那么可以更新 **Device Manager**，从而指示已经正确安装好了驱动程序（如图 23 所示）。

图 23. 驱动程序成功安装



两种: 此外，您还可以使用一个 FX2LP 开发板（其 EEPROM ENABLE 滑条开关被设置到 NO EEPROM 位置）（请点击[此处](#)获取）进行安装该驱动程序。这样可使得具有 VID = 0x04B4 和 PID = 0x8613 值的默认设备。

在这种情况下，该驱动程序可能与一个错误设备相关。要想解除这种关联，请在 **Device Manager** 窗口中右键单击设备并选择 **Uninstall**（拆除）项。然后选择 **Delete the driver software for this device**（为该设备删除驱动程序软件）框，并点击 OK（如图 24 所示）。

图 24. 拆除旧的驱动程序



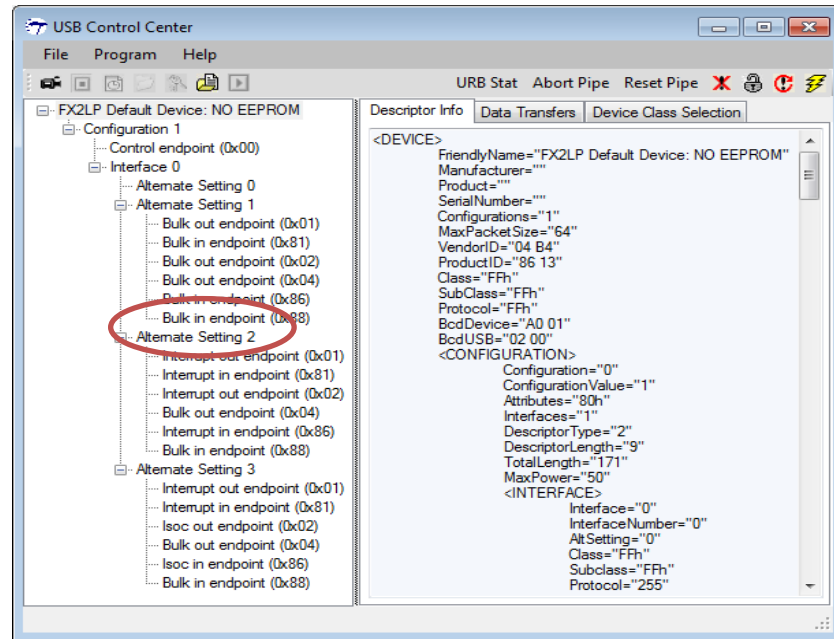
8.2 USB Control Center（USB 控制中心）

请双击在本应用笔记伴侣文档中的 *CyControl.exe* 文件，以启动 USB 控制中心。

两种: *CyControl.exe* 文件包含在本应用笔记的伴侣文档中，便于查找。通过下载赛普拉斯网址上的 USB 开发套件，您可以访问 Microsoft .NET 的源代码，从而获取全部相关资料，用于学习或修改。赛普拉斯还提供了许多涵盖了代码开发的应用笔记，例如 [AN70983](#) — 为 EZ-USB FX2LP/FX3 设计批量传输主机应用程序。

图 25 显示的 USB 控制中心带有一个插入到 USB 接口上的 FX2LP 开发板。如果您的样品已准确连接，并且未启动 EEPROM，那么推荐您参考类似的设备 — FX2LP 默认的 USB 设备。左侧面板显示的是它在 VID = 0x04B4 和 PID = 0x8613 地址上找到相关设备的所有信息（红圈）。只要您的样品通过了这个验证步骤，便可以开始测试您的 USB 代码。您会发现该 USB 控制中心对固件检查操作非常有用 — 请注意 **Data Transfers** 项。可使用该选项卡将个别 USB 传输传输到您的设备中或从设备中输出，并检查器结果。虽然还不能取代一个完整的 USB 总线分析器，但它仍提供了分析器的部分基础调试功能。

图 25. USB 控制中心设备的可视范围



9 总结

本应用笔记涵盖了成功设计一个基于 FX2LP 的 USB 外设需要注意的事项。关键内容为：USB 电源分配、如何在一个热插拔设备上实现可靠复位、EEPROM 和谐振器的设计细节以及 PCB 布局。由于被供电时，FX2LP 可作为一个功能齐全的“默认”USB 设备，因此您可以使用赛普拉斯软件工具进行检查自己的硬件设计，而不需写入任何代码行。这样有助于将硬件检查操作从固件调试操作中离开。

10 相关文档

- [AN65209 — FX2LP 入门](#)
- Larry W. Burgess, Paul D. Madden, “Designing and Fabricating Multi-Depth Via-in-Pad PCBs”（设计和制作拥有多深度、焊盘含过孔等性能的 PCB），IPC 印刷电路世博会，1998 年 4 月份
- Yuan Li, Anil Pannikkat, Larry Anderson, Tarun Verma, Bruce Euzent, “Building Reliability into Full-Array BGAs”（建立全阵列 BGA 的可靠性），第 26 届 IEMT 研讨会，2000 年 12 月
- [AN70983 — 为 EZ-USB FX2LP/FX3 设计批量传输主机应用](#)

关于作者

姓名： Rama Sai Krishna Vakkantula

职务： 应用工程师

背景： Rama Sai Krishna 在印度理工学院孟买分校持有的冶金工程和材料科学（M.Tech）部门专门研究系统与控制工程。目前，他正在研究赛普拉斯的 USB 外设。

文档修订记录

文档标题: AN15456 — EZ-USB® FX2LP™ 硬件的正确设计指南

文档编号: 001-98018

版本	ECN	变更者	提交日期	变更说明
**	4802496	LYAO	07/03/2015	本文档版本号为 Rev**, 译自英文版 001-15456 Rev*D。
*A	5347101	LIP	07/13/2016	本文档版本号为 Rev*A, 译自英文版 001-15456 Rev*E。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标。PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标都归其各自所有者所有。

	赛普拉斯半导体 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网址 : www.cypress.com
---	--	---

©赛普拉斯半导体公司，2015-2016 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属个人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码的形式向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。在适用法律允许的限度内，赛普拉斯保留更改本文件的权利，届时将不另行通知。赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失的其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何索赔、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的索赔，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。敬请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。